用户手册

APM32F405/415xG

APM32F407/417xExG

基于 Arm® Cortex®-M4 内核的 32 位微控制器

版本：V 1.6

© 珠海极海半导体有限公司

目录

1 简介及文档描述规则 9

1.1 简介 9

1.2 文档描述规则 9

2 系统架构 12

2.2 系统架构框图 12

2.3 存储器映射 14

2.4 启动配置 14

3 FLASH 存储器 16

3.1 术语全称、缩写描述 16

3.2 简介 16

3.3 主要特征 16

3.4 FLASH 存储器结构 17

3.5 FLASH 存储器功能说明 17

3.6 寄存器地址映射 23

3.7 寄存器功能描述 23

4 外部存储器控制器（EMMC） 28

4.1 术语全称、缩写描述 28

4.2 EMMC 概述 28

4.3 SMC 简介 28

4.4 SMC 结构框图 29

4.5 SMC 功能描述 29

4.6 SMC 寄存器地址映射 34

4.7 SMC 寄存器功能描述 34

4.8 DMC 简介 43

4.9 DMC 主要特征 43

4.10 DMC 结构框图 44

4.11 DMC 功能描述 44

4.12 DMC 寄存器地址映射 46

4.13 DMC 寄存器功能描述 46

5 系统配置控制器（SYSCFG） 51

5.1 主要特征 51

5.2 I/O 补偿单元 51
5.3 寄存器地址映射 51
5.4 寄存器功能描述 51
6 复位与时钟（RCM） 55
6.1 术语全称、缩写描述 55
6.2 复位管理单元（RMU） 55
6.3 时钟管理单元（CMU） 57
6.4 寄存器地址映射 64
6.5 寄存器功能描述 65
7 电源管理单元（PMU） 93
7.1 术语全称、缩写描述 93
7.2 简介 93
7.3 结构框图 94
7.4 功能描述 94
7.5 寄存器地址映射 99
7.6 寄存器功能描述 99
8 嵌套向量中断控制器（NVIC） 102
8.1 术语全称、缩写描述 102
8.2 简介 102
8.3 主要特征 102
8.4 中断和异常向量表 102
9 外部中断/事件控制器（EINT） 110
9.1 简介 110
9.2 主要特征 110
9.3 功能描述 110
9.4 寄存器地址映射 112
9.5 寄存器功能描述 113
10 直接存储访问（DMA） 115
10.1 简介 115
10.2 主要特征 115
10.3 功能描述 115
10.4 DMA 寄存器地址映射 120
10.5 寄存器功能描述 120

11 调试 MCU（DBGMCU） 128
11.1 术语全称、缩写描述 128
11.2 简介 128
11.3 主要特征 128
11.4 功能描述 129
11.5 寄存器地址映射 130
11.6 寄存器功能描述 130
12 通用输入/输出引脚（GPIO） 135
12.1 术语全称、缩写描述 135
12.2 主要特征 135
12.3 结构框图 136
12.4 功能描述 136
12.5 寄存器地址映射 139
12.6 寄存器功能描述 139
13 定时器概述 144
13.1 术语全称、缩写描述 144
13.2 定时器类别及主要差异 144
14 高级定时器（TMR1/8） 147
14.1 简介 147
14.2 主要特征 147
14.3 结构框图 148
14.4 功能描述 148
14.5 寄存器地址映射 163
14.6 寄存器功能描述 164
15 通用定时器（TMR2/3/4/5） 182
15.1 简介 182
15.2 主要特征 182
15.3 结构框图 183
15.4 功能描述 183
15.5 寄存器地址映射 195
15.6 寄存器功能描述 196
16 通用定时器（TMR9/10/11/12/13/14） 212
16.1 简介 212

16.2 TMR9/12 主要特征 212
16.3 TMR10/11/13/14 主要特征 212
16.4 TMR9/12 结构框图 213
16.5 TMR10/11/13/14 结构框图 214
16.6 功能描述 214
16.7 TMR9/12 寄存器地址映射 221
16.8 TMR9/12 寄存器功能描述 221
16.9 TMR10/11/13/14 寄存器地址映射 230
16.10 TMR10/11/13/14 寄存器功能描述 231
17 基本定时器（TMR6/7） 238
17.1 简介 238
17.2 主要特征 238
17.3 结构框图 238
17.4 功能描述 238
17.5 寄存器地址映射 240
17.6 寄存器功能描述 240
18 看门狗定时器（WDT） 244
18.1 简介 244
18.2 独立看门狗定时器（IWDT） 244
18.3 窗口看门狗定时器（WWDT） 245
18.4 IWDT 寄存器地址映射 247
18.5 IWDT 寄存器功能描述 247
18.6 WWDT 寄存器地址映射 249
18.7 WWDT 寄存器功能描述 249
19 实时时钟（RTC） 251
19.1 术语全称、缩写描述 251
19.2 简介 251
19.3 主要特征 251
19.4 结构框图 251
19.5 功能描述 252
19.6 寄存器地址映射 257
19.7 寄存器功能描述 257
20 HASH 处理器（HASH） 273

20.1 简介 273
20.2 主要特征 273
20.3 功能描述 273
20.4 寄存器地址映射 274
20.5 寄存器功能描述 274
21 数字摄像接口（DCI） 278
21.1 术语全称、缩写描述 278
21.2 简介 278
21.3 主要特征 278
21.4 结构框图 279
21.5 功能描述 279
21.6 寄存器地址映射 283
21.7 寄存器功能描述 283
22 通用同步异步收发器（USART） 289
22.1 术语全称、缩写描述 289
22.2 简介 289
22.3 主要特征 289
22.4 功能描述 290
22.5 寄存器地址映射 302
22.6 寄存器功能描述 303
23 内部集成电路接口（I2C） 310
23.1 术语全称、缩写描述 310
23.2 简介 310
23.3 主要特征 310
23.4 结构框图 311
23.5 功能描述 312
23.6 寄存器地址映射 318
23.7 寄存器功能描述 318
24 串行外设接口/片上音频接口（SPI/I2S） 327
24.1 术语全称、缩写描述 327
24.2 简介 327
24.3 主要特征 327
24.4 SPI 功能描述 328

24.5 I2S 功能描述 339
24.6 寄存器地址映射 349
24.7 寄存器功能描述 349
25 控制器局域网（CAN） 356
25.1 术语全称、缩写描述 356
25.2 简介 356
25.3 主要特性 356
25.4 功能描述 356
25.5 寄存器地址映射 364
25.6 寄存器功能描述 365
26 安全数字输入输出接口（SDIO） 382
26.1 术语全称、缩写描述 382
26.2 简介 382
26.3 主要特征 382
26.4 功能描述 382
26.5 寄存器地址映射 401
26.6 寄存器功能描述 402
27 USB_OTG 413
27.1 简介 413
27.2 OTG_FS 全局寄存器地址映射 413
27.3 OTG_FS 全局寄存器功能描述 414
27.4 OTG_FS 主机模式寄存器地址映射 428
27.5 OTG_FS 主机模式寄存器功能描述 428
27.6 OTG_FS 设备模式寄存器地址映射 434
27.7 OTG_FS 设备模式寄存器功能描述 435
27.8 全速 OTG 电源和时钟门控控制寄存器（OTG_FS_PCGCTRL） 448
27.9 OTG_HS1 全局寄存器地址映射 448
27.10 OTG_HS1 全局寄存器功能描述 449
27.11 OTG_HS1 主机模式寄存器地址映射 465
27.12 OTG_HS1 主机模式寄存器功能描述 466
27.13 OTG_HS1 设备模式寄存器地址映射 473
27.14 OTG_HS1 设备模式寄存器功能描述 474
27.15 高速 OTG 电源和时钟门控控制寄存器（OTG_HS1_PCGCTRL） 490

27.16 OTG_HS2 寄存器地址映射 491
27.17 OTG_HS2 寄存器功能描述 491
28 以太网（ETHERNET） 494
28.1 简介 494
28.2 以太网主要特征 494
28.3 功能描述 496
28.4 MAC 寄存器地址映射 520
28.5 MAC 寄存器功能描述 520
28.6 MMC 寄存器地址映射 533
28.7 MMC 寄存器功能描述 534
28.8 PTP 寄存器地址映射 537
28.9 PTP 寄存器功能描述 537
28.10 DMA 寄存器地址映射 541
28.11 DMA 寄存器功能描述 542
29 模数转换器（ADC） 552
29.1 术语全称、缩写描述 552
29.2 简介 553
29.3 主要特征 553
29.4 功能描述 554
29.5 寄存器地址映射 563
29.6 寄存器功能描述 564
30 数模转换器（DAC） 575
30.1 术语全称、缩写描述 575
30.2 简介 575
30.3 结构框图 575
30.4 功能描述 575
30.5 寄存器地址映射 578
30.6 寄存器功能描述 579
31 随机数（RNG） 585
31.1 简介 585
31.2 主要特征 585
31.3 功能描述 585
31.4 寄存器地址映射 586

31.5 寄存器功能描述 586
32 CRYP 588
32.1 简介 588
32.2 主要特性 588
32.3 中断 588
32.4 DMA 588
32.5 寄存器地址映射 589
32.6 寄存器功能描述 589
33 循环冗余校验计算单元（CRC） 594
33.1 简介 594
33.2 功能描述 594
33.3 寄存器地址映射 594
33.4 寄存器功能描述 594
34 芯片电子签名 596
34.1 简介 596
34.2 寄存器功能描述 596
35 版本历史 597

1 简介及文档描述规则

1.1 简介

本用户手册向应用程序开发人员提供关于如何使用 MCU（微控制器）系统架构、存储器和外设所涉及的全部信息。

关于 Arm® Cortex®-M4 内核的相关信息，请参考 Arm® Cortex®-M4 技术参考手册；关于型号信息、尺寸和器件的电气特性等详细数据请参考对应的数据手册（datasheet）；有关 MCU 系列全部型号中，存储器映射、外设存在情况及其数目请查阅相应的数据手册。

在此说明：珠海极海半导体有限公司，在以下正文中，简称“Geehy”。

1.2 文档描述规则

1.2.1 “寄存器功能描述”规则

（1） 控制类（CTRL）寄存器，未特别说明，都是“软件置 1 和清 0”。

（2） 控制类寄存器后面一般会有动词缩写以作区别，动词可以有：EN-Enable、CFG-Configure、D-Disable、SET-Setup、SEL-Select

（3） 状态类寄存器缩写后面一般会有 FLG 以作区别。

（4） 数值、数据类寄存器，一般会包括 V、VALUE、D、DATA，这些词后面不加动词，比如：xxPSC，CNT，后面一般不添加动词。

1.2.2 术语全称、缩写描述

表格 1 R/W 方式缩写及描述

R/W 方式	描述	缩写
read/write	软件能读写此位。	R/W
read-only	软件只能读此位。	R
write-only	软件只能写此位，读此位将返回复位值。	W
read/clear	软件可以读此位，也可以通过写 1 清除此位，写 0 对此位无影响。	RC_W1
read/clear	软件可以读此位，也可以通过写 0 清除此位，写 1 对此位无影响。	RC_W0
read/clear by read	软件可以读此位，读此位将自动地清除它为 0，写该位无效。	RC_R
read/set	软件可以读也可以设置此位，写 0 对此位无影响。	R/S
read-only write trigger	软件可以读此位，写 0 或 1 触发一个事件但对此位数值没有影响。	RT_W
toggle	软件只能通过写 1 来翻转此位，写 0 对此位无影响。	T

表格 2 常用寄存器功能描述术语全称、缩写

中文全称	英文全称	英文缩写
使能	Enable	EN

中文全称	英文全称	英文缩写
禁止	Disable	D
清除	Clear	CLR
选择	Select	SEL
配置	Configure	CFG
控制	Contrl	CTRL
控制器	Controller	C
复位	Reset	RST
停止	Stop	STOP
设置	Set	SET
装载	Load	LD
校准	Calibration	CAL
初始化	Initialize	INIT
错误	Error	ERR
状态	Status	STS
准备	Ready	RDY
软件	Software	SW
硬件	Hardware	HW
源	Source	SRC
系统	System	SYS
外设	Peripheral	PER
地址	Address	ADDR
方向	Direction	DIR
时钟	Clock	CLK
输入	Input	I
输出	Output	O
中断	Interrupt	INT
数据	Data	DATA
大小	Size	SIZE
除法器	Divider	DIV
预分频器	Prescaler	PSC
乘法器	Multiplier	MUL
周期	Period	PRD

表格 3 模块全称、简写

中文全称	英文全称	英文缩写
外部存储控制器	External Memory Controller	EMMC
静态存储控制器	Static Memory Controller	SMC
动态存储控制器	Dynamic memory Controller	DMC
复位与时钟管理单元	Reset and Clock Management Unit	RCM
电源管理单元	Power Management Unit	PMU
备份寄存器	Backup Register	BAKPR
嵌套向量中断控制器	Nested Vector Interrupt Controller	NVIC
外部中断/事件控制器	External Interrupt /Event Controller	EINT
直接存储器存取	Direct Memory Access	DMA
调试 MCU	Debug MCU	DBG MCU
通用输入/输出引脚	General-Purpose Input Output Pin	GPIO
复用功能输入/输出引脚	Alternate Function Input Output Pin	AFIO
定时器	Timer	TMR
看门狗定时器	Watchdog Timer	WDT
独立看门狗	Independent Watchdog Timer	IWDT
窗口看门狗	Windows Watchdog Timer	WWDT
实时时钟	Real-Time Clock	RTC
通用同步异步收发器	Universal Synchronous Asynchronous Receiver Transmitter	USART
内部集成电路接口	Inter-Integrated Circuit Interface	I2C
串行外设接口	Serial Peripheral Interface	SPI
片上音频接口	Inter-IC Sound Interface	I2S
四线串行外围接口	Quad Serial Peripheral Interface	QSPI
控制器局域网	Controller Area Network	CAN
安全数字输入输出	Secure Digital Input and Output	SDIO
全速 USB 接口	Universal Serial Bus Full-Speed Device	USB
模拟数字转换器	Analog-to-Digital Converter	ADC
数字模拟转换器	Digital-to-Analog Converter	DAC
循环冗余校验计算单元	Cyclic Redundancy Check Calculation Unit	CRC
浮点运算单元	Float Point Unit	FPU

2 系统架构

2.1.1 术语全称、缩写描述

表格 4 术语全称、缩写描述

中文全称	英文全称	英文缩写
高级高性能总线	Advanced High-Performance Bus	AHB
高级外围总线	Advanced Peripheral Bus	APB
核心耦合存储器	Core Couple Memory	CCM

2.2 系统架构框图

产品中的 Arm® Cortex®-M4 内核是带有 FPU 的，而其他系列的产品（除特殊说明）的 FPU 是处于内核之外的。

系统主要由八个主模块和七个从模块构成。

主模块分别是带有 FPU 的 Arm® Cortex®-M4 内核的 I-bus、D-bus 和 S-bus，通用 DMA1，通用 DMA2，DMA2 外设总线，以太网 DMA 总线以及 USB OTG HS DMA 总线。

从模块分别是内部 Flash 的 I-bus、D-bus，主内部存储器 SRAM1，辅内部存储器 SRAM2， AHB1 总线和 AHB1/APB 桥连接的所有外设设备，AHB2 总线上的外设以及 EMMC。

总线矩阵提供一个平台，以支持主模块访问从模块，矩阵能实现并发访问，让 CPU 在多个外设高速运行时仍然有高效处理能力。

还有一个 64 位的核心耦合存储，只能通过 CPU 进行访问。

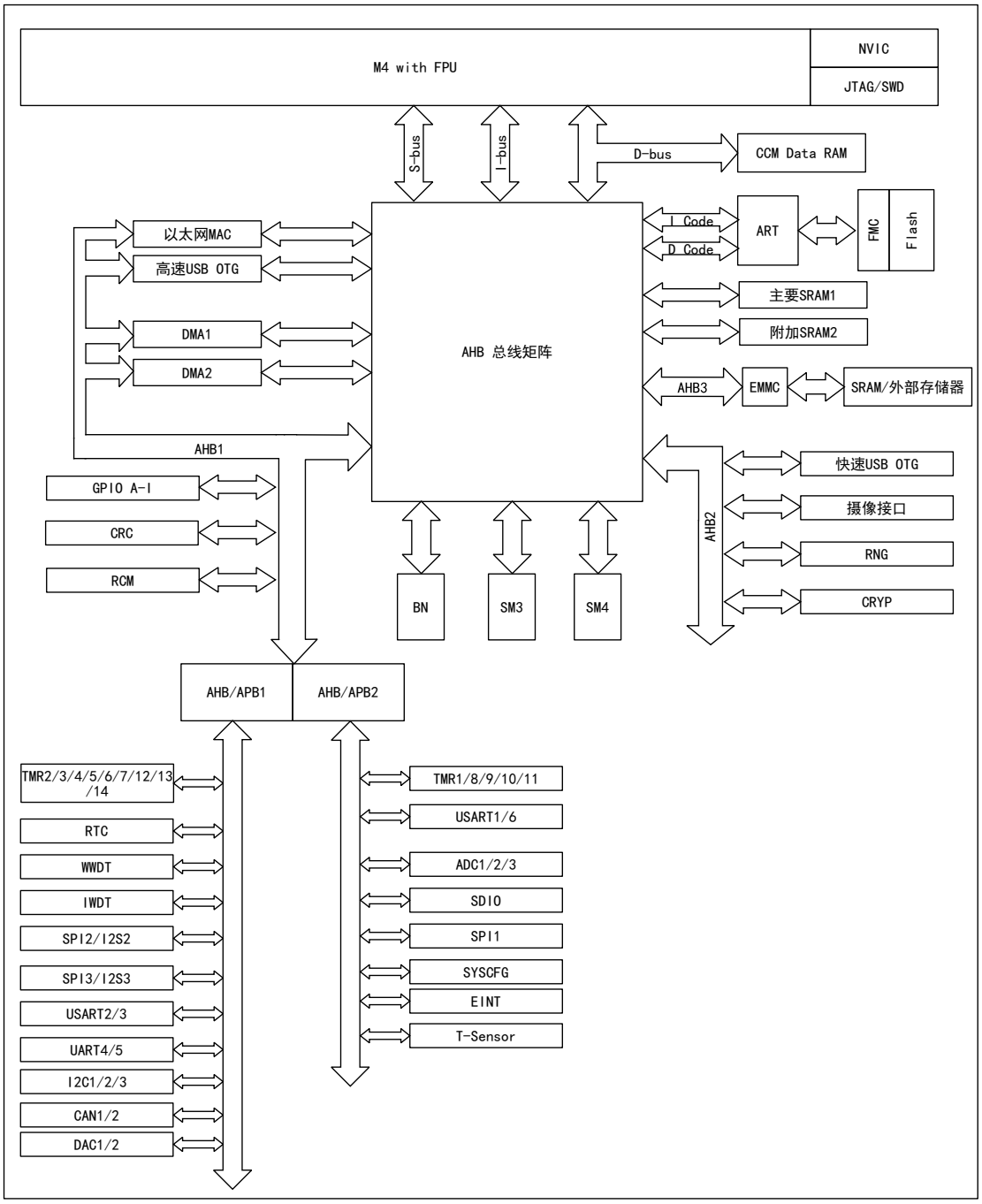
总线的名称和描述如下表所示。

表格 5 总线名称

名称	描述
I-bus	连接 Arm® Cortex®-M4 内核的指令总线与总线矩阵。 用于获取指令。
D-bus	连接 Arm® Cortex®-M4 内核的数据总线与总线矩阵。 用于文字加载和调试访问。
S-bus	连接 Arm® Cortex®-M4 内核的系统总线与总线矩阵。 用于访问外设和 SRAM 中的数据。
DMA 存储器总线	连接 DMA 存储器主接口与总线矩阵。 通过 DMA 实现与存储器相关的传输。
DMA 外设总线	连接 DMA 外设主接口与总线矩阵。 不仅能实现 DMA 访问 AHB 上的外设，还能实现存储器之间的传输。
以太网 DMA 总线	连接以太网 DMA 主接口与总线矩阵。 通过以太网 DMA 将数据载入/存储到存储器。

名称	描述
USB OTG HS DMA 总线	连接 USB OTG HS DMA 主接口与总线矩阵。 通过 USB OTG DMA 将数据载入/存储到存储器。
总线矩阵	协调模块之间的访问，仲裁时使用轮询算法。
AHB/APB 桥	桥在 AHB 和 APB 总线间提供同步连接。 当对 APB 寄存器进行非 32 位访问时，访问会被自动转换成 32 位。

图 1 APM32F405/415xG、APM32F407/417xExG 系统架构框图



注意：

（1）仅 APM32F415xG/APM32F417xExG 有 HASH 处理器和 CRYP，而 APM32F405xG/APM32F407xExG 没有；仅 APM32F407/417xExG（除 APM32F407RxT6 外）有以太网和数字摄像头，而 APM32F405/415xG 和 APM32F407RxT6 没有。

（2）实际上 APM32F405/415xG、APM32F407/417xExG 系列有两个 USB OTG_HS，它们共用时钟、复位、总线地址、CPU 中断、电源供电、引脚等相关资源。两个 USB OTG_HS 同时只能使用一个。它们的差别是：一个有片上 UTMI USB PHY（内部有输出为 60MHz 的 PLL），而另一个没有。

（3）APM32F4xxRxT6 系列的产品没有 EMMC 模块。

（4）各个型号的产品信息请参见数据手册。

2.3 存储器映射

存储器映射分配的地址包括内核（包括内核外设）、片上 Flash（包括主存储区、系统存储区、选项字节）、片上 SRAM、总线外设（包括 AHB、APB 外设），各类地址具体信息请参考对应型号的数据手册。

2.3.1 嵌入式 SRAM

产品带有备份 SRAM（4KB）和系统 SRAM（192KB）。系统 SRAM 分为 3 块：SRAM1（112KB）、SRAM2（16KB）和 CCM（64KB）。

SRAM1 和 SRAM2

可以以字节、半字（16 位）或全字（32 位）访问主 SRAM1 和辅 SRAM2。SRAM1 和 SRAM2 映射地址为 0x2000 0000，可被所有 AHB 访问主模块。

核心耦合存储器 CCM

CCM（64KB）映射地址为 0x1000 0000，只能由 CPU 通过 D-bus 访问它。

2.3.2 位段

Arm® Cortex®-M4 存储器映像有两个位段（bit-band）区，它将每个在别名存储器区中的字映射到位段存储器的一个位。在别名存储区写入一个字，会有对位段区的目标执行读-改-写操作的相同效果。外设寄存器和 SRAM 都被映射到一个位段区里，允许执行单一的位段的写和读操作。

下面给出一份映射公式：

bit_word_addr=bit_band_base+（byte_offset×32）+（bit_number×4）

2.4 启动配置

APM32F4xx 系列微控制器实现了一个特殊的机制，通过配置 BOOT[1:0]引脚，可以用有三种不同的启动模式，系统不仅仅可以从 Flash 存储器或系统存储器启动，还可以从内置 SRAM 启动。被选作启动区域的存储器是由选择的启动模式决

定的。

表格 6 启动模式配置及其访问方式

启动模式配置		启动模式	访问方式
BOOT1 引脚	BOOT0 引脚		
X	0	主闪存存储器（Flash）	主闪存存储器被映射到启动空间，但仍然能够在它原有的地址访问它，即闪存存储器的内容可以在两个地址区域访问。
0	1	系统存储器	系统存储器被映射到启动空间（0x0000 0000），但仍然能够在它原有的地址访问它。
1	1	内置 SRAM	只能在开始的地址区访问 SRAM。

注意：

（1）启动空间地址为 0x0000 0000

（2）Flash 原有地址为 0x0800 0000

（3）系统存储器原有地址为 0x1FFF 0000

（4）SRAM 的起始地址为 0x2000 0000

（5）用户可以通过设置 BOOT[1:0]引脚的状态，来选择在复位后的启动模式。

（6）BOOT 引脚应在待机模式下保持用户需要的启动配置，当从待机模式退出时，引脚的值会被锁存。

（7）如果选择从内置 SRAM 启动，那么在编写应用代码时，必须使用 NVIC 的异常表和偏移寄存器，重新将向量表映射至 SRAM 中。

物理重映射

当选择了 BOOT 引脚后，可以通过软件程序修改 SYSCFG_MMSEL 寄存器的 MMSEL 位，将某些寄存器配置成允许从 I-Code 总线访问。具体配置见 SYSCFG 寄存器。

内嵌的 BootLoader

嵌入式 BootLoader 模式选择将通过以下哪种串口接口重新编程 Flash：

- USART1
- USART3
- CAN2
- USB OTG_FS 从设备模式

3 Flash 存储器

3.1 术语全称、缩写描述

表格 7 术语全称、缩写描述

中文全称	英文全称	英文缩写
闪存存储器控制器	Flash Memory Controller	FMC
一次性可编程（存储器区）	One-time Programmable	OTP
自适应实时	Adaptive Real-time	ART

3.2 简介

本章主要介绍 Flash 的存储结构、读、擦、写、读/写保护、解锁/锁定特性，及涉及到的寄存器功能描述。

3.3 主要特征

（1） Flash 存储器结构

- 分为主存储区、信息块
- 主存储区容量最高为 1MB
- 信息块分为系统存储器、OTP 区域和选项字节三个区域
- 系统存储区容量为 30KB，存放 BootLoader 程序、96 位唯一 UID、主存储区容量信息
- OTP 区域大小为 528Bytes，其中，512 OTP 字节的用于存储用户数据，剩下的 16 字节用于锁定对应的 OTP 数据块
- 选项字节区容量为 16Bytes

（2） 功能说明

- 对 Flash 进行操作：
  - 读取
  - 扇/全部擦除
  - 写入
  - 读/写保护
- 对选项字节进行操作：
  - 读取
  - 擦除
  - 写入
  - 读/写保护

3.4 Flash 存储器结构

表格 8Flash 存储器结构

块	名称	地址范围	大小（字节）	扇区
主存储块		0x0800 0000 – 0x0800 3FFF	16K	扇 0
		0x0800 4000 – 0x0800 7FFF	16K	扇 1
		0x0800 8000 – 0x0800 BFFF	16K	扇 2
		0x0800 C000 – 0x0800 FFFF	16K	扇 3
		0x0801 0000 – 0x0801 FFFF	64K	扇 4
		0x0802 0000 – 0x0803 FFFF	128K	扇 5
		…	…	…
		0x080E 0000 – 0x080F FFFF	128K	扇 11
信息块	系统存储	0x1FFF 0000 – 0x1FFF 77FF	30K	-
	OTP 区域	0x1FFF 7800 – 0x1FFF 7A0F	528	-
	选项字节	0x1FFF C000 – 0x1FFF C00F	16	-

注：APM32F405/415xG、APM32F407/417xExG 系列产品的主存储块包含的扇区数量和具体的 Flash 容量有关，不同型号的 Flash 容量详情参见数据手册。

3.5 Flash 存储器功能说明

3.5.1 读取 Flash

Flash 有个预取缓冲区，当电源电压不低于 2.1V 时才会开启。

Flash 的读速度受等待周期的数量影响，而等待周期的个数受 HCLK 和电源电压的影响。假设等待周期为 n，HCLK 范围的上升基数为 X

- 当（n+1）X 小于最大值时：
  nX＜HCLK≤（n+1）X
- 当（n+1）X 大于最大值时：
  nX＜HCLK≤最大值

表格 9 受电压范围影响的 X 与 HCLK 最大值

电压范围	1.8V-2.1V	2.1V-2.4V	2.4V-2.7V	2.7V-3.6V
X	20MHz	22MHz	24MHz	30MHz
最大值	160MHz	168MHz	168MHz	168MHz

注意：

当 PMU_CTRL 寄存器的 VOSSEL=0 时，HCLK 最大值为 144MHz；VOSSEL=1 时，HCLK 最大值为 168MHz。

选择不同的等待周期可以调整 CPU 频率，以便调整 Flash 的读速度。

3.5.1.1 自适应实时存储器加速器（ART）

ART 加速器能够提高 Flash 的执行速度，使得 Flash 在 CPU 高频率下以更少的等待周期执行程序。

预取缓冲区

当访问 Flash 需要插入等待周期时，可以通过 I-Code 总线预读取 Flash 的下一个指令行，提高访问速率。

I-cache

I-cache 是指令缓冲存储器，在 I-cache 中的指令可以无延时被获取，系统可以将 64 行 128 位的指令存入 I-cache 中，通过 FMC_ACCTRL 寄存器的 ICACHEEN 位使能 I-cache 功能。

D-cache

D-cache 是数据缓冲存储器，系统通过 D-bus 访问 Flash 的数据缓冲区，依次减少等待时间。D-bus 的访问优先于 I-bus。系统可以将 8 行 128 位的指令存入 D-cache 中，通过 FMC_ACCTRL 寄存器的 DCACHEEN 位使能 D-cache 功能。

3.5.2 主存储块

在对主存储区进行擦/写操作时，不能再对 Flash 进行读取操作。

并行位数

并行位数是指对 Flash 进行擦/写操作时要处理的字节数，由电源电压和是否使用外部电源决定，通过编程 FMC_CTRL 寄存器的 PGSIZE 位配置并行位数。决定因子和并行位数如下表所示：

表格 10 决定因子和并行位数的关系

电压范围（V）	1.8-2.1	2.1-2.4	2.4-2.7	2.7-3.6	2.7-3.6（使用外部 VPP）
并行位数	8-bit	16-bit		32-bit	64-bit

3.5.2.1 擦主存储块

Flash 可支持扇区擦除和整片擦除（全擦除）。进行整片擦除时，不影响 OTP 扇区或配置扇区。

主存储器页擦除

页擦除是根据程序选择的主存储区页进行独立擦除，不会对未选择擦除的页产生任何影响。

正确的页擦除（或闪存写入操作）结束后，FMC_STS 寄存器的 OPRCMP 位将会被置位，若使能了 OPCINTEN 中断则将触发一个操作完成中断。用户需要注意的是选择擦除的页必须是有效的页（主存储区有效的地址和未被写保护的地

址）。

主存储器片擦除

片擦除操作将会使 Flash 主存储区内所有内容全部被擦除，用户在使用时需要特别注意，以避免误操作导致重要数据丢失。

片擦除不影响 OTP 扇区或配置扇区。

3.5.2.2 写主存储块

Flash 支持字节、半字、字、双字写入操作，具体情况视并行位数决定。

需要注意的是，为保证写入正确，需要在写入前检查目的地址是否已经被擦除。Flash 单元需要经过擦除变为 1 后，才能被写入。

若目的地址存在写保护，则写入数据无效并触发一个写保护错误（FMC_STS 寄存器的 WPROTERR 位置“1”）。

在 FMC_STS 寄存器中，有三个写错误位，分别是 PGALGERR（编程对齐错误）、PGPRLERR（编程并行性错误）和 PGSEQERR（编程步骤顺序错误）。

编程对齐错误

如果想对 Flash 进行超过 128 位行的数据编程操作，则会产生编程对齐错误，PGALGERR 位将被置 1。

编程并行性错误

写操作的宽度若是和并行位数不一致，那么暂停写操作，并产生编程并行性错误，PGPRLERR 位置 1。

编程步骤顺序错误

正确的编程顺序为：

（1） 通过 FMC_STS[BUSY]确定当前没有对 Flash 执行的操作

（2） 将 FMC_CTRL[PG]置 1

（3） 进行写操作

（4） 操作完成，等待 BUSY 位清零

如果编程顺序有误，则会产生编程步骤顺序错误，PGSEQERR 位置 1。

3.5.2.3 锁定/解锁

FMC_CTRL[LOCK]只能置 1，以此锁定 Flash 控制寄存器，此时，无法对主存储块区域进行操作（即锁定）。

将关键字 0x4567 0123 和 0xCDEF 89AB 先后写入 FMC_KEY 寄存器，系统检测到解锁序列，会将 FMC_CTRL 寄存器的 LOCK 位清零，此时就能解锁 Flash

控制寄存器和主存储块。

3.5.2.4 缓存

如果 Flash 的写操作涉及到 D-cache 中某些数据，则将修改 Flash 和 D-cache 中的数据。

如果 Flash 的擦除操作涉及到 D-cache 或 I-cache 中的数据，那么在此之前应将数据写入缓存。

3.5.2.5 中断

在发生以下任一事件时，产生中断：

- 操作结束：擦/写操作结束
- 写保护错误：对写保护区域执行擦/写操作
- 编程错误：在擦/写/读期间出现错误

当 FMC_CTRL 寄存器中 OPCINTEN 位或 ERRINTEN 位被置 1，且发生相应中断事件时，产生中断。

3.5.3 选项字节

选项字节的地址和构成如下表所示，具体的含义描述可见 FMC_OPTCTRL 寄存器的相应位。

表格 11 选项字节说明

地址	位域	选项字节	功能描述
0x1FFF C000	1:0	-	-
	3:2	BORLVL	欠压复位等级
	4	-	-
	5	WDTSEL	选择看门狗
	6	RSTSTOP	进入停机模式时产生复位
	7	RSTSTDB	进入待机模式时产生复位
	15:8	RPROT	读保护
0x1FFF C008	11:0	NWPROT	无写保护
	15:12	-	-

3.5.3.1 擦/写选项字节

在对选项字节进行擦/写操作前，必须要解锁。

选项字节的编程顺序为：

（1） 通过 FMC_STS[BUSY]确定当前没有对 Flash 执行的操作

（2） 向 FMC_OPTCTRL 写入编程值

（3） 将 FMC_OPTCTRL[OPTSTART]置 1

（4） 操作完成，等待 BUSY 位清零

如果在完成选项字节写操作后，紧接着进行主存储块 Flash 执行页擦/写操作，需在完成选项字节写操作后执行如下步骤：

①解锁主存储块 Flash

②对地址 0x40023C30 写数据 0x08

③锁定主存储块 Flash

执行完成以上三步后，再执行主存储块 Flash 的页擦/写操作。

3.5.3.2 锁定/解锁

FMC_OPTCTRL[OPTLOCK]只能置 1，以此锁定选项字节区域。

将关键字 0x0819 2A3B 和 0x4C5D 6E7F 先后写入 FMC_OPTKEY 寄存器，系统检测到解锁序列，会将 FMC_OPTCTRL 寄存器的 OPTLOCK 位清零，此时选项字节就会解锁。

3.5.4 写保护

为了防止程序错乱而意外改写 Flash，默认状态下，Flash 可多达 12 个用户扇区有写保护功能，FMC_OPTCTRL[NWPROT]位域的对应位为低电平时，相应扇区被写保护，无法对该扇区进行擦/写操作。

3.5.4.1 写保护错误

FMC_STS[WPROTERR]是个写保护错误位，以下事件发生时，此位置 1：

- 对写保护区域执行擦/写操作
- 对无效扇区执行页擦除/片擦除
- 同时选择页擦除和片擦除
- Flash 处于读保护但检测到擦/写请求
- 对用户配置区进行写操作
- 对锁定的 OTP 区域进行写操作

3.5.5 读保护

为了防止不受信任的代码读取 Flash 的数据，可选择对 Flash 使用读保护功能，通过配置 FMC_OPTCTRL[RPROT]位域的值，选择读保护级别。读保护有三种级别，分别是级别 0、级别 1、级别 2。

不同读保护级别下的访问限制如下表所示。

表格 12 不同读级别的限制

存储区	级别	从 Flash 自举			调试功能，从 RAM 或系统存储器自举		
		读	写	擦	读	写	擦
OTP	级别 1	✓		-	✗		-
	级别 2						

<table>
<tr><th rowspan="2">存储区</th><th rowspan="2">级别</th><th colspan="3">从 Flash 自举</th><th colspan="3">调试功能，从 RAM 或系统存储器自举</th></tr>
<tr><th>读</th><th>写</th><th>擦</th><th>读</th><th>写</th><th>擦</th></tr>
<tr><td rowspan="2">选项字节</td><td>级别 1</td><td colspan="6">✓</td></tr>
<tr><td>级别 2</td><td colspan="6">✗</td></tr>
<tr><td rowspan="2">Flash 和备份 SRAM</td><td>级别 1</td><td colspan="3" rowspan="2">✓</td><td colspan="2">✗</td><td>✗(1)</td></tr>
<tr><td>级别 2</td><td colspan="3">✗</td></tr>
</table>

注意：

（1） 处表示，只有级别 1 变到级别 0 时，才会擦除 Flash 和备份 SRAM 的数据。

“✓”表示允许操作，“✗”表示不允许，“-”表示未定义。

3.5.5.1 级别 0

当 FMC_OPTCTRL[RPROT]=0xAA 时，表示不对 Flash 使用读保护功能。

3.5.5.2 级别 1

当 FMC_OPTCTRL[RPROT]=任意值（除 0xAA 和 0xCC 外），读保护级别为 1。如果此时将级别调整回级别 0，那么会执行片擦除操作，将擦除 Flash 和备份 SRAM 的所有数据。片擦除只影响用户代码区域，被写保护的其他选项字节和 OTP 不受影响。

3.5.5.3 级别 2

当 FMC_OPTCTRL[RPROT]=0xCC 时，读保护级别为 2。此时：

- 保留级别 1 的读保护功能
- 不允许从 RAM 或系统存储器自举
- JTAG、SWV、ETM 和边界扫描被禁止
- 选项字节被锁定

注意，当读保护级别设置为 2 时，不能再降级。

3.5.6 OTP

下表为 OTP 结构。

表格 13OTP 结构

地址	[31:0]	[63:32]	[95:64]	[127:96]	块
0x1FFF 7800	OTP0	OTP0	OTP0	OTP0	数据块 0
0x1FFF 7810	OTP0	OTP0	OTP0	OTP0	
0x1FFF 7820	OTP1	OTP1	OTP1	OTP1	数据块 1
0x1FFF 7830	OTP1	OTP1	OTP1	OTP1	
0x1FFF 7840	OTP2	OTP2	OTP2	OTP2	数据块 2
0x1FFF 7850	OTP2	OTP2	OTP2	OTP2	

地址	[31:0]	[63:32]	[95:64]	[127:96]	块
……	……				……
0x1FFF 79E0	OTP15	OTP15	OTP15	OTP15	数据块 15
0x1FFF 79F0	OTP15	OTP15	OTP15	OTP15	
0x1FFF 7A00	LOCKB0 … LOCKB3	LOCKB4 … LOCKB7	LOCKB8 … LOCKB11	LOCKB12 … LOCKB15	锁定块

OTP 由 16 个 32 位字节的数据块和 1 个 16 字节的锁定块组成。锁定块 n 用于锁定数据块 n（n=0…15），只有当锁定块的值为 0x00 时，相应的数据块才能编程。锁定块的值只能时 0x00 或 0xFF，否则 OTP 字节无法正常使用。

注意，OTP 的数据块和锁定块都无法擦除。

3.6 寄存器地址映射

表格 14 FMC 寄存器地址映射

寄存器名	描述	偏移地址
FMC_ACCTRL	Flash 访问控制寄存器	0x00
FMC_KEY	Flash 关键字寄存器	0x04
FMC_OPTKEY	Flash 选项关键字寄存器	0x08
FMC_STS	Flash 状态寄存器	0x0C
FMC_CTRL	Flash 控制寄存器	0x10
FMC_OPTCTRL	Flash 选项控制寄存器	0x14

3.7 寄存器功能描述

3.7.1 Flash 访问控制寄存器（FMC_ACCTRL）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
2:0	WAITP	R/W	等待周期（Wait Period） 此位表示等待周期的个数。 000：0 个 001：1 个 010：2 个 011：3 个 100：4 个 101：5 个 110：6 个 111：7 个

位/域	名称	R/W	描述
7:3	保留		
8	PREFEN	R/W	使能预取（Prefetch Enable） 0：禁止 1：使能
9	ICACHEEN	R/W	使能指令缓冲区（Instruction Cache Enable） 0：禁止 1：使能
10	DCACHEEN	R/W	使能数据缓冲区（Data Cache Enable） 0：禁止 1：使能
11	ICACHERST	W	复位指令缓冲区（Instruction Cache Reset） 0：无效 1：复位
12	DCACHERST	R/W	复位数据缓冲区（Data Cache Reset） 0：无效 1：复位
31:13	保留		

3.7.2 Flash 关键字寄存器（FMC_KEY）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	KEY	W	关键字（Key） 解锁时，需要将关键字输入进此寄存器。

3.7.3 Flash 选项关键字寄存器（FMC_OPTKEY）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	OPTKEY	W	选项关键字（Option Key） 解锁时，需要将关键字输入进此寄存器。

3.7.4 Flash 状态寄存器（FMC_STS）

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
0	OPRCMP	RC_W1	操作完成（Operation Complete） 当对 Flash 操作结束后，此位置 1。
1	OPRERR	RC_W1	操作错误（Operation Error） 才操作过程中，出现错误时，此位置 1。
3:2	保留		
4	WPROTERR	RC_W1	写保护错误（Write Protection Error） 对 Flash 写保护区域进行擦/写操作时，此位置 1。

位/域	名称	R/W	描述
5	PGALGERR	RC_W1	编程对齐错误（Programming Alignment Error） 发生编程对齐错误时，此位置 1。
6	PGPRLERR	RC_W1	编程并行性错误（Programming Parallelism Error） 发生编程并行性错误时，此位置 1。
7	PGSEQERR	RC_W1	编程步骤顺序错误（Programming Sequence Error） 发生编程步骤顺序错误时，此位置 1。
15:8	保留		
16	BUSY	R	忙碌（Busy） 对 Flash 执行操作时，此位置 1。
31:17	保留		

3.7.5 Flash 控制寄存器（FMC_CTRL）

偏移地址：0x10

复位值：0x8000 0000

只有没有任何在进行的 Flash 操作时，才能访问这个寄存器。

位/域	名称	R/W	描述
0	PG	R/W	编程（Programming） 此位置 1 时可以使能 Flash 编程。
1	SERS	R/W	扇擦除（Sector Erase） 此位置 1 时可以使能扇擦除。
2	MERS	R/W	片擦除（Mass Erase） 此位置 1 时可以使能片擦除。
6:3	SNUM	R/W	扇编号（Sector Number） 此位域用于指定擦除的扇区。 0000：扇区 0 0001：扇区 1 0010：扇区 2 …… 1011：扇区 11 其他：保留
7	保留		
9:8	PGSIZE	R/W	编程大小（Program Size） 此位域用于选择并行位数。 00：8-bit 01：16-bit 10：32-bit 11：64-bit
15:10	保留		
16	START	R/S	开始（Start） 此位置 1 可以出发擦除操作。在 BUSY 位清零时清零。
23:17	保留		
24	OPCINTEN	R/W	使能操作完成中断（Operation Complete Interrupt Enable） 0：禁止

位/域	名称	R/W	描述
			1：使能
25	ERRINTEN	R/W	使能错误中断（Error Interrupt Enable） 0：禁止 1：使能
30:26	保留		
31	LOCK	R/S	锁定（Lock） 此位置 1 时表示此寄存器锁定，检测到解锁序列时由硬件清零。

3.7.6 Flash 选项控制寄存器（FMC_OPTCTRL）

偏移地址：0x14

复位值：0x0FFF AAED

只有没有任何在进行的 Flash 操作时，才能访问这个寄存器。

位/域	名称	R/W	描述
0	OPTLOCK	R/S	锁定选项（Option Lock） 此位置 1 时表示此寄存器已锁定，检测到解锁序列时由硬件清零。
1	OPTSTART	R/S	开启选项（Option Start） 此位由软件置 1 后可对选项字节进行操作，在 BUSY 位清零时清零。
3:2	BORLVL	R/W	欠压复位等级（Brownout Reset Level） 当电源电压小于欠压复位级别的阈值时，产生复位。 00：级别 3，电压范围 2.7V-3.6V 01：级别 2，电压范围 2.4V-2.7V 10：级别 1，电压范围 2.1V-2.4V 11：关闭，电压范围 1.8V-2.1V
4	保留		
5	WDTSEL	R/W	选择看门狗（Watchdog Select） 0：硬件看门狗 1：软件看门狗
6	RSTSTOP	R/W	进入停机模式时产生复位（nReset in STOP Mode） 0：进入 Stop 模式时产生复位 1：进入 Stop 模式时不产生复位
7	RSTSTDB	R/W	进入待机模式时产生复位（nReset in STANDBY Mode） 0：进入 Standby 模式时产生复位 1：进入 Standby 模式时不产生复位
15:8	RPROT	R/W	读保护（Read Protect） 此位域用于选择读保护的级别。 0xAA：级别 0 0xCC：级别 2 其他：级别 1
27:16	NWPROT	R/W	无写保护（Not Write Protect） 0：开启写保护 1：关闭写保护
31:28	保留		

4 外部存储器控制器（EMMC）

4.1 术语全称、缩写描述

表格 15 术语全称、缩写描述

中文全称	英文全称	英文缩写
静态随机存储器	Static Random Access Memory	SRAM
只读存储器	Read Only Memory	ROM
伪静态随机存储器	Pseudo Static Random Access Memory	PSRAM
随机存取存储器	Random Access Memory	RAM
同步动态随机存储器	Synchronous Dynamic Random Access Memory	SDRAM
复用	Multiplex	MUX
宽度	Width	WID
闪存	Flash Memory	FM
访问	Access	ACC
等待	Wait	W
信号	Signal	S
极性	Polarity	POL
异步	Asynchronous	ASYN
突发	Burst	BURST
时序	Timing	TIM
建立	Setup	SET
保持	Hold	HLD
空	Empty	E

4.2 EMMC 概述

EMMC 包括 SMC（静态存储控制器）、DMC（动态存储控制器）。SMC 负责控制 SRAM、PSRAM、NandFlash、NorFlash、PCCard，DMC 控制 SDRAM。

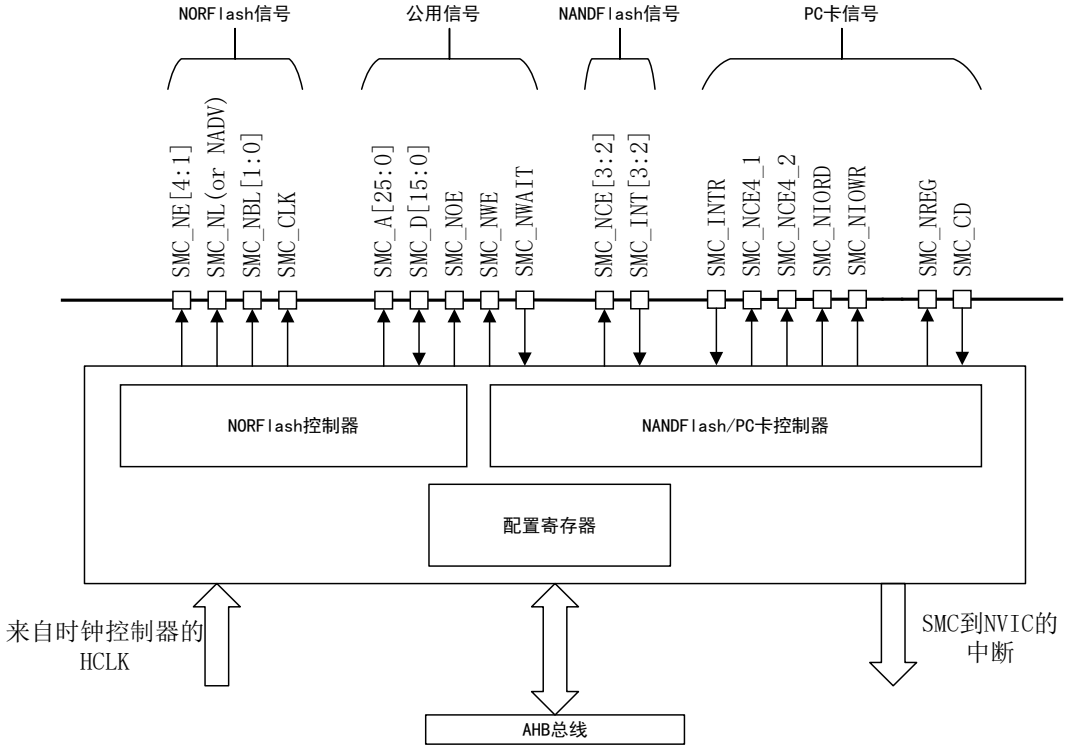
4.3 SMC 简介

SMC 是用来管理扩展静态存储器的外设；可以将 AHB 传输信号转换到适当的外部设备；内部存在四个存储块，每个存储块都对应控制不同类型的存储器，通过片选信号加以区分；任一时刻只访问一个外部设备；每个存储块都可以单独配置，时序可编程以适用外部设备。

4.4 SMC 结构框图

SMC 主要有五个部分：AHB 总线接口、配置寄存器、NORFlash 控制器、NANDFlash/PC 卡控制器和外部设备接口，具体情况如下图：

图 2 SMC 框图



4.5 SMC 功能描述

4.5.1 SMC 访问规则

SMC 是内部 CPU 通过 AHB 总线访问外部静态存储器的接口，在 AHB 总线上，32 位长度数据的操作会被转换成连续的 16 或 8 位操作。为了保证数据传输时的一致性，SMC 在对外部读写操作时需要遵从以下规则：

（1） AHB 访问外部数据宽度等于存储器数据宽度时，可正常传输，没有问题。

（2） AHB 访问外部数据宽度大于存储器数据宽度时，自动将访问操作切割成与外部数据宽度一致进行传输。

（3） AHB 访问外部数据宽度小于存储器数据宽度时，如果外部存储器具有字节选择功能，则可以通过字节通道正常传输数据；如果不具有该功能，则不允许写操作，只允许读操作。

4.5.2 外部设备地址映射

SMC 将外部设备分成多个存储块，不同的存储块对应控制不同的外部设备，具体分类见下表：

表格 16 外部设备地址映射表

起始地址	结束地址	存储块	支持存储器类型
0x60000000	0x6FFFFFFF	存储块 1（4*64MB）	NOR/PSRAM
0x70000000	0x7FFFFFFF	存储块 2（4*64MB）	NAND
0x80000000	0x8FFFFFFF	存储块 3（4*64MB）	NAND
0x90000000	0x9FFFFFFF	存储块 4（4*64MB）	PC 卡

4.5.3 NOR 闪存和 PSRAM

4.5.3.1 地址映射

存储块 1 用于控制 NOR/PSRAM 存储器，内部分成 4 块 64MB 同等大小大小的区域，各个区域的选择取决于 HADDR[27:26]的值，具体信息如下：

表格 17 存储块 1 地址映射

HADDR[27:26]	起始地址	结束地址	区域块
00	0x60000000	0x63FFFFFF	区域块 1
01	0x64000000	0x67FFFFFF	区域块 2
10	0x68000000	0x6BFFFFFF	区域块 3
11	0x6C000000	0x6FFFFFFF	区域块 4

HADDR 是需要转换到外部存储器的内部 AHB 地址线，它是字节地址，但是外部存储器有一些是不按字节访问的，所以会出现地址不一致的情况，为了避免这种情况产生的错误，SMC 会遵从下述规则进行相应的调整：

- 当外部存储器数据宽度为 8 位时，HADDR[25:0]与 SMC_A[25:0]对应连接，而 SMC_A[25:0]与外部存储器地址线相连。
- 当外部存储器数据宽度为 16 位时，HADDR[25:1]与 SMC_A[24:0]对应连接，而 SMC_A[24:0]与外部存储器地址线相连。

4.5.3.2 接口信号和控制器

存储块 1 支持 NOR Flash、PSRAM、SRAM 和 ROM 外部存储器。存储块 1 中的四个区域都存在对应的片选信号 NE[x]（x=1..4），所有其它信号都是共享的，具体接口信号及功能如下：

表格 18 NOR Flash 接口信号

SMC 信号名称	信号方向	功能
CLK	输出	同步时钟信号
NE[x]	输出	片选信号，x=1..4
NOE	输出	读使能信号
NEW	输出	写使能信号
NWAIT	输入	NOR 闪存要求 SMC 等待的信号

SMC 信号名称	信号方向	功能
A[25:0]	输出	非复用：A[25:0]全部为地址总线
	输出	复用：A[25:16]为地址总线
AD[15:0]	输入/输出	非复用：双向数据总线
	输入/输出	复用：双向地址/数据总线
NL（=NADV）	输出	地址有效信号

表格 19 PSRAM 接口信号

SMC 信号名称	信号方向	功能
CLK	输出	同步时钟信号
NE[x]	输出	片选信号，x=1..4
NOE	输出	读使能信号
NEW	输出	写使能信号
NWAIT	输入	PSRAM 要求 SMC 等待的信号
A[25:0]	输出	地址总线
D[15:0]	输入/输出	双向数据总线
NL（=NADV）	输出	地址有效信号
NBL[1]	输出	高字节使能
NBL[0]	输出	低字节使能

注意：控制器的输出信号在内部时钟的上升沿变化；在同步写模式下，输出的数据在存储器时钟的下降沿变化。

NOR Flash/PSRAM 控制器给外部存储器提供了可编程的时序参数，具体包含参数如下表：

表格 20 可编程的 NOR/PSRAM 时序参数

参数	功能	访问方式	单位	最小	最大
数据产生时间	突发模式下产生第一个数据所需的时钟数目	同步	存储器时钟周期（CLK）	2	17
时钟分频因子	存储器访问的时钟周期（CLK）与 AHB 时钟周期的比例	同步	AHB 时钟周期（HCLK）	2	16
总线恢复时间	总线恢复阶段的时间	异步或同步读		1	16
数据建立时间	数据建立阶段的时间	异步		2	256
地址保持时间	地址保持阶段的时间	异步，复用 IO		2	16
地址建立时间	地址建立阶段的时间	异步		1	16

4.5.4 NAND 闪存和 PC 卡

4.5.4.1 地址映射

存储块 2、3 和 4 是用来访问 NAND 闪存和 PC 卡，同样在每个存储块内也被分为不同的区域，不同区域对应效果不一样，具体分布如下表：

表格 21 存储块 2、3、4 地址映射

SMC 存储块	存储空间	起始地址	结束地址
存储块 2-NAND 闪存	通用	0x70000000	0x73FFFFFF
	属性	0x78000000	0x7BFFFFFF
存储块 3-NAND 闪存	通用	0x80000000	0x83FFFFFF
	属性	0x88000000	0x8BFFFFFF
存储块 4-PC 卡	通用	0x90000000	0x93FFFFFF
	属性	0x98000000	0x9BFFFFFF
	I/O	0x9C000000	0x9FFFFFFF

NAND 闪存存储块中又在低字节一部分区域划分了三个块，通过 HADDR[17:16]来选择对不同块进行访问，三个块的具体划分及其选择如下表：

表格 22 NAND 存储块划分

HADDR[17:16]	地址范围	块名称
00	0x000000-0x00FFFF	数据块
01	0x010000-0x01FFFF	命令块
1X	0x020000-0x03FFFF	地址块

为实现对 NAND 存储器的正常读写，需要有以下步骤：

- 向存储器发送命令
- 向存储器发送需要读写的地址
- 读写数据

对应的三步操作需要操作的地址便对应存储块中所划分的三个块。向存储器发送命令便是对命令块写入相应命令值；向存储器发送地址便是向地址块发送相应地址值；读写数据便是在数据块中读写，最终写入或读出 NAND 的内部单元，对应单元的地址便是在地址块写入的地址。

4.5.4.2 接口信号和控制器

NAND/PC 卡控制器可以控制三个存储块，存储块 2、3 支持 NAND Flash，存储块 4 支持 PC 卡设备，三个存储块也都有各自的片选信号，具体接口及功能如下：

表格 23 NAND Flash 接口信号

SMC 信号名称	信号方向	功能
NCE[x]	输出	片选信号，x=2,3

SMC 信号名称	信号方向	功能
NOE（=NRE）	输出	读使能信号
NEW	输出	写使能信号
NWAIT/INT[3:2]	输入	NAND Flash 就绪/忙输入信号
A[17]	输出	NAND Flash 地址锁存信号（ALE）
A[16]	输出	NAND Flash 命令锁存信号（CLE）
D[15:0]	输入/输出	8 位复用：D[7:0]双向地址/数据总线
	输入/输出	16 位复用：D[15:0]双向地址/数据总线

表格 24 PC 卡接口信号

SMC 信号名称	信号方向	功能
NCE4_1	输出	片选信号 1
NCE4_2	输出	片选信号 2（选择 16 位或 8 位操作）
NOE	输出	读使能信号
NEW	输出	写使能信号
NWAIT	输入	PC 卡等待信号
INTR	输入	PC 卡中断信号
CD	输入	PC 卡检测信号
A[10:0]	输出	地址总线
NIOS16	输入	16 位传输 I/O 空间的数据传输宽度（须接地）
NIORD	输出	I/O 空间输出使能
NIOWR	输出	I/O 空间写使能
NREG	输出	对通用空间或者属性空间访问的选择
D[15:0]	输出/输入	双向数据总线

NAND Flash/PC 卡控制器给外部存储器提供了可编程的时序参数，具体包含参数如下表：

表格 25 可编程 NAND/PC 卡时序参数

参数	功能	操作模式	单位	最小	最大
存储器数据总线高阻时间	启动写操作后保持数据总线为高阻态的时间	写	AHB 时钟周期（HCLK）	0	255
存储器保持时间	发送命令结束后保持地址的时钟数目，写操作时也是数据的保持时间	读/写		1	254
存储器等待时间	发出的最短持续时间			2	256
存储器建立时间	发出命令之前建立地址的时钟数目			1	255

4.6 SMC 寄存器地址映射

表格 26 SMC 寄存器地址映射

寄存器名	描述	偏移地址
SMC_CSCTRL1…4	SRAM/NOR 闪存片选控制寄存器 1…4	8*(x-1),x=1…4
SMC_CSTIM1…4	SRAM/NOR 闪存片选时序寄存器 1…4	0x04 + 8*(x-1),x=1…4
SMC_WRTTIM1…4	SRAM/NOR 闪存写时序寄存器 1…4	0x104 + 8*(x-1),x=1…4
SMC_CTRL2…4	PC 卡/NAND 闪存控制寄存器 2…4	0x40 + 0x20 * (x-1),x=2…4
SMC_STSINT2…4	FIFO 状态和中断寄存器 2…4	0x44 + 0x20 * (x-1),x=2…4
SMC_CMSTIM2…4	通用存储空间时序寄存器 2…4	0x48 + 0x20 * (x-1),x=2…4
SMC_AMSTIM2…4	属性存储空间时序寄存器 2…4	0x4C + 0x20 * (x-1),x=2…4
SMC_IOSTIM4	I/O 空间时序寄存器 4	0XB0
SMC_ECCRS2/3	ECC 结果寄存器 2/3	0x54 + 0x20 * (x-1),x=2 或 3

4.7 SMC 寄存器功能描述

4.7.1 NOR 闪存和 PSRAM 控制寄存器

4.7.1.1 SRAM/NOR 闪存片选控制寄存器 1…4（SMC_CSCTRL1…4）

偏移地址：8*(x-1), x=1…4

复位值：0x0000 30DX

位/域	名称	R/W	描述
0	MBKEN	R/W	使能对应的存储器块（Enable the Corresponding Memory Bank） 0：禁止 1：使能
1	ADMUXEN	R/W	使能地址/数据复用（Address/Data Multiplexing Enable） 该位仅对 NORFlash 和 PSRAM 有效。 0：禁止 1：地址低 16 位和数据共用数据总线
3:2	MTYPECFG	R/W	配置存储器类型（Memory Type Configure） 00：SRAM、ROM（Bank2~Bank4 复位后的默认值） 01：PSRAM 10：NORFlash（Bank1 复位后的默认值） 其他保留
5:4	MDBWIDCFG	R/W	配置存储器数据总线宽度（Memory Data Bus Width Configure） 00：8 位 01：16 位 其他：保留

位/域	名称	R/W	描述
6	NORFMACCEN	R/W	使能访问 NORFlash（NORFlash Memory Access Enable）） 0：禁止 1：使能
7	保留		
8	BURSTEN	R/W	使能突发模式（Burst Mode Enable） 在同步模式下，可使用突发模式访问存储器。 0：禁止 1：使能
9	WSPOLCFG	R/W	配置等待信号极性（Wait Signal Polarity Configure） 该位仅在突发模式下有效。 0：低有效 1：高有效
10	WRAPBEN	R/W	使能非对齐的突发模式（Wrapped Burst Mode Enable）） 该位仅在突发模式下有效。 0：禁止 1：使能
11	WTIMCFG	R/W	配置等待时序（Wait Timing Configure） 该位用来配置存储器是在等待状态前一个周期产生 NWAIT 信号，还是在等待期间产生；该位仅在突发模式下有效。 0：NWAIT 信号在等待前的一个数据周期有效 1：NWAIT 信号在等待期间有效
12	WREN	R/W	使能写存储器（Write Memory Enable） 该位用来使能 SMC 对存储器的写操作。 0：禁止写，否则产生一个 AHB 错误 1：允许写
13	WAITEN	R/W	等待使能（Wait Enable） 该位用来使能 NWAIT 信号插入等待状态，该位仅在突发模式下有效。 0：禁止 1：使能
14	EXTMODEEN	R/W	使能扩展模式（Extended Mode Enable） 在扩展模式下，可使用 SMC_WRTTIM 寄存器，实现读、写使用不同的时序的功能。 0：禁止 1：使能
15	WSASYNCEN	R/W	使能异步传输期间的等待信号（Wait Signal During Asynchronous Transfers Enable） 该位用来在异步协议期间 SMC 可使用 NWAIT 信号。 0：禁止 1：使能

位/域	名称	R/W	描述
18:16	CRAMPSIZECFG	R/W	配置 CRAM 页大小（CRAM Page Size Configure） 000：当跨越页面边界时没有突发分裂 001：128 字节 010：256 字节 011：512 字节 100：1024 字节 其他：保留
19	WRBURSTEN	R/W	使能突发写 PSRAM（Write PSRAM Burst Enable） 该位使能写操作的同步突发传输协议。 0：写操作为异步模式 1：写操作为同步模式
31:20	保留		

4.7.1.2 SRAM/NOR 闪存片选时序寄存器 1…4（SMC_CSTIM1…4）

偏移地址：0x04 + 8*(x-1), x=1…4

复位值：0x0FFF FFFF

位/域	名称	R/W	描述
3:0	ADDRSETCFG	R/W	配置地址建立时间（Address Setup Time Configure） 仅适用于 SRAM、ROM 和异步总线复用模式的 NOR 闪存操作。 0000：1 个 HCLK 时钟周期 0001：2 个 HCLK 时钟周期 …… 1111：16 个 HCLK 时钟周期 注：同步操作中，该参数无含义，始终为 1 个存储器时钟周期
7:4	ADDRHLDCFG	R/W	配置地址保持时间（Address-Hold Time Configure） 仅适用于 SRAM、ROM 和异步总线复用模式的 NOR 闪存操作。 0000：保留 0001：2 个 HCLK 时钟周期 …… 1111：16 个 HCLK 时钟周期 注：同步操作中，该参数无含义，始终为 1 个存储器时钟周期
15:8	DATASETCFG	R/W	配置数据建立时间（Data Setup Time Configure） 仅适用于 SRAM、ROM 和异步总线复用模式的 NOR 闪存操作。 0000 0000：保留 0000 0001：2 个 HCLK 时钟周期 0000 0010：3 个 HCLK 时钟周期 …… 1111 1111：256 个 HCLK 时钟周期
19:16	BUSTURNCFG	R/W	配置总线恢复时间（Bus Turnaround Phase Duration Configure） 这些位用来配置一次读操作后在总线上的延迟时间，仅适用于总线复用模式的 NOR 闪存操作。 0000：1 个 HCLK 时钟周期 0001：2 个 HCLK 时钟周期 …… 1111：16 个 HCLK 时钟周期

位/域	名称	R/W	描述
23:20	CLKDIVCFG	R/W	配置时钟分频系数（Clock Divide Factor Configure） CLK 来自 HCLK 的分频，这些位用来配置 CLK 时钟输出信号的频率，仅适用于在同步模式。 0000：保留 0001：2 分频 0010：3 分频 …… 1111：16 分频 注：在访问异步 NOR 闪存、SRAM 或 ROM 时，该参数无效。
27:24	DATALATCFG	R/W	配置数据保持时间（Data Latency Configure） 这些位用来配置在读取第一个数据前等待的存储器周期数目，仅适用于同步突发模式的 NOR 闪存操作。 0000：2 个 CLK 时钟周期 0001：3 个 CLK 时钟周期 …… 1111：17 个 CLK 时钟周期 注：在访问异步 NOR 闪存、SRAM 或 ROM 时，该参数无效，操作 CRAM 时，该参数为 0。
29:28	ASYNCACCCFG	R/W	配置异步访问模式（Asynchronous Access Mode Configure） 仅在 SMC_CSCTRLX 寄存器的 EXTMODEEN 位为 1 时生效。 00：访问模式 A 01：访问模式 B 10：访问模式 C 11：访问模式 D
31:30	保留		

4.7.1.3 SRAM/NOR 闪存写时序寄存器 1…4（SMC_WRTTIM1…4）

偏移地址：0x104 + 8*(x-1), x=1…4

复位值：0x0FFF FFFF

位/域	名称	R/W	描述
3:0	ADDRSETCFG	R/W	配置地址建立时间（Address Setup Time Configure） 仅适用于 SRAM、ROM 和异步总线复用模式的 NOR 闪存操作。 0000：1 个 HCLK 时钟周期 0001：2 个 HCLK 时钟周期 …… 1111：16 个 HCLK 时钟周期 注：同步操作中，该参数无含义，始终为 1 个存储器时钟周期
7:4	ADDRHLDCFG	R/W	配置地址保持时间（Address-Hold Time Configure） 仅适用于 SRAM、ROM 和异步总线复用模式的 NOR 闪存操作。 0000：保留 0001：2 个 HCLK 时钟周期 …… 1111：16 个 HCLK 时钟周期 注：同步操作中，该参数无含义，始终为 1 个存储器时钟周期

位/域	名称	R/W	描述
15:8	DATASETCFG	R/W	配置数建立时间（Data-Setup Time Configure） 仅适用于 SRAM、ROM 和异步总线复用模式的 NOR 闪存操作。 0000 0000：保留 0000 0001：2 个 HCLK 时钟周期 0000 0010：3 个 HCLK 时钟周期 …… 1111 1111：256 个 HCLK 时钟周期
19:16	BUSTURNCFG	R/W	配置总线恢复时间（Bus Turnaround Phase Duration Configure） 这些位用来配置一次读操作后在总线上的延迟时间，仅适用于总线复用模式的 NOR 闪存操作。 0000：1 个 HCLK 时钟周期 0001：2 个 HCLK 时钟周期 …… 1111：16 个 HCLK 时钟周期
23:20	CLKDIVCFG	R/W	配置 CLK 信号的时钟分频比（Clock divide ratio (for CLK signal Configure) CLK 时钟输出信号的周期，用 HCLK 周期数表示。 0000：保留 0001：CLK 周期=2×HCLK 周期 0010：CLK 周期=3×HCLK 周期 1111：CLK 周期=16×HCLK 周期（复位后的默认值） 在异步 NOR Flash、SRAM 或 ROM 访问模式下，该位无效。
27:24	DATLATCFG	R/W	配置数据延迟时间（用于同步突发 NOR Flash）（Data latency Configure） 该位用来定义获取首个数据前要发送给存储器的存储器时钟周期数(+2)。 0000：首次突发访问时，2 个 CLK 时钟周期的数据延迟 … 1111：首次突发访问时，17 个 CLK 时钟周期的数据延迟（复位后的默认值） 在异步 NOR Flash、SRAM 或 ROM 访问模式下，该位无效。
29:28	ASYNCACCCFG	R/W	配置异步访问模式（Asynchronous Access Mode Configure） 这些位用来配置异步访问模式，仅在 SMC_CSCTRLX 寄存器的 EXTMODEEN 位为 1 时生效。 00：访问模式 A 01：访问模式 B 10：访问模式 C 11：访问模式 D
31:30	保留		

4.7.2 NAND 闪存和 PC 卡控制寄存器

4.7.2.1 PC 卡/NAND 闪存控制寄存器 2…4（SMC_CTRL2…4）

偏移地址：0x40 + 0x20 * (x-1), x=2…4

复位值：0x0000 0018

位/域	名称	R/W	描述
0	保留		
1	WAITFEN	R/W	使能 PC 卡/NANDFlash 等待功能（PC Card/NANDFlash Wait Feature Enable） 0：禁止 1：使能
2	MBKEN	R/W	使能 PC 卡/NAND 存储器块（PC Card/NAND Flash Memory Bank Enable） 0：禁止 1：使能
3	MTYPECFG	R/W	配置存储器类型（Memory Type Configure） 0：PC 卡、CF 卡、CF+卡或 PCMCIA 1：NAND 闪存
5:4	DBWIDCFG	R/W	配置数据总线宽度（Databus Width Configure） 对于 PC Card，必须使用 16 位。 00：8 位 01：16 位 其他保留
6	ECCEN	R/W	使能 ECC 计算电路（ECC Computation Logic Enable） 0：禁止并复位 ECC 1：使能
8:7	保留		
12:9	C2RDCFG	R/W	配置 CLE 至 RE 的延迟（CLE To RE Delay Configure） 配置“CLE 变为低电平”至“RE 变为低电平”的时间。 0000：1 个 HCLK 周期 0000：2 个 HCLK 周期 …… 1111：16 个 HCLK 周期
16:13	A2RDCFG	R/W	配置 ALE 至 RE 的延迟（ALE To RE Delay Configure） 配置“ALE 变为低电平”至“RE 变为低电平”的时间 0000：1 个 HCLK 周期 0000：2 个 HCLK 周期 …… 1111：16 个 HCLK 周期
19:17	ECCPSCFG	R/W	配置 ECC 页面大小（ECC Page Size Configure） 000：256 字节 001：512 字节 010：1024 字节 011：2048 字节 100：4096 字节 101：8192 字节
31:20	保留		

4.7.2.2 FIFO 状态和中断寄存器 2…4（SMC_STSINT2…4）

偏移地址：0x44 + 0x20 * (x-1),x=2…4

复位值：0x0000 0040

位/域	名称	R/W	描述
0	IREFLG	R/W	产生中断上升沿标志（Interrupt Rising Edge Generate Flag） 该位由硬件置 1，软件清 0。 0：没有产生 1：产生
1	IHLFLG	R/W	产生中断高电平标志（Interrupt High-Level Generate Flag） 该位由硬件置 1，软件清 0。 0：没有产生 1：产生
2	IFEFLG	R/W	产生中断下降沿标志（Interrupt Falling Edge Generate Flag） 该位由硬件置 1，软件清 0。 0：没有产生 1：产生
3	IREDEN	R/W	使能中断上升沿检测（Interrupt Rising Edge Detection Enable） 0：禁止 1：使能
4	IHLDEN	R/W	使能中断高电平检测（Interrupt High-Level Detection Enable） 0：禁止 1：使能
5	IFEDEN	R/W	使能中断下降沿检测（Interrupt Falling Edge Detection Enable） 0：禁止 1：使能
6	FEFLG	R	FIFO 空标志（FIFO Empty Flag） 0：不空 1：空
31:7	保留		

4.7.2.3 通用存储空间时序寄存器 2…4（SMC_CMSTIM2…4）

偏移地址：0x48 + 0x20 * (x-1),x=2…4

复位值：0xFCFC FCFC

位/域	名称	R/W	描述
7:0	SETx	R/W	配置在通用空间 x 的建立时间（Common Memory x Setup Time Configure） 该位以 HCLK 为时钟周期，定义了发送命令之前建立地址的时间。 0000 0000：1 个 HCLK 周期 0000 0001：2 个 HCLK 周期 …… 1111 1110：255 个 HCLK 周期 1111 1111：保留

位/域	名称	R/W	描述
15:8	WAITx	R/W	配置在通用空间 x 的等待时间（Common Memory x Wait Time Configure） 该位以 HCLK 为时钟周期，定义了保持命令的最小时间，定义的时间结束后，若等待信号有效低则命令保持时间变长。 0000 0000：保留 0000 0001：2 个 HCLK 周期（+由 NWAIT 信号变低引入的等待周期） 0000 0010：3 个 HCLK 周期 …… 1111 1110：255 个 HCLK 周期（+由 NWAIT 信号变低引入的等待周期） 1111 1111：保留
23:16	HLDx	R/W	配置在通用空间 x 的保持时间（Common Memory x Hold Time Configure） 该位以 HCLK 为时钟周期，定义了发送命令后，地址信号保持的时间。 0000 0000：保留 0000 0001：写访问 1 个 HCLK 周期，读访问 3 个 HCLK 周期 …… 1111 1110：写访问 254 个 HCLK 周期，读访问 256 个 HCLK 周期 1111 1111：保留
31:24	HIZx	R/W	配置在通用空间 x 数据总线的高阻时间（Common Memory x Databus Hiz Time Configure） 该位以 HCLK 为时钟周期，定义了数据总线高阻态的时间，仅对写操作生效。 0000 0000：1 个 HCLK 周期 0000 0001：2 个 HCLK 周期 …… 1111 1110：255 个 HCLK 周期 1111 1111：保留

4.7.2.4 属性存储空间时序寄存器 2…4（SMC_AMSTIM2…4）

偏移地址：0x4C + 0x20 * (x-1),x=2…4

复位值：0xFCFC FCFC

位/域	名称	R/W	描述
7:0	SETx	R/W	配置在属性空间 x 的建立时间（Attribute Memory x Setup Time Configure） 该位以 HCLK 为时钟周期，定义了发送命令前建立地址信号的时间。 0000 0000：1 个 HCLK 周期 0000 0001：2 个 HCLK 周期 …… 1111 1110：255 个 HCLK 周期 1111 1111：保留
15:8	WAITx	R/W	配置在属性空间 x 的等待时间（Attribute Memory x Wait Time Configure） 该位以 HCLK 为时钟周期，定义了保持命令的最小时间，定义的时间结束后，若等待信号有效低则命令保持时间变长。 0000 0000：保留 0000 0001：2 个 HCLK 周期（+由 NWAIT 信号变低引入的等待周期） 0000 0010：3 个 HCLK 周期 …… 1111 1110：255 个 HCLK 周期（+由 NWAIT 信号变低引入的等待周期） 1111 1111：保留
23:16	HLDx	R/W	配置在属性空间 x 的保持时间（Attribute Memory x Hold Time Configure） 该位以 HCLK 为时钟周期，定义了发送命令后，地址信号保持的时间。 0000 0000：保留 0000 0001：写访问 1 个 HCLK 周期，读访问 3 个 HCLK 周期 …… 1111 1110：写访问 254 个 HCLK 周期，读访问 256 个 HCLK 周期 1111 1111：保留
31:24	HIZx	R/W	配置在属性空间 x 数据总线的高阻时间（Attribute Memory x Databus Hiz Time Configure） 该位以 HCLK 为时钟周期，定义了数据总线高阻态的时间，仅对写操作生效。 0000 0000：0 个 HCLK 周期 0000 0001：1 个 HCLK 周期 …… 1111 1111：255 个 HCLK 周期

4.7.2.5 I/O 空间时序寄存器 4（SMC_IOSTIM4）

偏移地址：0xB0

复位值：0xFCFC FCFC

位/域	名称	R/W	描述
7:0	SET	R/W	配置在 I/O 空间 x 的建立时间（I/O x Setup Time Configure） 该位以 HCLK 为时钟周期，定义了发送命令前建立地址信号的时间。 0000 0000：1 个 HCLK 周期 0000 0001：2 个 HCLK 周期 …… 1111 1111：256 个 HCLK 周期
15:8	WAIT	R/W	配置在 I/O 空间 x 的等待时间（I/O x Wait Time Configure） 该位以 HCLK 为时钟周期，定义了保持命令的最小时间，定义的时间结束后，若等待信号有效低则命令保持时间变长。 0000 0000：保留 0000 0001：2 个 HCLK 周期（+由 NWAIT 信号变低引入的等待周期） 0000 0010：3 个 HCLK 周期 …… 1111 1111：256 个 HCLK 周期（+由卡的 NWAIT 信号变低引入的等待周期）
23:16	HLD	R/W	配置在 I/O 空间 x 的保持时间（I/O x Hold Time Configure） 该位以 HCLK 为时钟周期，定义了发送命令后，地址信号保持的时间。 0000 0000：保留 0000 0001：1 个 HCLK 周期 0000 0010：2 个 HCLK 周期 …… 1111 1111：255 个 HCLK 周期
31:24	HIZ	R/W	配置在 I/O 空间 x 数据总线的高阻时间（I/O x Databus Hiz Time Configure） 该位以 HCLK 为时钟周期，定义了数据总线高阻态的时间，仅对写操作生效。 0000 0000：0 个 HCLK 周期 0000 0001：1 个 HCLK 周期 …… 1111 1111：255 个 HCLK 周期

4.7.2.6 ECC 结果寄存器 2/3（SMC_ECCRS2/3）

偏移地址：0x54 + 0x20 * (x-1),x=2 或 3

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	ECCRS	R	ECC 结果（ECC Result）

4.8 DMC 简介

DMC 一个动态存储控制器，外接片外 SDR-SDRAM。

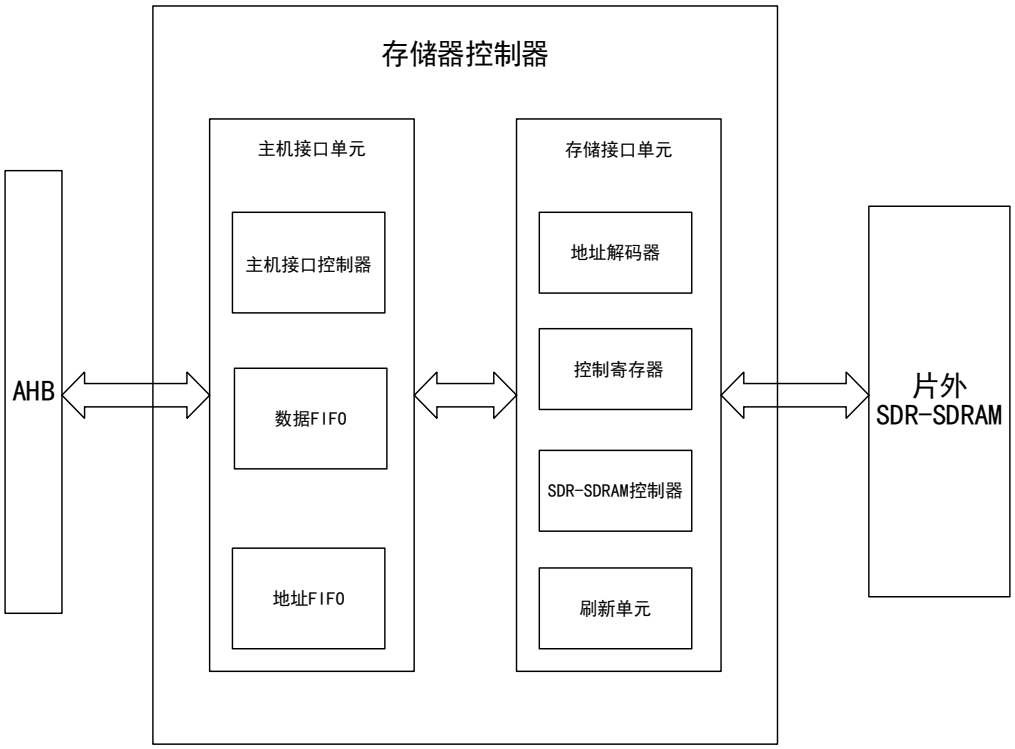
4.9 DMC 主要特征

- 16 位数据宽度

- 支持 2MB 片外 SDR-SDRAM
- SDR-SDRAM 的 timing and size 可配置
- 支持 SDR-SDRAM power-down 模式
- 支持 SDR-SDRAM auto-refresh 和 self-refresh 模式

4.10 DMC 结构框图

图 3 DMC 结构框图



4.11 DMC 功能描述

4.11.1 DMC 外部存储器接口

前缀“N”的信号表示低有效信号。

表格 27DMC 引脚

信号名称	输入/输出	管脚	功能
A0	输出	PF1	地址
A1	输出	PF2	地址
A2	输出	PF3	地址
A3	输出	PF4	地址
A4	输出	PF6	地址
A5	输出	PF7	地址
A6	输出	PF8	地址

信号名称	输入/输出	管脚	功能
A7	输出	PF9	地址
A8	输出	PF10	地址
A9	输出	PH3	地址
A10	输出	PF0	地址
D0	输入/输出	PG3	双向数据
D1	输入/输出	PG4	双向数据
D2	输入/输出	PG5	双向数据
D3	输入/输出	PG6	双向数据
D4	输入/输出	PG8	双向数据
D5	输入/输出	PH13	双向数据
D6	输入/输出	PH15	双向数据
D7	输入/输出	PI3	双向数据
D8	输入/输出	PH8	双向数据
D9	输入/输出	PH10	双向数据
D10	输入/输出	PD10	双向数据
D11	输入/输出	PD12	双向数据
D12	输入/输出	PD13	双向数据
D13	输入/输出	PD14	双向数据
D14	输入/输出	PD15	双向数据
D15	输入/输出	PG2	双向数据
BA	输出	PI11	Bank 地址
CKE	输出	PH5(1)	时钟使能
CLK/CK	输出	PG1	时钟
LDQM	输入	PG15	16 位数据写入
UNQM	输入	PF11	16 位数据读取
NWE	输出	PI7	写使能
NCAS	输出	PI8	列地址位选通命令
NRAS	输出	PI9	行地址位选通命令
NCS	输出	PI10	片选

注：（1）DMC_CKE 映射引脚详见数据手册。

4.11.2 DMC 配置举例

配置切换寄存器 DMC_SW 置 1 使能 DMC；

SDRAM 时钟频率最大值为 50MHZ；

配置寄存器 RCM_CFG 的位[9:8]来决定 SDRAM 的时钟频率；

例：512K×2BANKS×16BIT　SDRAM

- 行地址对应引脚：A0-A10　　共 11bits
- 列地址对应引脚：A0-A7　　共 8bits
- Bank 地址对应引脚：BA0　　1bit

配置寄存器 DMC_CFG 的行地址宽度位置 1010；

配置寄存器 DMC_CFG 的列地址宽度位置 0111；

配置寄存器 DMC_CFG 的 Bank 地址宽度位置 00。

4.12 DMC 寄存器地址映射

表格 28 DMC 寄存器地址映射

寄存器名	描述	偏移地址
DMC_CFG	配置寄存器	0x0000
DMC_TIM0	时序寄存器 0	0x0004
DMC_TIM1	时序寄存器 1	0x0008
DMC_CTRL1	控制寄存器 1	0x000C
DMC_REF	刷新寄存器	0x0010
DMC_SW	切换寄存器	0x0400
DMC_CTRL2	控制寄存器 2	0x0404

4.13 DMC 寄存器功能描述

4.13.1 配置寄存器（DMC_CFG）

偏移地址：0x0000

复位值：0x0014 1388

位/域	名称	R/W	描述
2:0	保留		
4:3	BAWCFG	R/W	配置 bank 地址宽度（Bank Address Width Configure） 00：bank 位数是 1 01：bank 位数是 2 其他保留
8:5	RAWCFG	R/W	配置行地址宽度（Row Address Width Configure） 0000-1001：保留 1010：行地址位数是 11 位 1011：行地址位数是 12 位 …… 1111：行地址位数是 16 位

位/域	名称	R/W	描述
12:9	CAWCFG	R/W	配置列地址宽度（Column Address Width Configure） 0000-0110：保留 0111：列地址位数是 8 位 1000：列地址位数是 9 位 …… 1110：列地址位数是 15 位 1111：保留
14:13	DWCFG	R/W	配置数据宽度（Data Width Configure） 00：SDRAM 数据位宽 16bits 其他保留
31:15	保留		

4.13.2 时序寄存器 0（DMC_TIM0）

偏移地址：0x0004

复位值：0x019A 5252

位/域	名称	R/W	描述
1:0	CASLSEL0	R/W	选择 CAS 等待时间（CAS Latency Select） CAS = CASLSEL0+（ECASLSEL1<< 2） 00：1 个时钟周期 01：2 个时钟周期 10：3 个时钟周期 11：4 个时钟周期 其他：保留
5:2	RASMINTSEL	R/W	选择 RAS 最小时间（RAS Minimum Time Select） 这些位用来选择行激活和预充电的之间的最小时间。 0000：1 个时钟周期 0001：2 个时钟周期 …… 1111：16 个时钟周期
8:6	DTIMSEL	R/W	选择 RAS 到 CAS 的延迟时间（RAS To CAS Delay Time Select） 000：1 个时钟周期 001：2 个时钟周期 …… 111：8 个时钟周期
11:9	PCPSEL	R/W	选择预充电周期（Precharge Period Select） 000：1 个时钟周期 001：2 个时钟周期 …… 111：8 个时钟周期
13:12	WRTIMSEL	R/W	对于写操作，选择最后一个数据到下一次预充电的时间（Select Time Between The Last Data And The Next Precharge For Write） 00：1 个时钟周期 01：2 个时钟周期 10：3 个时钟周期 11：4 个时钟周期
17:14	ARPSEL	R/W	选择自动刷新周期（Auto-Refresh Period Select）

位/域	名称	R/W	描述
			这些位用来定义两次自动刷新命令间的最小时间间隔。 0000：1 个时钟周期 0001：2 个时钟周期 …… 1111：16 个时钟周期
21:18	XSR0	R/W	退出自刷新切换至激活命令或自动刷新读命令之间的最小间隔时间 XSR = XSR0 +（EXSR1 << 4）. XSR = 0 ~ 511 对应 1 ~ 512 SDCLK 时钟周期
25:22	ATACP	R/W	Active to active 命令周期 0000：1 个时钟周期 0001：2 个时钟周期 …… 1111：16 个时钟周期
26	ECASLSEL1	R/W	扩展 CAS 等待时间（Extended CAS Latency） 见 TIM0_CASLSEL0 解释
31:27	EXSR1	R/W	退出自刷新切换至激活命令或自动刷新读命令之间的最小间隔时间 见 TIM0_XSR0 解释

4.13.3 时序寄存器 1（DMC_TIM1）

偏移地址：0x0008

复位值：0x0007 4E20

位/域	名称	R/W	描述
15:0	STBTIM	R/W	稳定时间（Stable Time） SDRAM 上电后，经过多少个时钟周期后才接收其他命令。
19:16	ARNUMCFG	R/W	配置初始化过程中自动刷新数量（Number Of Auto-Refresh During Initialization Configure） 0000：1 个自动刷新 0001：2 个自动刷新 …… 1111：16 个自动刷新
31:20	保留		

4.13.4 控制寄存器 1（DMC_CTRL1）

偏移地址：0x000C

复位值：0x0000 3048

位/域	名称	R/W	描述
0	INIT	R/W	初始化 SDRAM（SDRAM Initialize） 0：无效 1：初始化 SDRAM，SDRAM 初始化完后，硬件自动置 0 该位。
1	SRMEN	R/W	将 SDRAM 设置为自刷新模式（Put SDRM in Self-Refresh Mode Enable） 0：无效 1：使能

位/域	名称	R/W	描述
2	PDMEN	R/W	使能将 SDRAM 设置为掉电模式（Put SDRM in Power-Down Mode Enable） 0：禁止 1：使能
3	PCACFG	R/W	配置预充电方式（Precharge Algorithm Configure） 0：读取操作完毕后立即行预充电。 1：读取操作完毕后延迟一段时候后才对行预充电。
4	FRBSREN	R/W	进入自刷新模式前全刷新（Full Refresh Before Entering Self-Refresh Mode） 0：进入自刷新模式前仅仅刷新一行 1：进入自刷新模式前刷新所有行
5	FRASREN	R/W	退出自刷新模式前全刷新（Full Refresh After Exit Self-Refresh Mode） 0：退出自刷新模式后仅仅刷新一行 1：退出自刷新模式后刷新所有行
8:6	RDNUMCFG	R/W	配置读取路径中插入寄存器的数量（Configure Number Of Registers Inserted In Read Data Path） 000：0 个寄存器 001：1 个寄存器 …… 111：7 个寄存器
9	MODESET	R/W	模式设置（Mode Setup） 1：更新 SDRAM 模式寄存器。完成模式寄存器更新后，硬件自动清零该位
10	保留		
11	SRMFLG	R	自刷新模式标志（Self-refresh mode flag） 1：指示当前 SDRAM 储于自刷新模式中，当 FRBSREN 位置 1 时此位有效。
15:12	BANKNUMCFG	R/W	配置打开 Bank 数量（Number Of Open Banks Configure） SDRAM 内部 Bank 被打开的数量。 0000：1 个 bank 0001：2 个 bank …… 1111：16 个 bank
31:16	保留		

4.13.5 刷新寄存器（DMC_REF）

偏移地址：0x0010

复位值：0x0000 00C3

位/域	名称	R/W	描述
15:0	RCYCCFG	R/W	配置刷新周期（Refresh Cycle Configure） 指定连续两次刷新间隔多少个时钟周期。
31:16	保留		

4.13.6 切换寄存器（DMC_SW）

偏移地址：0x0400

复位值：0x0000 0000

位/域	名称	R/W	描述
0	MCSW	R/W	切换存储控制器功能（Memory Controller Function Switch） 0：选择 SMC 1：选择 DMC
31:1	保留		

4.13.7 控制寄存器 2（DMC_CTRL2）

偏移地址：0x0404

复位值：0x0000 002E

位/域	名称	R/W	描述
0	CPHACFG	R/W	配置时钟相位（Clock Phase Configure） 0：系统时钟不反向 1：系统时钟反向
1	RDDEN	R/W	使能 RD 延时（RD Delay Function Enable） 0：使能 1：禁止
4:2	RDDCFG	R/W	配置 RD 延时时钟（RD Clock Delay Configure） 000：0 个系统时钟 001：1 个系统时钟 …… 111：7 个系统时钟
5	WPEN	R/W	使能写管道（Write Pipe Enable） 0：禁止 1：使能
6	BUFFEN	R/W	使能 DMC 加速模块（DMC Accelerate Module Enable） 通过缓冲区开启，回环突发数据传输，提高 SDRAM 读性能。
7	WRPBSEL	R/W	选择回环突发类型（WRAP Burst Type Selection） 0：回环突发长度为 4 节拍传输 1：回环突发长度为 8 节拍传输
31:8	保留		

5 系统配置控制器（SYSCFG）

5.1 主要特征

（1） 配置存储器的重映射

（2） 选择 MAC PHY 接口

（3） 配置 GPIO 的外部中断

（4） 控制 I/O 补偿单元

5.2 I/O 补偿单元

当 I/O 输出缓冲区速度被配置为 50MHz 或 100MHz 时，I/O 端口噪声会对电源电压有影响，所以这时候（电源电压为 2.4~3.6V 时）可以使能补偿单元，控制 $t_{f(IO)out}$/$t_{r(IO)out}$ 斜率，能够降低对电源的影响。

5.3 寄存器地址映射

表格 29 SYSCFG 寄存器地址映射

寄存器名	描述	偏移地址
SYSCFG_MMSEL	存储映射选择寄存器	0x00
SYSCFG_PMCFG	外设模式配置寄存器	0x04
SYSCFG_EINTCFG1	外部中断寄存器 1	0x08
SYSCFG_EINTCFG2	外部中断寄存器 2	0x0C
SYSCFG_EINTCFG3	外部中断寄存器 3	0x10
SYSCFG_EINTCFG4	外部中断寄存器 4	0x14
SYSCFG_CCCTRL	补偿单元控制寄存器	0x20

5.4 寄存器功能描述

5.4.1 存储映射选择寄存器（SYSCFG_MMSEL）

偏移地址：0x00

复位值：0x0000 000X（复位后，X 的值与 BOOT 引脚的设置相同）

该寄存器用于通过软件配置在地址为 0x0000 0000 访问的存储器区域，从而旁路 BOOT 引脚。

位/域	名称	R/W	描述
1:0	MMSEL	R/W	存储映射选择（Memory Mapping Select） 控制内存映射地址 0x0000 0000。重置后这些位的参数由实际 BOOT 决定。 00：主闪存映射地址：0x0000 0000 01：系统闪存映射地址：0x0000 0000

位/域	名称	R/W	描述
			10：SMC Bank1（NOR/PSRAM1 和 2）映射地址：0x0000 0000 11：嵌入式 SRAM1 映射地址：0x0000 0000
31:2	保留		

5.4.2 外设模式配置寄存器（SYSCFG_PMCFG）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
22:0	保留		
23	ENETSEL	R/W	选择以太网物理层接口（Ethernet PHY Interface Select） 控制物理层接口。 0：MII 接口 1：RMII PHY 接口 注意：应在 ENET 复位时，ENET 时钟被使能前，对此位进行操作。
31:24	保留		

5.4.3 外部中断寄存器 1（SYSCFG_EINTCFG1）

以下几个 SYSCFG 外部中断寄存器的 EINTx [3:0]的值所代表选择的外部中断源如下表所示。

表格 30 不同值所选择外部中断源

EINTx [3:0]	外部中断源
0000	PA[x] 引脚
0001	PB[x] 引脚
0010	PC[x] 引脚
0011	PD[x] 引脚
0100	PE[x] 引脚
0101	PF[x] 引脚
0110	PG[x] 引脚
0111	PH[x] 引脚
1000	PI[x] 引脚
其他	保留

偏移地址：0x08

复位值：0x0000 0000

这些位由软件控制进行改写来选择 EINTx(x=0…3)的外部中断源。

位/域	名称	R/W	描述
3:0	EINT0	R/W	EINT0 配置位（EINT0 Configure） 这些位由软件控制进行改写来选择 EINT0 的外部中断源。

位/域	名称	R/W	描述
7:4	EINT1	R/W	EINT1 配置位（EINT1 Configure） 这些位由软件控制进行改写来选择 EINT1 的外部中断源。
11:8	EINT2	R/W	EINT2 配置位（EINT2 Configure） 这些位由软件控制进行改写来选择 EINT2 的外部中断源。
15:12	EINT3	R/W	EINT3 配置位（EINT3 Configure） 这些位由软件控制进行改写来选择 EINT3 的外部中断源。
31:16	保留		

5.4.4 外部中断寄存器 2（SYSCFG_EINTCFG2）

偏移地址：0x0C

复位值：0x0000 0000

这些位由软件控制进行改写来选择 EINTx(x=4…7)的外部中断源。

位/域	名称	R/W	描述
3:0	EINT4	R/W	EINT4 配置位（EINT4 Configure） 这些位由软件控制进行改写来选择 EINT4 的外部中断源。
7:4	EINT5	R/W	EINT5 配置位（EINT5 Configure） 这些位由软件控制进行改写来选择 EINT5 的外部中断源。
11:8	EINT6	R/W	EINT6 配置位（EINT6 Configure） 这些位由软件控制进行改写来选择 EINT6 的外部中断源。
15:12	EINT7	R/W	EINT7 配置位（EINT7 Configure） 这些位由软件控制进行改写来选择 EINT7 的外部中断源。
31:16	保留		

5.4.5 外部中断寄存器 3（SYSCFG_EINTCFG3）

偏移地址：0x10

复位值：0x0000 0000

这些位由软件控制进行改写来选择 EINTx(x=8…11)的外部中断源。

位/域	名称	R/W	描述
3:0	EINT8	R/W	EINT8 配置位（EINT8 Configure） 这些位由软件控制进行改写来选择 EINT8 的外部中断源。
7:4	EINT9	R/W	EINT9 配置位（EINT9 Configure） 这些位由软件控制进行改写来选择 EINT9 的外部中断源。
11:8	EINT10	R/W	EINT10 配置位（EINT10 Configure） 这些位由软件控制进行改写来选择 EINT10 的外部中断源。
15:12	EINT11	R/W	EINT11 配置位（EINT11 Configure） 这些位由软件控制进行改写来选择 EINT11 的外部中断源。
31:16	保留		

5.4.6 外部中断寄存器 4（SYSCFG_EINTCFG4）

偏移地址：0x14

复位值：0x0000 0000

这些位由软件控制进行改写来选择 EINTx(x=12…15)的外部中断源。

注意，此寄存器每个位的值为 0x1000 时，是保留位，即 PI[15:12]未使用。

位/域	名称	R/W	描述
3:0	EINT12	R/W	EINT12 配置位（EINT12 Configure） 这些位由软件控制进行改写来选择 EINT12 的外部中断源。
7:4	EINT13	R/W	EINT13 配置位（EINT13 Configure） 这些位由软件控制进行改写来选择 EINT13 的外部中断源。
11:8	EINT14	R/W	EINT14 配置位（EINT14 Configure） 这些位由软件控制进行改写来选择 EINT14 的外部中断源。
15:12	EINT15	R/W	EINT15 配置位（EINT15 Configure） 这些位由软件控制进行改写来选择 EINT15 的外部中断源。
31:16	保留		

5.4.7 补偿单元控制寄存器（SYSCFG_CCCTRL）

偏移地址：0x20

复位值：0x0000 0000

位/域	名称	R/W	描述
0	CCPD	R/W	补偿单元掉电（Compensation Cell Power-down） 0：I/O 补偿单元进入掉电模式 1：使能 I/O 补偿单元
7:1	保留		
8	RDYFLG	R	补偿单元准备标志（Compensation Cell Ready Flag） 0：未准备好 1：已准备好
31:9	保留		

6 复位与时钟（RCM）

6.1 术语全称、缩写描述

表格 31 术语全称、缩写描述

中文全称	英文全称	英文缩写
复位与时钟管理	Reset and Clock Management	RCM
复位	Reset	RST
上电复位	Power-On Reset	POR
掉电复位	Power-Down Reset	PDR
高速外部时钟	High Speed External Clock	HSECLK
低速外部时钟	Low Speed External Clock	LSECLK
高速内部时钟	High Speed Internal Clock	HSICLK
低速内部时钟	Low Speed Internal Clock	LSICLK
锁相环	Phase Locked Loop	PLL
主要时钟输出	Main clock output	MCO
校准	Calibrate	CAL
调整	Trim	TRM
时钟安全系统	Clock Security System	CSS
不可屏蔽中断	Non Maskable Interrupt	NMI

6.2 复位管理单元（RMU）

复位分为三类：系统复位、电源复位、备份区域复位。

6.2.1 系统复位

6.2.1.1 “系统复位”复位源

复位源分为外部复位源和内部复位源。

外部复位源：

- NRST 引脚上的低电平。

内部复位源：

- 窗口看门狗终止计数（WWDT 复位）
- 独立看门狗终止计数（IWDT 复位）
- 软件复位（SW 复位）
- 电源复位
- 低功耗管理复位

以上任一事件发生时，都能产生一个系统复位。另外，可以通过查看 RCM_CSTS（控制/状态寄存器）中的复位标志位识别复位事件来源。

系统复位时，会将除了 RCM_CSTS（控制/状态寄存器）的复位标志位和备份区域中的寄存器以外的所有寄存器复位到复位状态。

软件复位

将带有 FPU 的 Arm® Cortex®-M4 中断应用和复位控制寄存器中的 SYSRESETREQ 置“1”时，可实现软件复位。

低功耗管理复位

低功耗管理复位的产生有两种情况，一种是进入待机模式时，另一种是进入停止模式时。在这两种情况下，如果把用户选择字节中的 RSTSTDBY（待机模式时）或 RSTSTOP（停止模式时）置 1，系统将被复位而不是进入待机模式或停止模式。

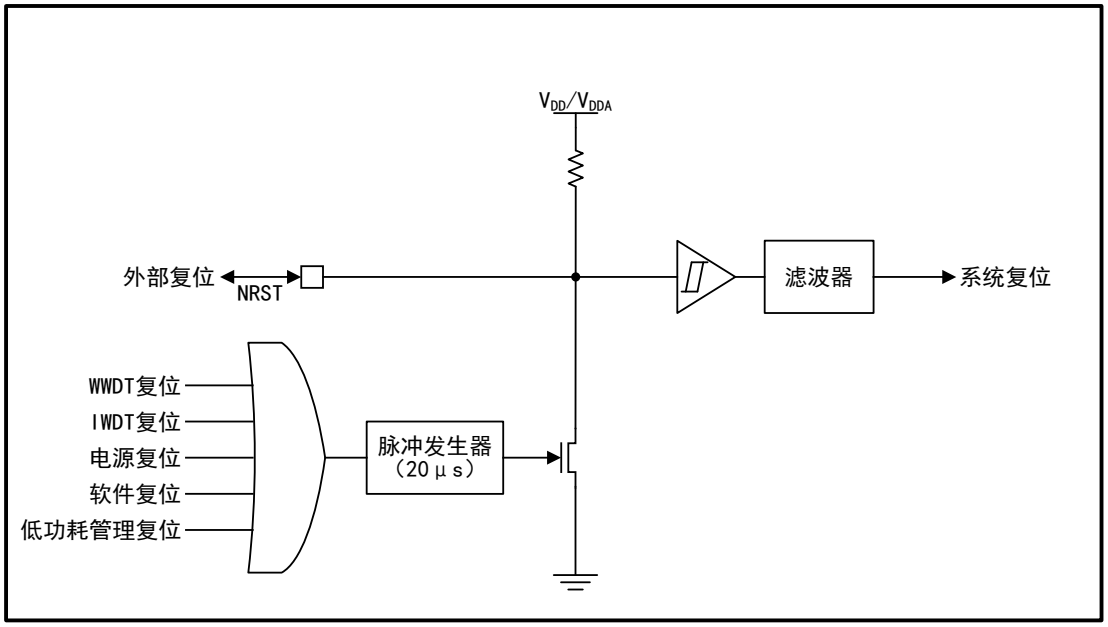
6.2.1.2 “系统复位”复位电路

复位源均作用于 NRST 引脚，该引脚并在复位过程中保持低电平。

内部复位源通过脉冲发生器在 NRST 引脚产生延时至少 20μs 的脉冲，引起 NRST 保持电平产生复位；外部复位源则直接将 NRST 引脚电平拉低产生复位。

“系统复位”复位电路见下图。

图 4 “系统复位”复位电路



6.2.2 电源复位

“电源复位”复位源

“电源复位”复位源如下：

- 上电复位（POR）
- 掉电复位（PDR）
- 欠压复位（BOR）
- 从待机模式退出（被唤醒）

以上任一事件发生时，产生电源复位。

电源复位将复位除了备份区域外的所有寄存器。

6.2.3 备份域复位

“备份域复位”复位源

“备份域复位”复位源如下：

- 软件复位，设置 RCM_BDCTRL（备份域控制寄存器）中的 BDRST 位
- 在 V_{DD} 和 V_{BAT} 掉电后，V_{DD} 或 V_{BAT} 又上电

以上任一事件发生时，产生备份域复位。

备份区域复位拥有两个专门的复位，它们只影响备份区域。

6.3 时钟管理单元（CMU）

整个系统的时钟源有：HSECLK、LSECLK、HSICLK、LSICLK、PLL1 和 PLL2。关于时钟源的特性，请参考数据手册的“电气特性”中的相关章节。

6.3.1 外部时钟源

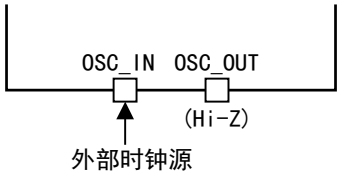
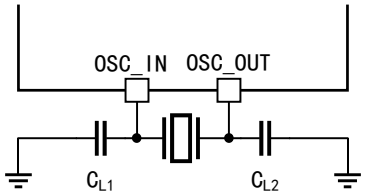
外部时钟信号包括 HSECLK（高速外部时钟信号）和 LSECLK（低速外部时钟信号）。

外部的时钟源有两种：

- 外部晶体/陶瓷谐振器
- 用户外部时钟

两种时钟源的硬件配置如下图所示。

图 5 HSECLK/LSECLK 的时钟源硬件配置

时钟源	硬件配置
外部时钟	
晶体/陶瓷谐振器	

为了减少时钟输出的失真和缩短启动稳定时间，晶体/陶瓷谐振器和负载电容器必须尽可能地靠近振荡器引脚。负载电容（C_{L1}、C_{L2}）的值必须根据所选择的振荡器来调整。

6.3.1.1 HSECLK 高速外部时钟信号

HSECLK 时钟信号由 HSECLK 外部晶体/陶瓷谐振器和 HSECLK 外部时钟两种时钟源产生。

表格 32 产生 HSECLK 的时钟源

名称	说明
外部时钟源（HSECLK 旁路）	通过 OSC_IN 引脚给 MCU 提供时钟。 信号可以有普通的函数信号发送器（调试时）、晶体振荡器、其它信号发生器产生；波形可以是 50%占空比的方波、正弦波或三角波，最高频率可达 26MHz。 硬件连接上，必须连到 OSC_IN 引脚，同时保证 OSC_OUT 引脚悬空（处于高阻态）；MCU 配置上，用户可通过设置在 RCM_CTRL（时钟控制寄存器）中的 HSEBCFG 和 HSEEN 位来选择这一模式。
外部晶体/陶瓷谐振器（HSECLK 晶体）	通过谐振器给 MCU 提供时钟，谐振器包括晶体谐振器、陶瓷谐振器。 频率范围是 4-26MHz。 需要 OSC_IN、OSC_OUT 连接谐振器，可以通过设置时钟控制寄存器里 RCM_CTRL（时钟控制寄存器）中的 HSEEN 位，启动和关闭。 在时钟控制寄存器 RCM_CTRL（时钟控制寄存器）中的 HSERDYFLG 位用来指示高速外部振荡器是否稳定。在启动后，直到这一位被硬件置“1”，时钟才被释放出来。如果在 RCM_INT（时钟中断寄存器）中允许产生中断，将会产生相应中断。

6.3.1.2 LSECLK 低速外部时钟信号

LSECLK 时钟信号由 LSECLK 外部晶体/陶瓷谐振器和 LSECLK 外部时钟两种时

钟源产生。

表格 33 产生 LSECLK 的时钟源

名称	说明
外部时钟源（LSECLK 旁路）	通过 OSC32_IN 引脚给 MCU 提供时钟。 信号可以有普通的函数信号发送器（调试时）、晶体振荡器、其它信号发生器产生；波形可以是 50%占空比的方波、正弦波或三角波，信号频率需为 32.768kHz。 硬件连接上，必须连到 OSC32_IN 引脚，同时保证 OSC32_OUT 引脚悬空；MCU 配置上，用户可通过设置在 RCM_BD（备份域控制寄存器）里的 LSEBCFG 和 LSEEN 位来选择这个模式。
外部晶体/陶瓷谐振器（LSECLK 晶体）	通过谐振器给 MCU 提供时钟，谐振器包括晶体谐振器、陶瓷谐振器。频率是 32.768kHz。 需要 OSC32_IN、OSC32_OUT 连接谐振器，可以通过在 RCM_BDCTRL（时钟备份域控制寄存器）里的 LSEEN 位启动和关闭。 在 RCM_BDCTRL 里的 LSERDYFLG 指示 LSECLK 晶体振荡是否稳定。在启动阶段，直到这个位被硬件置“1”后，LSECLK 时钟信号才被释放出来。如果在时钟中断寄存器里被允许，可产生中断申请。

6.3.2 内部时钟源

内部时钟包含 HSICLK（高速内部时钟信号）和 LSICLK（低速内部时钟信号）。

6.3.2.1 HSICLK 高速内部时钟信号

HSICLK 时钟信号由内部 16MHz 的 RC 振荡器产生。

不同芯片的 RC 振荡器频率不同，且同一颗芯片随着温度、电压的变化也会存在差异；每个芯片的 HSICLK 时钟频率在出厂前已经被厂家校准到 1%（25℃、V_{DD}=V_{DDA}=3.3V），系统复位时，工厂校准值被装载到 RCM_CTRL 寄存器中；另外，用户可以依据现场的应用环境（温度、电压），通过设置 RCM_CTRL 寄存器中的 HSITRM 位作进一步的频率调整。

HSIRDYFLG 位可以用来指示 HSICLK RC 振荡器是否稳定。在时钟启动过程中，直到 HSIRDYFLG 位被硬件置 1，HSICLK RC 输出时钟才被释放。HSICLK RC 可由 RCM_CTRL 中的 HSIEN 位来启动或关闭。

与 HSECLK 晶体振荡器相比，RC 振荡器能够在不需要任何外部器件的条件下提供系统时钟；它的启动时间比 HSECLK 晶体振荡器短；即使在校准之后，其时钟频率精度仍不如 HSECLK 晶体振荡器。

6.3.2.2 LSICLK 低速内部时钟信号

LSICLK 主要特征

LSICLK 由 RC 振荡器产生，范围是 28kHz（20kHz 和 35kHz 之间。随着温度、电压的变化，频率也会产生变化。可以在停机和待机模式下保持运行，为独立看门狗和自动唤醒单元提供时钟。

LSICLK 可以通过 RCM_CSTS 寄存器的 LSIEN 位来启动或关闭。在 RCM_CSTS 里的 LSIRDYFLG 位指示低速内部振荡器是否稳定。在启动阶段，直到这个位被硬件设置为“1”后，时钟才被释放。如果在 RCM_INT 寄存器里被允许，将产生 LSICLK 就绪中断请求信号。

6.3.3 PLL 锁相环

这个系列的产品中，有两个 PLL，一般由 HSICLK 或 HSECLK 振荡器作为它们的时钟源。发生以下两种情况之一时，将由硬件禁止这两个 PLL：

- 进入停机或待机状态
- 系统时钟直接或间接选用 HSECLK 作为时钟源，而 HSECLK 发生故障

在配置 PLL 相关系数时，需要保证在不使能它的情况下进行。

6.3.3.1 PLL1

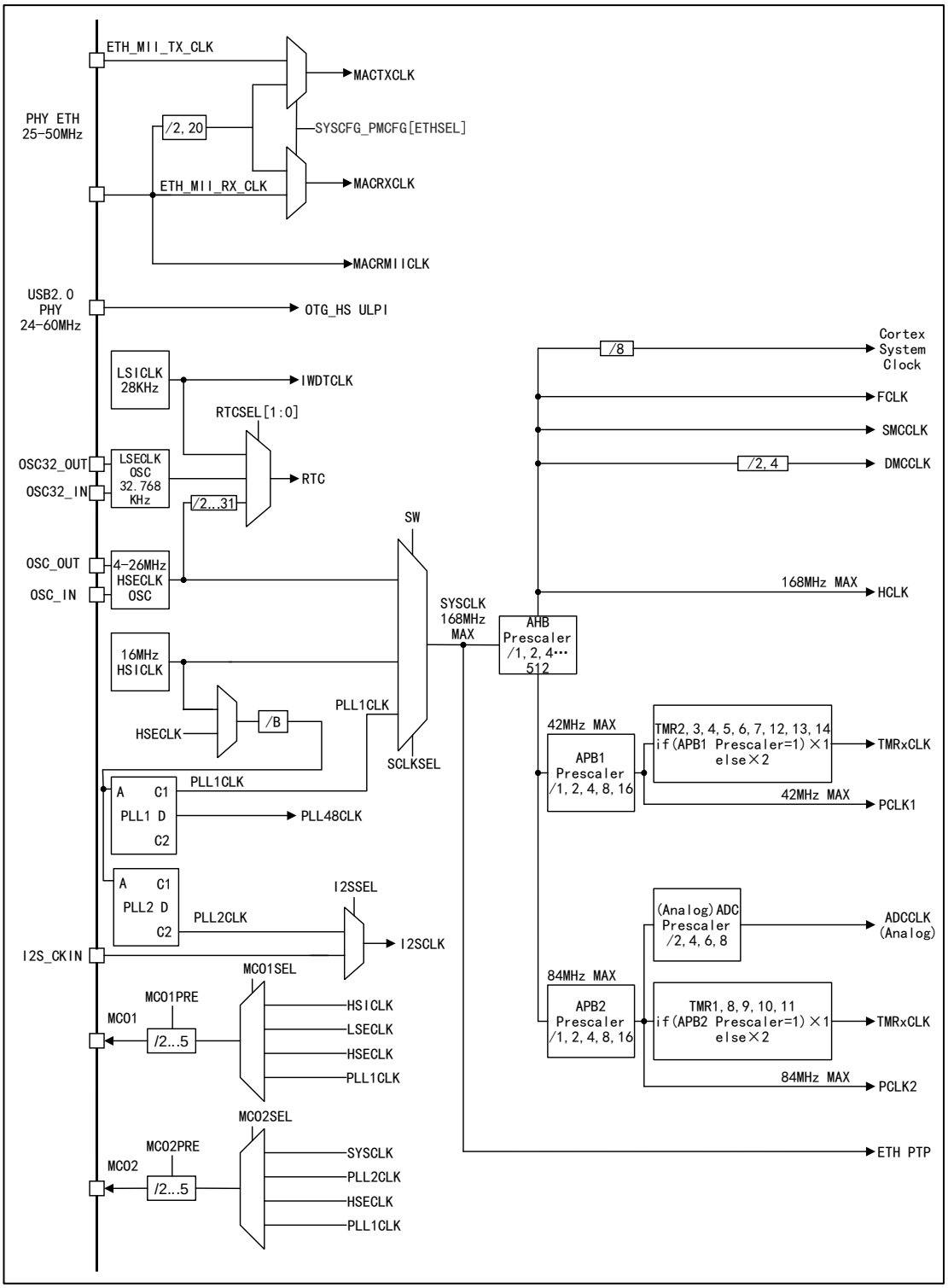
PLL1 是主锁相环，主要为系统时钟产生最大为 168MHz 高频时钟信号。PLL1 的时钟输出频率由 RCM_PLL1CFG 寄存器进行配置，通过设置算式中的乘法/除法因子调整时钟频率，配置时应使 PLL1 处于禁止状态。

6.3.3.2 PLL2

PLL2 是专门给 I2S 提供时钟信号的锁相环， 时钟频率由 RCM_PLL1CFG 和 RCM_PLL2CFG 寄存器中相关位共同决定（详见寄存器功能描述）。

6.3.4 时钟树

图 6 APM32F405/415xG、APM32F407/417xExG 时钟树



注意：

（1）HCLK 是指 AHB 时钟信号。

（2）PLCK1，PLCK2 分别是指连接 APB1，APB2 的时钟信号。

（3）FCLK 是带有 FPU 的 Arm® Cortex®-M4 的自由运行时钟。

（4）可通过多个预分频器配置 AHB、APB2（高速 APB）和 APB1（低速 APB）域的频率。其中，AHB 域最大频率为 168MHz，APB2 域的最大频率是 84MHz，而 APB1 域的最大允许频率是 42MHz。

（5）系统时钟能得到的最大频率是 168MHz。

（6） OTG_FS 的时钟源是频率为 48MHz 的 PLL1CLK，而 OTG_HS1 的 UTML PHY 时钟源来自外部石英时钟。对于 OTG_HS2，由于它采用片上 PHY，内部有 PLL 输出 60MHz 到 UTML PHY，它的 48MHz 时钟的时钟源来自 PLL48CLK。

（7） 需要设置相应的使能位，外设才能获得时钟信号。

（8）ADC 时钟可以分为模拟电路时钟和数字电路时钟。时钟管理单元为 ADC 的模拟电路时钟提供了一个预分频器，使得 ADC 能够在 PCLK2 的 2/4/6/8 分频后的时钟频率下工作，此时的时钟供所有 ADC 使用；ADC 的数字电路时钟频率等于 PCLK2，通过 RCM_APB2CLKEN 寄存器的相应位分别使能 ADC1/2/3 时钟。

（9）SysTick（系统定时器）可由 HCLK8 分频后的时钟信号提供，通过对 SysTick 控制与状态寄存器的设置，可选择不同时钟源。

（10） 所有 TMRxCLK（定时器时钟）频率分配由硬件按以下 2 种情况自动设置：

- 如果相应的 APB 预分频系数是 1，定时器的时钟频率与所在 APB 总线频率一致。
- 否则，定时器的时钟频率被设为与其相连的 APB 总线频率的 2 倍。

（11） MCO1/2 的最大输出频率为 100MHz

（12） PLL1 与 PLL2 的结构请参见 PLL 锁相环章节与 PLLx 配置寄存器。

6.3.5 RTC 的时钟源选择

通过设置 RCM_BDCTRL（备份域控制寄存器）里的 RTCSRCSEL 位可选择由 HSECLK 被分频成 1MHz 的时钟信号、LSECLK 或 LSICLK 作为 RTC 的时钟源。只有备份域复位时，时钟源的选择可以改变。

由于 LSECLK 在备份域里，HSECLK、LSICLK 不在备份域内，因此，选择不同的时钟作为 RTC 时钟源，RTC 的工作情况存在差异，具体情况见下表：

表格 34 选择不同时钟源时 RTC 的工作情况

时钟源	工作情况
LSECLK 被选为 RTC 时钟	只要 V_{BAT} 维持供电，尽管 V_{DD} 供电被切断，RTC 仍继续工作
LSICLK 被选为自动唤醒单元时钟	如果 V_{DD} 供电被切断，自动唤醒单元的状态不能被保证。
HSECLK 分频后作为 RTC 时钟	如果 V_{DD} 供电被切断或内部电压调压器被关闭（1.3V 域的供电被切断），则 RTC 状态不确定，故必须设置 PMU_CTRL（电源控制寄存器）的 BPWEN 位（取消后备区域的写保护）为“1”。

6.3.6 IWDT 的时钟源选择

当 IWDT（独立看门狗）启动时，LSICLK 振荡器将被强制打开，等到稳定后把

时钟信号供给 IWDT。LSICLK 在被强制打开后，将一直处于打开状态，不能被关闭。

6.3.7 MCO 的时钟源选择

有两个微控制器时钟输出引脚，MCO1（PA8）和 MCO2（PC9），当端口（PA8、PC9）的相应的 GPIO 端口被配置为对应复用功能时，可通过配置 RCM_CFG（时钟配置寄存器）中的 MCOxSEL 位和 MCOxPSC 位，选择时钟信号输出到 MCO 引脚。具体时钟信号可参考时钟树或寄存器功能描述。

6.3.8 SYSCLK 的时钟源选择

当进行系统复位后，HSICLK 振荡器将（直接或间接）被选作系统时钟，且不能被停止。如果要切换 SYSCLK 时钟源，必须要等目标时钟源准备就绪（即目标时钟源稳定）。目标时钟源可以是 HSICLK、HSECLK、PLLCLK。

RCM_CTRL 和 RCM_CFG 寄存器的状态位可指示已准备好的时钟和已被选作的 SYSCLK 时钟源。

6.3.9 CSS 时钟安全系统

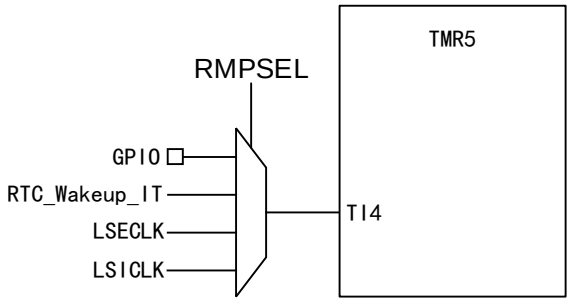
为了防止由于外部晶振短路导致 MCU 无法正常运行的情况，MCU 可通过软件激活 CSS 时钟安全系统。安全系统被激活后，如果 HSECLK 振荡器直接或间接（作为 PLL 输入时钟且 PLL 作为系统时钟）被用作系统时钟，那么当 HSECLK 发生故障时，外部 HSECLK 振荡器被关闭，系统时钟自动切换至 HSICLK，此时选择 HSECLK 为时钟输入且作为系统时钟输入源的 PLLCLK 也会被关闭。

注意：CSS 被软件激活并且 HSECLK 出现故障时，会产生 CSS 中断和 NMI（不可屏蔽中断）。由于 CSS 中断被清除前 NMI 不断被执行，所以需要设置 RCM_INT 寄存器里的 CSSCLR 位来清除中断。

6.3.10 基于 TMR5 的内/外部时钟测量

通过 TMR5 通道 4 的输入捕获功能，可以间接测量某些时钟源发生器的频率，电路图如下所示：

图 7 TMR5 测量时钟频率电路图

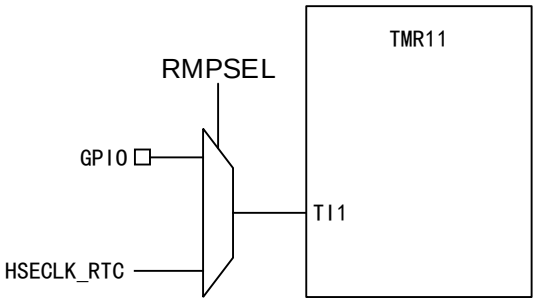


TMR5 的通道 4 可以选择通过配置 TMR5_OPT 寄存器的 RMPSEL 位，连接一个 GPIO 端口或一个 MCU 的内部时钟

6.3.11 基于 TMR11 的内/外部时钟测量

当 HSICLK 作为系统时钟源时，可以通过 TMR11 测试外部晶振频率。如下图所示，用户可以通过配置 TMR11_OPT 寄存器的 RMPSEL 位选择是由 I/O 端口或是由内部时钟触发 TI1。

图 8 TMR11 测量时钟频率电路图



6.4 寄存器地址映射

表格 35 RCM 寄存器地址映射

寄存器名	描述	偏移地址
RCM_CTRL	时钟控制寄存器	0x00
RCM_PLL1CFG	PLL1 配置寄存器	0x04
RCM_CFG	时钟配置寄存器	0x08
RCM_INT	时钟中断寄存器	0x0C
RCM_AHB1RST	AHB1 外设复位寄存器	0x10
RCM_AHB2RST	AHB2 外设复位寄存器	0x14
RCM_AHB3RST	AHB3 外设复位寄存器	0x18
RCM_APB1RST	APB1 外设复位寄存器	0x20
RCM_APB2RST	APB2 外设复位寄存器	0x24
RCM_AHB1CLKEN	AHB1 外设时钟使能寄存器	0x30
RCM_AHB2CLKEN	AHB2 外设时钟使能寄存器	0x34
RCM_AHB3CLKEN	AHB3 外设时钟使能寄存器	0x38
RCM_APB1CLKEN	APB1 外设时钟使能寄存器	0x40
RCM_APB2CLKEN	APB2 外设时钟使能寄存器	0x44
RCM_LPAHB1CLKEN	低功耗下 AHB1 外设时钟使能寄存器	0x50
RCM_LPAHB2CLKEN	低功耗下 AHB2 外设时钟使能寄存器	0x54
RCM_LPAHB3CLKEN	低功耗下 AHB3 外设时钟使能寄存器	0x58
RCM_LPAPB1CLKEN	低功耗下 APB1 外设时钟使能寄存器	0x60

寄存器名	描述	偏移地址
RCM_LPAPB2CLKEN	低功耗下 APB2 外设时钟使能寄存器	0x64
RCM_BDCTRL	备份域控制寄存器	0x70
RCM_CSTS	时钟控制/状态寄存器	0x74
RCM_SSCCFG	扩频时钟配置寄存器	0x80
RCM_PLL2CFG	PLL2 配置寄存器	0x84

6.5 寄存器功能描述

6.5.1 时钟控制寄存器（RCM_CTRL）

偏移地址：0x00

复位值：0x0000 XX83，X 代表未定义

访问：以字，半字和字节形式访问，无等待周期

位/域	名称	R/W	描述
0	HSIEN	R/W	使能高速内部时钟（High Speed Internal Clock Enable） 由软件置 1 或清 0。 HSICLK 是 RC 振荡器，以下条件中的一个出现时，会硬件置 1：上电启动、软件复位、从待机模式唤醒、停机模式唤醒、外部高速时钟源（作为系统时钟或通过 PLL 提供系统时钟）发生故障。当 HSICLK 作为系统时钟源或通过 PLL 提供系统时钟时，该位不能清 0。 0：关闭 HSICLK RC 振荡器 1：开启 HSICLK RC 振荡器
1	HSIRDYFLG	R	高速内部时钟就绪标志（High Speed Internal Clock Ready Flag） 0：HSICLK RC 振荡器未稳定 1：HSICLK RC 振荡器已稳定
2	保留		
7:3	HSITRM	R/W	调整高速内部时钟（High Speed Internal Clock Trim） 产品在出厂时会将 HSICLK 校准到 16MHz±1%，但随着温度、电压的变化而变化，可通过此位调整 HSICLK RC 振荡器的频率。
15:8	HSICAL	R	校准内部高速时钟（High Speed Internal Clock Calibrate） 在出厂时会将 HSICLK 校准到 16MHz±1%，在系统启动时，会将校准参数自动写入寄存器。
16	HSEEN	R/W	使能高速外部时钟（High Speed External Clock Enable） 进入待机或停机模式时，该位由硬件清 0，关闭 HSECLK；当 HSECLK 作为系统时钟源或通过 PLL 提供系统时钟时，该位不能清 0。 0：禁止 1：使能
17	HSERDYFLG	R	高速外部时钟就绪标志（High Speed External Clock Ready Flag） HSECLK 稳定后由硬件置 1，软件清 0。 0：HSECLK 未稳定 1：HSECLK 已稳定
18	HSEBCFG	R/W	配置高速外部时钟旁路模式（High Speed External Clock Bypass Configure）

位/域	名称	R/W	描述
			旁路模式指外部时钟作为 HSECLK 时钟源，否则谐振器作为 HSECLK 时钟源。 0：非旁路模式 1：旁路模式
19	CSSEN	R/W	使能时钟安全系统（Clock Security System Enable） 0：禁止 1：使能 注意：只有 HSECLK 谐振器稳定时才能将此位置 1。
23:20	保留		
24	PLL1EN	R/W	使能 PLL1（PLL1 Enable） 当进入待机和停止模式时，该位由硬件清零；当 PLL1CLK 已配置为（或者配置过程中）系统时钟的时钟源，该位不能清 0；其他情况可由软件置 1 或清 0。 0：PLL1 关闭 1：PLL2 使能
25	PLL1RDYFLG	R	PLL1 时钟就绪标志（PLL1 Clock Ready Flag） PLL1 锁定后由硬件置 1。 0：PLL1 未锁定 1：PLL1 锁定
26	PLL2EN	R/W	使能 PLL2（PLL2 Enable） 当进入待机和停止模式时，该位由硬件清零。 0：PLL2 关闭 1：PLL2 使能
27	PLL2RDYFLG	R	PLL2 时钟就绪标志（PLL2 Clock Ready Flag） PLL2 锁定后由硬件置 1。 0：PLL2 未锁定 1：PLL2 锁定
31:28	保留		

6.5.2 PLL1 配置寄存器（RCM_PLL1CFG）

偏移地址：0x04

复位值：0x2400 3010

以字，半字和字节形式访问，无等待周期。

寄存器的用来配置各种参数以输出不同时钟信号。

$f_{(VCO\ clock)}=f_{(PLL1\ clock\ input)}\times(PLL1A/PLLB)$

$f_{(PLL1\ clock\ output)}=f_{(VCO\ clock)}/PLL1C$

$f_{(OTG_FS\ ,SDIO,RNG\ clock\ output)}=f_{(VCO\ clock)}/PLLD$

位/域	名称	R/W	描述
5:0	PLLB	R/W	除数（Division Factor B） 用于计算 VCO 的时钟频率，这些位只能在 PLL 和 PLLI2S 被禁止时写入。 000000：PLLB=0（错误） 000001：PLLB=1（错误） 000010：PLLB=2 000011：PLLB=3

位/域	名称	R/W	描述
			…… 111110：PLLB=62 111111：PLLB=63
14:6	PLL1A	R/W	乘法系数（PLL Multiplication Factor A） 用于计算 VCO 的频率。计算公式为 $f_{(VCO\ output)}= f_{(VCO\ input)}\times$PLL1A，只有在 PLL1A 为 50~432 时，公式才成立。 000000000：PLLA=0（错误） 000000001：PLLA=1（错误） …… 000110010：PLLA=50 …… 110110000：PLLA=432 110110001：PLLA=433（错误） …… 111111111：PLLA=511（错误）
17:16	PLL1C	R/W	除数（Division Factor C） 用于计算 PLL1 的输出时钟频率。 00：PLL1C=2 01：PLL1C=4 10：PLL1C=6 11：PLL1C=8 注意：只有在 PLL1 被禁止时才能写入此位。
21:18	保留		
22	PLLCLKS	R/W	PLL 时钟源（PLL Clock Source） 此位由软件置位或清除，用来选择 PLL1 和 PLL2 的时钟源。 0：HSICLK 作为时钟源 1：HSECLK 作为时钟源 注意：只有在 PLL1 和 PLL2 被禁止时才能写入此位。
23	保留		
27:24	PLLD	R/W	除数（Division Factor） 用于计算 OTG_FS、RNG、SDIO 的时钟频率。 0000：PLLD=0（错误） 0001：PLLD=1（错误） 0010：PLLD=2 0011：PLLD=3 0100：PLLD=4 …… 1111：PLLD=15
31:28	保留		

6.5.3 时钟配置寄存器（RCM_CFG）

偏移地址：0x08

复位值：0x0000 0000

此寄存器所有位都由软件置位或清零。

访问：以字，半字和字节形式访问，0 到 2 个等待周期。

只有当访问发生在时钟切换时，才会插入 1 或 2 个等待周期。

位/域	名称	R/W	描述
1:0	SCLKSEL	R/W	选择系统时钟时钟源（System Clock Source Select） 在从停止或待机模式中返回时或直接或间接作为系统时钟的 HSECLK 出现故障时，由硬件强制选择 HSICLK 作为系统时钟（如果时钟安全系统已经启动）。 00：HSICLK 作为系统时钟 01：HSECLK 作为系统时钟 10：PLL1CLK 作为系统时钟 11：保留
3:2	SCLKSELSTS	R	系统时钟的时钟源选择状态（System Clock Selection Status） 指示哪一个时钟源被作为系统时钟；由硬件置 1 或清 0。 00：HSICLK 作为系统时钟 01：HSECLK 作为系统时钟 10：PLL1CLK 输出作为系统时钟 11：无应用
7:4	AHBPSC	R/W	配置 AHB 时钟预分频（AHB Clock Prescaler Factor Configure） 控制 AHB 时钟的预分频系数。 0xxx：SYSCLK 不分频 1000：SYSCLK 2 分频 1001：SYSCLK 4 分频 1010：SYSCLK 8 分频 1011：SYSCLK 16 分频 1100：SYSCLK 64 分频 1101：SYSCLK 128 分频 1110：SYSCLK 256 分频 1111：SYSCLK 512 分频 注意：在此位被写入后的 1 至 16 个 AHB 时钟周期后，才能根据新的分频系数对时钟信号进行分频。当使用以太网时，HCLK 不能小于 25MHz。
9:8	SDRAMPSC	R/W	配置 SDRAM 时钟预分频系数（SDRAM Clock Prescaler Factor Configure） 配置 SDRAM 时钟的预分频系数。 00：不分频 $f_{SDRAM}=f_{DMC}$ 01：二分频 $f_{SDRAM}=f_{DMC}/2$ 其他：四分频 $f_{SDRAM}=f_{DMC}/4$
12:10	APB1PSC	R/W	配置 APB1 时钟预分频系数（APB1 Clock Prescaler Factor Configure） 来控制低速的 APB1 时钟（PCLK1）的预分频系数。 0xx：HCLK 不分频 100：HCLK 2 分频 101：HCLK 4 分频 110：HCLK 8 分频 111：HCLK 16 分频 注意：PCLK1 不得大于 42MHz。
15:13	APB2PSC	R/W	配置 APB2 时钟预分频系数（APB2 Clock Prescaler Factor Configure） 来控制低速的 APB2 时钟（PCLK2）的预分频系数。

位/域	名称	R/W	描述
			0xx：HCLK 不分频 100：HCLK 2 分频 101：HCLK 4 分频 110：HCLK 8 分频 111：HCLK 16 分频 注意：PCLK2 不得大于 84MHz。
20:16	RTCPSC	R/W	配置 RTC 时钟预分频系数（RTC Clock Prescaler Factor Configure） 控制预分频系数，使 HSECLK 分频产生一个 1MHz 的时钟信号以提供给 RTC。 0000X：无时钟 00010：HSECLK2 分频 00011：HSECLK3 分频 00100：HSECLK4 分频 …… 11110：HSECLK30 分频 11111：HSECLK31 分频 注意：此位必须在 RTC 选择 HSECLK 作为时钟源前被配置完成。
22:21	MCO1SEL	R/W	选择微控制器时钟输出 1（Main Clock Output1 Select） 由软件置位或清零。 00：HSICLK 作为时钟输出 01：LSECLK 作为时钟输出 10：HSECLK 作为时钟输出 11：PLL1CLK 作为时钟输出
23	I2SSEL	R/W	选择 I2S 的时钟源（I2S Clock Source Select） 在复位之后、使能 I2S 前设置此位，此位用于选择 I2S 的时钟源。 0：PLL2CLK 1：投射到 I2S_CKIN 引脚的外部时钟
26:24	MCO1PSC	R/W	配置微控制器时钟输出 1 的预分频系数（MCO Clock Output1 Prescaler Factor Configure） 0XX：不分频 100：2 分频 101：3 分频 110：4 分频 111：5 分频
29:27	MCO2PSC	R/W	配置微控制器时钟输出 2 的预分频系数（MCO Clock Output2 Prescaler Factor Configure） 0XX：不分频 100：2 分频 101：3 分频 110：4 分频 111：5 分频
31:30	MCO2SEL	R/W	选择微控制器时钟输出 2（Main Clock Output2 Select） 00：SYSCLK 作为时钟输出 01：PLL2CLK 作为时钟输出 10：HSECLK 作为时钟输出 11：PLL1CLK 作为时钟输出

6.5.4 时钟中断寄存器（RCM_INT）

偏移地址：0x0C

复位值：0x0000 0000

访问：以字,半字和字节形式访问，无等待周期。

位/域	名称	R/W	描述
0	LSIRDYFLG	R	LSICLK 就绪中断标志（LSICLK Ready Interrupt Flag） LSICLK 稳定且 LSIRDYEN 位被置 1 时，由硬件置 1；由软件置 1 LSIRDYCLR 清 0 该位。 0：无 LSICLK 就绪中断 1：发生 LSICLK 就绪中断
1	LSERDYFLG	R	LSECLK 就绪中断标志（LSECLK Ready Interrupt Flag） LSECLK 稳定且 LSERDYEN 位被置 1 时，由硬件置 1；由软件置 1 LSERDYCLR 清 0 该位。 0：无 LSECLK 就绪中断 1：发生 LSECLK 就绪中断
2	HSIRDYFLG	R	HSICLK 就绪中断标志（HSICLK Ready Interrupt Flag） HSICLK 稳定且 HSIRDYEN 位被置 1 时，由硬件置 1；由软件置 1 HSIRDYCLR 清 0 该位。 0：无 HSICLK 就绪中断 1：发生 HSICLK 就绪中断
3	HSERDYFLG	R	HSECLK 就绪中断标志（HSECLK Ready Interrupt Flag） HSECLK 稳定且 HSERDYEN 位被置 1 时，由硬件置 1；由软件置 1 HSERDYCLR 清 0 该位。 0：无 HSECLK 就绪中断 1：发生 HSECLK 就绪中断
4	PLL1RDYFLG	R	PLL1 就绪中断标志（PLL1 Ready Interrupt Flag） PLL1 稳定且 PLL1RDYEN 位被置 1 时，由硬件置 1；由软件置 1 PLL1RDYCLR 清 0 该位。 0：没有发生 PLL1 时钟就绪中断 1：发生了 PLL1 时钟就绪中断
5	PLL2RDYFLG	R	PLL2 就绪中断标志（PLL2 Ready Interrupt Flag） PLL2 稳定且 PLL2RDYEN 位被置 1 时，由硬件置 1；由软件置 1 PLL2RDYCLR 清 0 该位。 0：没有发生 PLL2 时钟就绪中断 1：发生了 PLL2 时钟就绪中断
6	保留		
7	CSSFLG	R	时钟安全系统中断标志（Clock Security System Interrupt Flag） 在外部高速振荡器时钟出现故障时，由硬件置 1。 软件将 CSSCLR 置 1 以清 0 此位。 0：无 HSE 时钟失效产生的安全系统中断 1：HSE 时钟失效导致了时钟安全系统中断
8	LSIRDYEN	R/W	使能 LSICLK 就绪中断（LSICLK Ready Interrupt Enable） 使能或关闭内部 28KHz RC 振荡器就绪中断。 0：禁止 1：使能

位/域	名称	R/W	描述
9	LSERDYEN	R/W	使能 LSECLK 就绪中断（LSECLK Ready Interrupt Enable） 使能外部 32KHz RC 振荡器就绪中断。 0：禁止 1：使能
10	HSIRDYEN	R/W	使能 HSICLK 就绪中断（HSICLK Ready Interrupt Enable） 使能内部 8MHz RC 振荡器就绪中断。 0：禁止 1：使能
11	HSERDYEN	R/W	使能 HSCLKE 就绪中断（HSECLK Ready Interrupt Enable） 使能外部 4-16MHz 振荡器就绪中断。 0：禁止 1：使能
12	PLL1RDYEN	R/W	使能 PLL1 就绪中断（PLL1 Ready Interrupt Enable） 使能 PLL1 就绪中断。 0：禁止 1：使能
13	PLL2RDYEN	R/W	使能 PLL2 就绪中断（PLL2 Ready Interrupt Enable） 使能 PLL2 就绪中断。 0：禁止 1：使能
15:14	保留		
16	LSIRDYCLR	W	清除 LSICLK 就绪中断（LSICLK Ready Interrupt Clear） 清除 LSI 就绪中断标志位 LSIRDYFLG。 0：无作用 1：清除
17	LSERDYCLR	W	清除 LSECLK 就绪中断（LSECLK Ready Interrupt Clear） 清除 LSE 就绪中断标志位 LSERDYFLG。 0：无作用 1：清除
18	HSIRDYCLR	W	清除 HSICLK 就绪中断（HSICLK Ready Interrupt Clear） 清除 HSI 就绪中断标志位 HSIRDYFLG。 0：无作用 1：清除
19	HSERDYCLR	W	清除 HSECLK 就绪中断（HSECLK Ready Interrupt Clear） 清除 HSE 就绪中断标志位 HSERDYFLG。 0：无作用 1：清除
20	PLL1RDYCLR	W	清除 PLL1 就绪中断（PLL1 Ready Interrupt Clear） 清除 PLL1 就绪中断标志位 PLL1RDYFLG。 0：无作用 1：清除
21	PLL2RDYCLR	W	清除 PLL2 就绪中断（PLL2 Ready Interrupt Clear） 清除 PLL2 就绪中断标志位 PLL2RDYFLG。 0：无作用 1：清除

位/域	名称	R/W	描述
22	保留		
23	CSSCLR	W	清除时钟安全系统中断（Clock Security System Interrupt Clear） 清除安全系统中断标志位 CSSFLG。 0：无作用 1：清除
31:24	保留		

6.5.5 AHB1 外设复位寄存器（RCM_AHB1RST）

偏移地址：0x10

复位值：0x0000 0000

访问：以字,半字和字节形式访问，无等待周期。

位/域	名称	R/W	描述
0	PARST	R/W	复位端口 A（GPIOA Reset） 0：无作用 1：复位
1	PBRST	R/W	复位端口 B（GPIOB Reset） 0：无作用 1：复位
2	PCRST	R/W	复位端口 C（GPIOC Reset） 0：无作用 1：复位
3	PDRST	R/W	复位端口 D（GPIOD Reset） 0：无作用 1：复位
4	PERST	R/W	复位端口 E（GPIOE Reset） 0：无作用 1：复位
5	PFRST	R/W	复位端口 F（GPIOF Reset） 0：无作用 1：复位
6	PGRST	R/W	复位端口 G（GPIOG Reset） 0：无作用 1：复位
7	PHRST	R/W	复位端口 H（GPIOH Reset） 0：无作用 1：复位
8	PIRST	R/W	复位端口 I（GPIOI Reset） 0：无作用 1：复位
11:9	保留		
12	CRCRST	R/W	复位 CRC（CRC Reset） 0：无作用 1：复位

位/域	名称	R/W	描述
20:13	保留		
21	DMA1RST	R/W	复位 DMA1（DMA1 Reset） 0：无作用 1：复位
22	DMA2RST	R/W	复位 DMA2（DMA2 Reset） 0：无作用 1：复位 ADC
24:23	保留		
25	ETHRST	R/W	复位 ETH（ETH Reset） 0：无作用 1：复位
28:26	保留		
29	OTGHS1RST	R/W	复位 OTG_HS1（OTGHS1 Reset） 0：无作用 1：复位
31:30	保留		

6.5.6 AHB2 外设复位寄存器（RCM_AHB2RST）

偏移地址：0x14

复位值：0x0000 0000

访问：以字，半字和字节形式访问，无等待周期。

位/域	名称	R/W	描述
0	DCIRST	R/W	复位 DCI（DCI Reset） 0：无作用 1：复位
1	FPURST	R/W	复位 FPU（FPU Reset） 0：无作用 1：复位
2	BNRST	R/W	复位 BN（BN Reset） 0：无作用 1：复位
3	SMRST	R/W	复位 SM（SM Reset） 0：无作用 1：复位
4	CRYPRST	R/W	复位 CRYP（CRYP Reset） 0：无作用 1：复位
5	HASHPRST	R/W	复位 HASH 处理器（HASH Processor Reset） 0：无作用 1：复位
6	RNGRST	R/W	复位 RNG（RNG Reset） 0：无作用 1：复位

位/域	名称	R/W	描述
7	OTGFSRST	R/W	复位 OTG_FS（OTG_FS Reset） 0：无作用 1：复位
31:8	保留		

6.5.7 AHB3 外设复位寄存器（RCM_AHB3RST）

偏移地址：0x18

复位值：0x0000 0000

访问：以字，半字和字节形式访问，无等待周期。

位/域	名称	R/W	描述
0	EMMCRST	R/W	复位 EMMC（EMMC Reset） 0：无作用 1：复位
31:1	保留		

6.5.8 APB1 外设复位寄存器（RCM_APB1RST）

偏移地址：0x20

复位值：0x0000 0000

访问：以字，半字和字节形式访问，无等待周期。

所有位都可以由软件置位或清 0。

位/域	名称	R/W	描述
0	TMR2RST	R/W	复位 TMR2（TMR2 Reset） 0：无作用 1：复位
1	TMR3RST	R/W	复位 TMR3（TMR3 Reset） 0：无作用 1：复位
2	TMR4RST	R/W	复位 TMR4（TMR4 Reset） 0：无作用 1：复位
3	TMR5RST	R/W	复位 TMR5（TMR5 Reset） 0：无作用 1：复位
4	TMR6RST	R/W	复位 TMR6（TMR6 Reset） 0：无作用 1：复位
5	TMR7RST	R/W	复位 TMR7（TMR7 Reset） 0：无作用 1：复位
6	TMR12RST	R/W	复位 TMR12（TMR12 Reset） 0：无作用 1：复位
7	TMR13RST	R/W	复位 TMR13（TMR13 Reset） 0：无作用

位/域	名称	R/W	描述
			1：复位
8	TMR14RST	R/W	复位 TMR14（TMR14 Reset） 0：无作用 1：复位
10:9	保留		
11	WWDTRST	R/W	复位 WWDT（WWDT Reset） 0：无作用 1：复位
13:12	保留		
14	SPI2RST	R/W	复位 SPI2（SPI2 Reset） 0：无作用 1：复位
15	SPI3RST	R/W	复位 SPI3（SPI3 Reset） 0：无作用 1：复位
16	保留		
17	USART2RST	R/W	复位 USART2（USART2 Reset） 0：无作用 1：复位
18	USART3RST	R/W	复位 USART3（USART3 Reset） 0：无作用 1：复位
19	UART4RST	R/W	复位 UART4（UART4 Reset） 0：无作用 1：复位
20	UART5RST	R/W	复位 UART5（UART5 Reset） 0：无作用 1：复位
21	I2C1RST	R/W	复位 I2C1（I2C1 Reset） 0：无作用 1：复位
22	I2C2RST	R/W	复位 I2C2（I2C2 Reset） 0：无作用 1：复位
23	I2C3RST	R/W	复位 I2C3（I2C3 Reset） 0：无作用 1：复位
24	保留		
25	CAN1RST	R/W	复位 CAN1（CAN1 Reset） 0：无作用 1：复位
26	CAN2RST	R/W	复位 CAN2（CAN2 Reset） 0：无作用

位/域	名称	R/W	描述
			1：复位
27	保留		
28	PWRRST	R/W	复位电源接口（Power Interface Reset） 0：无作用 1：复位
29	DACRST	R/W	复位 DAC 接口（DAC Interface Reset） 0：无作用 1：复位
31:30	保留		

6.5.9 APB2 外设复位寄存器（RCM_APB2RST）

偏移地址：0x24

复位值：0x0000 0000

访问：以字，半字和字节形式访问，无等待周期。

所有位都可以由软件置位或清 0。

位/域	名称	R/W	描述
0	TMR1RST	R/W	复位 TMR1（TMR1 Reset） 0：无作用 1：复位
1	TMR8RST	R/W	复位 TMR8（TMR8 Reset） 0：无作用 1：复位
3:2	保留		
4	USART1RST	R/W	复位 USART1（USART1 Reset） 0：无作用 1：复位
5	USART6RST	R/W	复位 USART6（USART6 Reset） 0：无作用 1：复位
7:6	保留		
8	ADCRST	R/W	复位 ADC 接口（ADC Interface Reset） 0：无作用 1：复位 注意：作用于所有 ADC
10:9	保留		
11	SDIORST	R/W	复位 SDIO（SDIO Reset） 0：无作用 1：复位
12	SPI1RST	R/W	复位 SPI1（SPI1 Reset） 0：无作用 1：复位
13	保留		

位/域	名称	R/W	描述
14	SYSCFGRST	R/W	复位 SYSCFG 模块（SYSCFG Module Reset） 0：无作用 1：复位
15	保留		
16	TMR9RST	R/W	复位 TMR9（TMR9 Reset） 0：无作用 1：复位
17	TMR10RST	R/W	复位 TMR10（TMR10 Reset） 0：无作用 1：复位
18	TMR11RST	R/W	复位 TMR11（TMR11 Reset） 0：无作用 1：复位
31:19	保留		

6.5.10 AHB1 外设时钟使能寄存器（RCM_AHB1CLKEN）

偏移地址：0x30

复位值：0x0010 0000

访问：以字，半字和字节形式访问，无等待周期。

位/域	名称	R/W	描述
0	PAEN	R/W	使能端口 A 时钟（GPIOA Clock Enable） 0：禁止 1：使能
1	PBEN	R/W	使能端口 B 时钟（GPIOB Clock Enable） 0：禁止 1：使能
2	PCEN	R/W	使能端口 C 时钟（GPIOC Clock Enable） 0：禁止 1：使能
3	PDEN	R/W	使能端口 D 时钟（GPIOD Clock Enable） 0：禁止 1：使能
4	PEEN	R/W	使能端口 E 时钟（GPIOE Clock Enable） 0：禁止 1：使能
5	PFEN	R/W	使能端口 F 时钟（GPIOF Clock Enable） 0：禁止 1：使能
6	PGEN	R/W	使能端口 G 时钟（GPIOG Clock Enable） 0：禁止 1：使能
7	PHEN	R/W	使能端口 H 时钟（GPIOH Clock Enable） 0：禁止 1：使能

位/域	名称	R/W	描述
8	PIEN	R/W	使能端口 I 时钟（GPIOI Clock Enable） 0：禁止 1：使能
11:9	保留		
12	CRCEN	R/W	使能 CRC 时钟（CRC Clock Enable） 0：禁止 1：使能
17:13	保留		
18	BAKPSRAMEN	R/W	使能备份域 SRAM 接口时钟（Backup SRAM Interface Clock Enable） 0：禁止 1：使能
19	保留		
20	DRAMEN	R/W	使能时钟单元的数据 RAM 时钟（Clock Management Data RAM Clock Enable） 0：禁止 1：使能
21	DMA1EN	R/W	使能 DMA1 时钟（DMA1 Clock Enable） 0：禁止 1：使能
22	DMA2EN	R/W	使能 DMA2 时钟（DMA2 Clock Enable） 0：禁止 1：使能
24:23	保留		
25	ETHEN	R/W	使能 ETH（ETH Clock Enable） 0：禁止 1：使能
26	ETHTXEN	R/W	使能 ETH 发送时钟（ETH Transmission Clock Enable） 0：禁止 1：使能
27	ETHRXEN	R/W	使能 ETH 接收时钟（ETH Reception Clock Enable） 0：禁止 1：使能
28	ETHPTPEN	R/W	使能 ETH PTP 时钟（ETH PTP Clock Enable） 0：禁止 1：使能
29	OTGHS1EN	R/W	使能 OTG_HS1 时钟（OTG_HS1 Clock Enable） 0：禁止 1：使能
30	HSULPIEN	R/W	使能 OTG_HS1 ULPI 时钟（OTG_HS1 ULPI Clock Enable） 0：禁止 1：使能
31	保留		

6.5.11 AHB2 外设时钟使能寄存器（RCM_AHB2CLKEN）

偏移地址：0x34

复位值：0x0000 0000

访问：以字，半字和字节形式访问，无等待周期。

位/域	名称	R/W	描述
0	DCIEN	R/W	使能 DCI 时钟（DCI Clock Enable） 0：禁止 1：使能
1	FPUEN	R/W	使能 FPU 时钟（FPU Clock Enable） 0：禁止 1：使能
2	BNEN	R/W	使能 BN 时钟（BN Clock Enable） 0：禁止 1：使能
3	SMEN	R/W	使能 SM 时钟（SM Clock Enable） 0：禁止 1：使能
4	CRYPEN	R/W	使能 CRYP 时钟（CRYP Clock Enable） 0：禁止 1：使能
5	HASHPEN	R/W	使能 HASH 处理器时钟（HASH Processor Clock Enable） 0：禁止 1：使能
6	RNGEN	R/W	使能 RNG 时钟（RNG Clock Enable） 0：禁止 1：使能
7	OTGFSEN	R/W	使能 OTG_FS 时钟（OTG_FS Clock Enable） 0：禁止 1：使能
31:8	保留		

6.5.12 AHB3 外设时钟使能寄存器（RCM_AHB3CLKEN）

偏移地址：0x38

复位值：0x0000 0000

访问：以字，半字和字节形式访问，无等待周期。

位/域	名称	R/W	描述
0	EMMCEN	R/W	使能 EMMC 时钟（EMMC Clock Enable） 0：禁止 1：使能
31:1	保留		

6.5.13 APB1 外设时钟使能寄存器（RCM_APB1CLKEN）

偏移地址：0x40

复位值：0x0000 0000

访问：以字，半字和字节形式访问，无等待周期。

所有位都可以由软件置位或清 0。

位/域	名称	R/W	描述
0	TMR2EN	R/W	使能 TMR2 时钟（TMR2 Clock Enable） 0：禁止 1：使能
1	TMR3EN	R/W	使能 TMR3 时钟（TMR3 Clock Enable） 0：禁止 1：使能
2	TMR4EN	R/W	使能 TMR4 时钟（TMR4 Clock Enable） 0：禁止 1：使能
3	TMR5EN	R/W	使能 TMR5 时钟（TMR5 Clock Enable） 0：禁止 1：使能
4	TMR6EN	R/W	使能 TMR6 时钟（TMR6 Clock Enable） 0：禁止 1：使能
5	TMR7EN	R/W	使能 TMR7 时钟（TMR7 Clock Enable） 0：禁止 1：使能
6	TMR12EN	R/W	使能 TMR12 时钟（TMR12 Clock Enable） 0：禁止 1：使能
7	TMR13EN	R/W	使能 TMR13 时钟（TMR13 Clock Enable） 0：禁止 1：使能
8	TMR14EN	R/W	使能 TMR14 时钟（TMR14 Clock Enable） 0：禁止 1：使能
10:9	保留		
11	WWDTEN	R/W	使能 WWDT 时钟（WWDT Clock Enable） 0：禁止 1：使能
13:12	保留		
14	SPI2EN	R/W	使能 SPI2 时钟（SPI2 Clock Enable） 0：禁止 1：使能
15	SPI3EN	R/W	使能 SPI3 时钟（SPI3 Clock Enable） 0：禁止 1：使能
16	保留		
17	USART2EN	R/W	使能 USART2 时钟（USART2 Clock Enable） 0：禁止 1：使能

位/域	名称	R/W	描述
18	USART3EN	R/W	使能 USART3 时钟（USART3 Clock Enable） 0：禁止 1：使能
19	UART4EN	R/W	使能 UART4 时钟（UART4 Clock Enable） 0：禁止 1：使能
20	UART5EN	R/W	使能 UART5 时钟（UART5 Clock Enable） 0：禁止 1：使能
21	I2C1EN	R/W	使能 I2C1 时钟（I2C1 Clock Enable） 0：禁止 1：使能
22	I2C2EN	R/W	使能 I2C2 时钟（I2C2 Clock Enable） 0：禁止 1：使能
23	I2C3EN	R/W	使能 I2C3 时钟（I2C3 Clock Enable） 0：禁止 1：使能
24	保留		
25	CAN1EN	R/W	使能 CAN1 时钟（CAN1 Clock Enable） 0：禁止 1：使能
26	CAN2EN	R/W	使能 CAN2 时钟（CAN2 Clock Enable） 0：禁止 1：使能
27	保留		
28	PMUEN	R/W	使能 PMU 时钟（PMU Clock Enable） 0：禁止 1：使能
29	DACEN	R/W	使能 DAC 接口时钟（DAC Interface Clock Enable） 0：禁止 1：使能
31:30	保留		

6.5.14 APB2 外设时钟使能寄存器（RCM_APB2CLKEN）

偏移地址：0x44

复位值：0x0000 0000

访问：以字，半字和字节形式访问，无等待周期。

所有位都可以由软件置位或清 0。

位/域	名称	R/W	描述
0	TMR1EN	R/W	使能 TMR1 时钟（TMR1 Clock Enable） 0：禁止 1：使能

位/域	名称	R/W	描述
1	TMR8EN	R/W	使能 TMR8 时钟（TMR8 Clock Enable） 0：禁止 1：使能
3:2	保留		
4	USART1EN	R/W	使能 USART1 时钟（USART1 Clock Enable） 0：禁止 1：使能
5	USART6EN	R/W	使能 USART6 时钟（USART6 Clock Enable） 0：禁止 1：使能
7:6	保留		
8	ADC1EN	R/W	使能 ADC1 接口时钟（ADC1 Interface Clock Enable） 0：禁止 1：使能
9	ADC2EN	R/W	使能 ADC2 接口时钟（ADC2 Interface Clock Enable） 0：禁止 1：使能
10	ADC3EN	R/W	使能 ADC3 接口时钟（ADC3 Interface Clock Enable） 0：禁止 1：使能
11	SDIOEN	R/W	使能 SDIO 时钟（SDIO Clock Enable） 0：禁止 1：使能
12	SPI1EN	R/W	使能 SPI1 时钟（SPI1 Clock Enable） 0：禁止 1：使能
13	保留		
14	SYSCFGEN	R/W	使能 SYSCFG 模块时钟（SYSCFG Module Clock Enable） 0：禁止 1：使能
15	保留		
16	TMR9EN	R/W	使能 TMR9 时钟（TMR9 Clock Enable） 0：禁止 1：使能
17	TMR10EN	R/W	使能 TMR10 时钟（TMR10 Clock Enable） 0：禁止 1：使能
18	TMR11EN	R/W	使能 TMR11 时钟（TMR11 Clock Enable） 0：禁止 1：使能
31:19	保留		

6.5.15 低功耗下 AHB1 外设时钟使能寄存器（RCM_LPAHB1CLKEN）

偏移地址：0x50

复位值：0x7E67 91FF

访问：以字，半字和字节形式访问，无等待周期。

此寄存器的作用是，在低功耗（睡眠）模式下，使能 AHB1 的外设的时钟。

位/域	名称	R/W	描述
0	PAEN	R/W	使能端口 A 时钟（GPIOA Clock Enable） 0：禁止 1：使能
1	PBEN	R/W	使能端口 B 时钟（GPIOB Clock Enable） 0：禁止 1：使能
2	PCEN	R/W	使能端口 C 时钟（GPIOC Clock Enable） 0：禁止 1：使能
3	PDEN	R/W	使能端口 D 时钟（GPIOD Clock Enable） 0：禁止 1：使能
4	PEEN	R/W	使能端口 E 时钟（GPIOE Clock Enable） 0：禁止 1：使能
5	PFEN	R/W	使能端口 F 时钟（GPIOF Clock Enable） 0：禁止 1：使能
6	PGEN	R/W	使能端口 G 时钟（GPIOG Clock Enable） 0：禁止 1：使能
7	PHEN	R/W	使能端口 H 时钟（GPIOH Clock Enable） 0：禁止 1：使能
8	PIEN	R/W	使能端口 I 时钟（GPIOI Clock Enable） 0：禁止 1：使能
11:9	保留		
12	CRCEN	R/W	使能 CRC 时钟（CRC Clock Enable） 0：禁止 1：使能
14:13	保留		
15	FMCEN	R/W	使能 FMC 时钟（FMC Clock Enable） 0：禁止 1：使能
16	SRAM1EN	R/W	使能 SRAM1 时钟（SRAM1 Clock Enable） 0：禁止 1：使能

位/域	名称	R/W	描述
17	SRAM2EN	R/W	使能 SRAM2 时钟（SRAM2 Clock Enable） 0：禁止 1：使能
18	BAKPSRAMEN	R/W	使能备份域 SRAM 接口时钟（Backup SRAM Interface Clock Enable） 0：禁止 1：使能
20:19	保留		
21	DMA1EN	R/W	使能 DMA1 时钟（DMA1 Clock Enable） 0：禁止 1：使能
22	DMA2EN	R/W	使能 DMA2 时钟（DMA2 Clock Enable） 0：禁止 1：使能
24:23	保留		
25	ETHEN	R/W	使能 ETH（ETH Clock Enable） 0：禁止 1：使能
26	ETHTXEN	R/W	使能 ETH 发送时钟（ETH Transmission Clock Enable） 0：禁止 1：使能
27	ETHRXEN	R/W	使能 ETH 接收时钟（ETH Reception Clock Enable） 0：禁止 1：使能
28	ETHPTPEN	R/W	使能 ETH PTP 时钟（ETH PTP Clock Enable） 0：禁止 1：使能
29	OTGHS1EN	R/W	使能 OTG_HS1 时钟（OTG_HS1 Clock Enable） 0：禁止 1：使能
30	HSULPIEN	R/W	使能 OTG_HS1 ULPI 时钟（OTG_HS1 ULPI Clock Enable） 0：禁止 1：使能
31	保留		

6.5.16 低功耗下 AHB2 外设时钟使能寄存器（RCM_LPAHB2CLKEN）

偏移地址：0x54

复位值：0x0000 00F1

访问：以字，半字和字节形式访问，无等待周期。

此寄存器的作用是，在低功耗（睡眠）模式下，使能 AHB2 的外设的时钟。

位/域	名称	R/W	描述
0	DCIEN	R/W	使能 DCI 时钟（DCI Clock Enable） 0：禁止 1：使能
1	FPUEN	R/W	使能 FPU 时钟（FPU Clock Enable） 0：禁止 1：使能
2	BNEN	R/W	使能 BN 时钟（BN Clock Enable） 0：禁止 1：使能
3	SMEN	R/W	使能 SM 时钟（SM Clock Enable） 0：禁止 1：使能
4	CRYPEN	R/W	使能 CRYP 时钟（CRYP Clock Enable） 0：禁止 1：使能
5	HASHPEN	R/W	使能 HASH 处理器时钟（HASH Processor Clock Enable） 0：禁止 1：使能
6	RNGEN	R/W	使能 RNG 时钟（RNG Clock Enable） 0：禁止 1：使能
7	OTGFSEN	R/W	使能 OTG_FS 时钟（OTG_FS Clock Enable） 0：禁止 1：使能
31:8	保留		

6.5.17 低功耗下 AHB3 外设时钟使能寄存器（RCM_LPAHB3CLKEN）

偏移地址：0x58

复位值：0x0000 0001

访问：以字，半字和字节形式访问，无等待周期。

此寄存器的作用是，在低功耗（睡眠）模式下，使能 AHB3 的外设的时钟。

位/域	名称	R/W	描述
0	EMMCEN	R/W	使能 EMMC 时钟（EMMC Clock Enable） 0：禁止 1：使能
31:1	保留		

6.5.18 低功耗下 APB1 外设时钟使能寄存器（RCM_LPAPB1CLKEN）

偏移地址：0x60

复位值：0x36FE C9FF

访问：以字，半字和字节形式访问，无等待周期。

所有位都可以由软件置位或清 0。

此寄存器的作用是，在低功耗（睡眠）模式下，使能 APB1 的外设的时钟。

位/域	名称	R/W	描述
0	TMR2EN	R/W	使能 TMR2 时钟（TMR2 Clock Enable） 0：禁止 1：使能
1	TMR3EN	R/W	使能 TMR3 时钟（TMR3 Clock Enable） 0：禁止 1：使能
2	TMR4EN	R/W	使能 TMR4 时钟（TMR4 Clock Enable） 0：禁止 1：使能
3	TMR5EN	R/W	使能 TMR5 时钟（TMR5 Clock Enable） 0：禁止 1：使能
4	TMR6EN	R/W	使能 TMR6 时钟（TMR6 Clock Enable） 0：禁止 1：使能
5	TMR7EN	R/W	使能 TMR7 时钟（TMR7 Clock Enable） 0：禁止 1：使能
6	TMR12EN	R/W	使能 TMR12 时钟（TMR12 Clock Enable） 0：禁止 1：使能
7	TMR13EN	R/W	使能 TMR13 时钟（TMR13 Clock Enable） 0：禁止 1：使能
8	TMR14EN	R/W	使能 TMR14 时钟（TMR14 Clock Enable） 0：禁止 1：使能
10:9	保留		
11	WWDTEN	R/W	使能 WWDT 时钟（WWDT Clock Enable） 0：禁止 1：使能
13:12	保留		
14	SPI2EN	R/W	使能 SPI2 时钟（SPI2 Clock Enable） 0：禁止 1：使能
15	SPI3EN	R/W	使能 SPI3 时钟（SPI3 Clock Enable） 0：禁止 1：使能
16	保留		
17	USART2EN	R/W	使能 USART2 时钟（USART2 Clock Enable） 0：禁止 1：使能

位/域	名称	R/W	描述
18	USART3EN	R/W	使能 USART3 时钟（USART3 Clock Enable） 0：禁止 1：使能
19	UART4EN	R/W	使能 UART4 时钟（UART4 Clock Enable） 0：禁止 1：使能
20	UART5EN	R/W	使能 UART5 时钟（UART5 Clock Enable） 0：禁止 1：使能
21	I2C1EN	R/W	使能 I2C1 时钟（I2C1 Clock Enable） 0：禁止 1：使能
22	I2C2EN	R/W	使能 I2C2 时钟（I2C2 Clock Enable） 0：禁止 1：使能
23	I2C3EN	R/W	使能 I2C3 时钟（I2C3 Clock Enable） 0：禁止 1：使能
24	保留		
25	CAN1EN	R/W	使能 CAN1 时钟（CAN1 Clock Enable） 0：禁止 1：使能
26	CAN2EN	R/W	使能 CAN2 时钟（CAN2 Clock Enable） 0：禁止 1：使能
27	保留		
28	PMUEN	R/W	使能 PMU 时钟（PMU Clock Enable） 0：禁止 1：使能
29	DACEN	R/W	使能 DAC 接口时钟（DAC Interface Clock Enable） 0：禁止 1：使能
31:30	保留		

6.5.19 低功耗下 APB2 外设时钟使能寄存器（RCM_LPAPB2CLKEN）

偏移地址：0x64

复位值：0x0000 0000

访问：以字，半字和字节形式访问，无等待周期。

所有位都可以由软件置位或清 0。

此寄存器的作用是，在低功耗（睡眠）模式下，使能 APB2 的外设的时钟。

位/域	名称	R/W	描述
0	TMR1EN	R/W	使能 TMR1 时钟（TMR1 Clock Enable） 0：禁止 1：使能
1	TMR8EN	R/W	使能 TMR8 时钟（TMR8 Clock Enable） 0：禁止 1：使能
3:2	保留		
4	USART1EN	R/W	使能 USART1 时钟（USART1 Clock Enable） 0：禁止 1：使能
5	USART6EN	R/W	使能 USART6 时钟（USART6 Clock Enable） 0：禁止 1：使能
7:6	保留		
8	ADC1EN	R/W	使能 ADC1 接口时钟（ADC1 Interface Clock Enable） 0：禁止 1：使能
9	ADC2EN	R/W	使能 ADC2 接口时钟（ADC2 Interface Clock Enable） 0：禁止 1：使能
10	ADC3EN	R/W	使能 ADC3 接口时钟（ADC3 Interface Clock Enable） 0：禁止 1：使能
11	SDIOEN	R/W	使能 SDIO 时钟（SDIO Clock Enable） 0：禁止 1：使能
12	SPI1EN	R/W	使能 SPI1 时钟（SPI1 Clock Enable） 0：禁止 1：使能
13	保留		
14	SYSCFGEN	R/W	使能 SYSCFG 模块时钟（SYSCFG Module Clock Enable） 0：禁止 1：使能
15	保留		
16	TMR9EN	R/W	使能 TMR9 时钟（TMR9 Clock Enable） 0：禁止 1：使能
17	TMR10EN	R/W	使能 TMR10 时钟（TMR10 Clock Enable） 0：禁止 1：使能
18	TMR11EN	R/W	使能 TMR11 时钟（TMR11 Clock Enable） 0：禁止 1：使能

位/域	名称	R/W	描述
31:19	保留		

6.5.20 备份域控制寄存器（RCM_BDCTRL）

偏移地址：0x70

复位值：0x0000 0000，只能由 RTC 域复位有效复位

访问：以字、半字和字节形式访问，0 到 3 等待周期

当连续对该寄存器进行访问时，将插入等待状态。

注意：当 PMU_CTRL 中的 BPWEN 位被置 1 后，LSEEN、LSEBCFG、RTCSRCSEL 和 RTCCLKEN 才能进行改动。

位/域	名称	R/W	描述
0	LSEEN	R/W	使能 LSECLK（Low-Speed External Oscillator Enable） 0：禁止 1：使能
1	LSERDYFLG	R	LSECLK 就绪标志（Low-Speed External Clock Ready Flag） LSECLK 稳定时硬件置 1，不稳定时硬件清 0。 0：未就绪 1：就绪
2	LSEBCFG	R/W	配置 LSECLK 为旁路模式（Low-Speed External Clock Bypass Mode Configure） 旁路模式指外部时钟作为 LSECLK 时钟源，否则谐振器作为 LSECLK 时钟源。 0：非旁路模式 1：旁路模式
7:3	保留		
9:8	RTCSRCSEL	R/W	选择 RTC 时钟源（RTC Clock Source Select） 先设置 RTCRST 位复位 RTC 域，再选择 RTC 时钟源，无法直接配置该寄存器修改。 00：无时钟 01：LSECLK 作为 RTC 时钟 10：LSICLK 作为 RTC 时钟 11：HSECLK 在分频后作为 RTC 时钟（分频因子由 RCM_CFG 寄存器的 RTCPSC 位决定）
14:10	保留		
15	RTCCLKEN	R/W	使能 RTC 时钟（RTC Clock Enable） 0：禁止 1：使能
16	BDRST	R/W	复位备份域软件（Backup Domain Software Reset） 由软件置 1 或清 0 0：复位未激活 1：复位备份域（只影响 LSECLK 振荡器、RTC 实时时钟和寄存器 RCM_BDCTRL）
31:17	保留		

6.5.21 时钟控制/状态寄存器（RCM_CSTS）

偏移地址：0x74

复位值：0x0E00 0000，除复位标志外由系统复位清除，复位标志只能由电源复位清除。

访问：以字、半字和字节形式访问，0 到 3 等待周期。

当连续对该寄存器进行访问时，将插入等待状态。

位/域	名称	R/W	描述
0	LSIEN	R/W	使能内部低速振荡器（Low-Speed Internal Oscillator Enable） 由软件置 1 或清 0。 0：禁止 1：使能
1	LSIRDYFLG	R	内部低速振荡器就绪（Low-Speed Internal Oscillator Ready Flag） LSICLK 稳定时硬件置 1，不稳定时硬件清 0。 0：未就绪 1：就绪
23:2	保留		
24	RSTFLGCLR	RT_W	清除复位标志（Reset Flag Clear） 由软件置位或清除复位标志，包括 RSTFLGCLR。 0：禁止 1：清除复位标志
25	BORRSTFLG	R	欠压复位标志（BOR Flag） 当欠压复位发生时由硬件置位，否则通过将 RSTFLGCLR 置位清除。 0：没有发生复位 1：复位发生
26	PINRSTFLG	R	引脚复位标志（PIN Reset Flag） 在引脚复位发生时由硬件置位，否则通过将 RSTFLGCLR 置位清除。 0：没有发生复位 1：复位发生
27	PODRSTFLG	R	上电/掉电复位标志（POR/PDR Reset Flag） 由硬件置 1；由软件通过写 RSTFLGCLR 位清除。 0：无上电/掉电复位发生 1：发生上电/掉电复位
28	SWRSTFLG	R	软件复位标志（Software Reset Flag） 由硬件置 1；由软件通过写 RSTFLGCLR 位清除。 0：没有发生复位 1：发生复位
29	IWDTRSTFLG	R	独立看门狗复位标志（Independent Watchdog Reset Flag） 当独立看门狗复位发生在 V_{DD} 区域时由硬件置 1；由软件通过写 RSTFLGCLR 位清除。 0：没有发生复位 1：发生复位
30	WWDTRSTFLG	R	窗口看门狗复位标志（Window Watchdog Reset Flag） 当窗口看门狗复位发生时由硬件置 1；由软件通过写 RSTFLGCLR 位清除。 0：没有发生复位 1：发生复位

位/域	名称	R/W	描述
31	LPWRRSTFLG	R	低功耗复位标志（Low Power Reset Flag） 当低功耗管理复位发生时由硬件置 1；由软件通过写 RSTFLGCLR 位清除。 0：没有发生复位 1：发生复位

6.5.22 扩频时钟配置寄存器（RCM_SSCCFG）

偏移地址：0x80

复位值：0x0000 0000

访问：以字、半字和字节形式访问，0 到 3 等待周期。

因为扩频时钟只作用于 PLL1，所以只能在 PLL1 没有被使能时写入这个寄存器，对扩频时钟进行配置。

位/域	名称	R/W	描述
12:0	MODPCFG	R/W	配置调制周期（Modulation Period Configure） 由软件置 1 或清 0。 配置调制周期的输入。
27:13	STEP	R/W	增量步长（Incrementation Step） 由软件置 1 或清 0。 配置调制幅度的输入。
29:28	保留		
30	SSSEL	R/W	选择扩谱（Spread Spectrum Select） 由软件置位或清除。 0：中心扩谱 1：向下扩谱
31	SSEN	R/W	使能扩频调制（Spread Spectrum Enable） 由软件置 1 或清 0。 0：禁止 1：使能

6.5.23 PLL2 配置寄存器（RCM_PLL2CFG）

偏移地址：0x84

复位值：0x2000 3000

以字，半字和字节形式访问，无等待周期。

寄存器的用来配置各种参数以输出不同时钟信号。

$f_{(VCO\ clock)}=f_{(PLL2\ clock\ input)}\times(PLL2A/PLLB)$

$f_{(PLL2\ clock\ output)}=f_{(VCO\ clock)}/PLL2C$

位/域	名称	R/W	描述
5:0	保留		
14:6	PLL2A	R/W	乘法系数（PLL Multiplication Factor） 用于计算 VCO 的频率。计算公式为 $f_{(VCO\ output)}= f_{(VCO\ input)}\times PLL2A$，只有在 PLL2A 为 50~432 时，公式才成立。 000000000：PLL2A=0（错误） 000000001：PLL2A=1（错误） ……

位/域	名称	R/W	描述
			000110010：PLL2A=50 …… 001100011：PLL2A=99 001100100：PLL2A=100 …… 110110000：PLL2A=432 110110001：PLL2A=433（错误） …… 111111111：PLL2A=511（错误）
27:15	保留		
30:28	PLL2C	R/W	除数（Division Factor） 此位由软件置位或清除，控制这个变量以改变供给 I2S 的时钟频率。这个位只能在 PLL2 被禁止时被置位。由于 I2S 只能在不大于 192MHz 的频率下工作，所以 PLL2C 的值的范围应为 2~7。 000：PLL2C=0（错误配置） 001：PLL2C=1（错误配置） 010：PLL2C=2 …… 111：PLL2C=7
31	保留		

7 电源管理单元（PMU）

7.1 术语全称、缩写描述

表格 36 术语全称、缩写描述

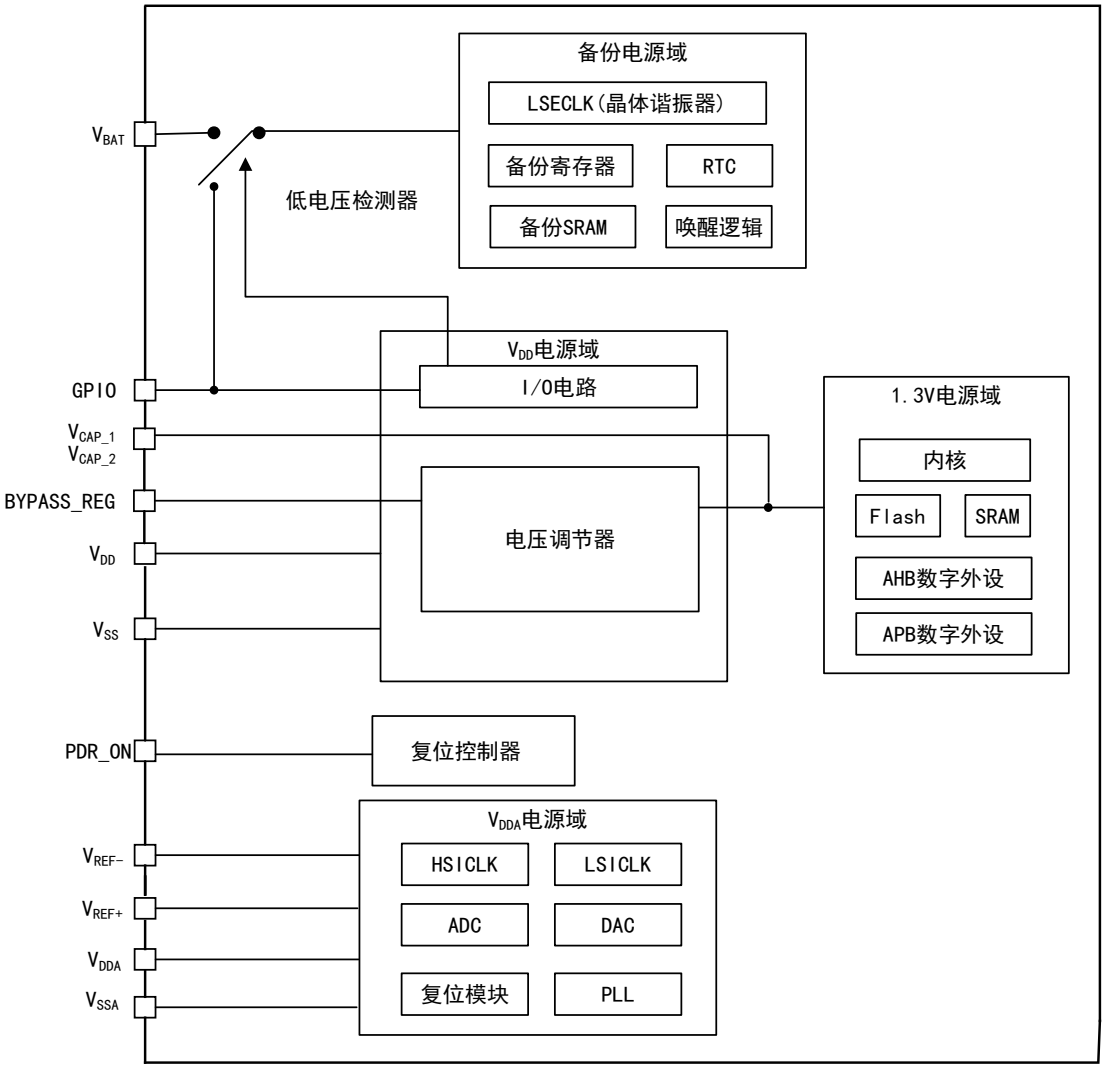
中文全称	英文全称	英文缩写
电源管理单元	Power Management Unit	PMU
上电复位	Power On Reset	POR
掉电复位	Power Down Reset	PDR
欠压复位	Brown-out Reset	BOR
电源电压检测器	Power Voltage Detector	PVD

7.2 简介

电源是一个系统稳定运行的基础，工作电压为 1.8～3.6V，可以通过内置的电压调节器提供 1.3V 的电源，若主电源 V_{DD} 掉电，则通过 V_{BAT} 给后备供电区域供电。

7.3 结构框图

表格 37 电源结构框图



7.4 功能描述

7.4.1 电源域

产品的电源域有：V_{DD} 电源域、V_{DDA} 电源域、1.3V 电源域、备份电源域。

7.4.1.1 V_{DD} 电源域

通过 V_{DD}/V_{SS} 引脚供电，给电压调节器和 I/O 供电。

电压调节器

给 1.3V 电源域供电，有以下几种工作模式：

- 正常模式：此模式下 1.3V 供电区域全功率运行，在此模式下，可通过寄存器 PMU_CTRL 的 VOSSEL 位选择输出电压的级别。

- 停止模式：此模式下 1.3V 供电区域工作在低功耗状态，所有时钟关闭，外设停止工作，设置的电压输出级别保持不变。
- 待机模式：此模式下 1.3V 供电区域停止供电，除了备用电路，寄存器和 SRAM 内容都会丢失

7.4.1.2 V_{DDA} 电源域

通过 V_{DDA}/V_{SSA}、V_{REF+}/V_{REF-}引脚供电，给 ADC、DAC、HSICLK、LSICLK、、PLL、复位模块供电。

独立 ADC 电源和参考电压

独立的 ADC 电源可以提高转换精度，具体电源引脚如下：

- V_{DDA}：ADC 的电源引脚
- V_{SSA}：独立电源地引脚
- V_{REF+}/V_{REF-}：ADC 参考电压引脚

7.4.1.3 1.3V 电源域

由电压调节器供电，给内核、Flash、SRAM、数字外设供电。

7.4.1.4 备份电源域

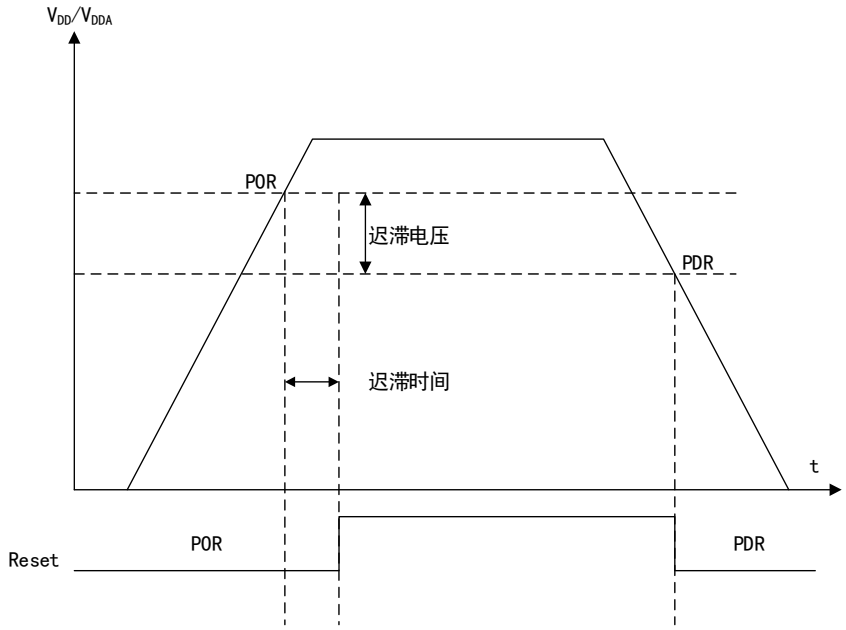
当 V_{DD} 存在时，后备供电区域由 V_{DD} 供电，当 V_{DD} 掉电时，后备供电区域由 V_{BAT} 供电，用来保存后备寄存器的内容和维持 RTC 功能。给 LSECLK 晶体谐振器、RTC、备份寄存器、备份 SRAM、PC13、PC14、PC15 以及 P18（仅 APM32F407IE/IG 有此引脚）以及唤醒逻辑供电。

7.4.2 电源管理

7.4.2.1 上电复位与掉电复位（POR 与 PDR）

当检测到 V_{DD}/V_{DDA} 低于阈值电压 V_{POR} 和 V_{PDR} 时，芯片将会自动保持为复位状态，上电复位和掉电复位的波形图如下，POR、PDR、迟滞电压、迟滞时间请参考“数据手册”。

图 9 上电复位和掉电复位的波形图

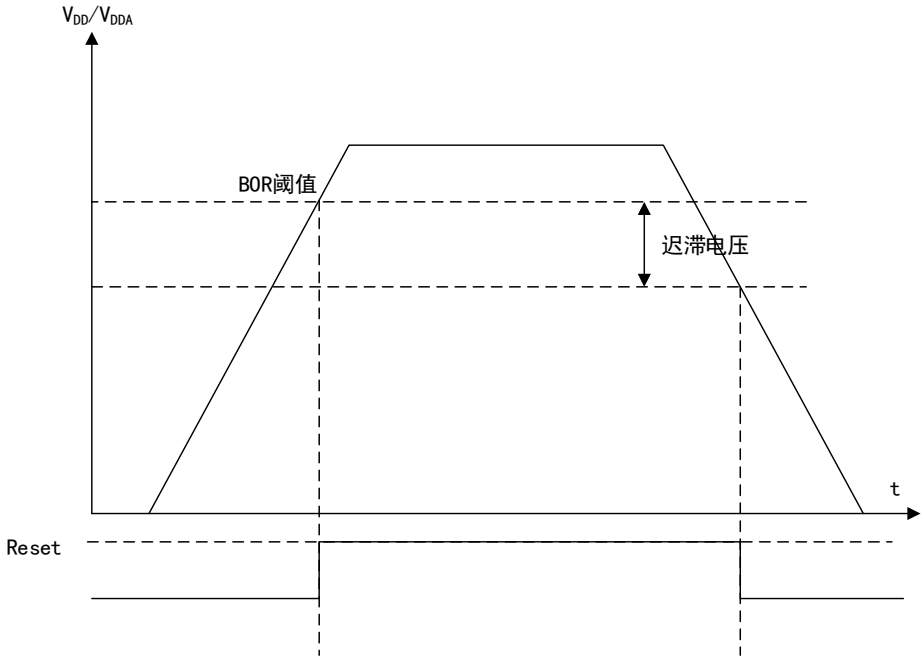


7.4.2.2 欠压复位（BOR）

当检测到 V_{DD}/V_{DDA} 低于阈值电压 V_{BOR} 时，芯片将会自动保持为复位状态，V_{BOR} 可通过选项字节配置。以下为 V_{BOR} 的 4 个阈值：

- V_{BOR0}：BOR 关闭，电压范围为 1.80~2.10V
- V_{BOR1}：BOR 级别 1，电压范围为 2.10~2.40V
- V_{BOR2}：BOR 级别 2，电压范围为 2.40~2.70V
- V_{BOR3}：BOR 级别 3，电压范围为 2.70~3.60V

图 10BOR 阈值波形图



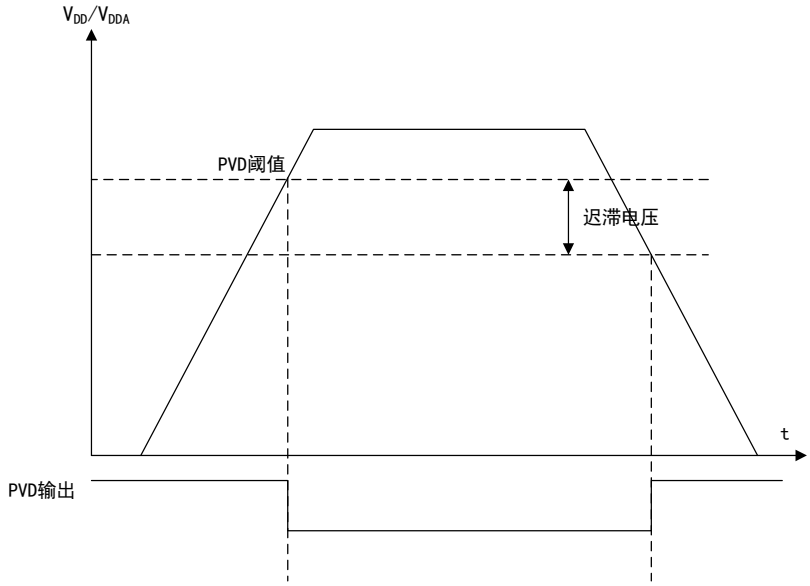
7.4.2.3 电源电压监测器（PVD）

PVD 可设置一阈值，可监测 V_{DD}/V_{DDA} 高于还是低于该阈值。如果使能中断，可触发中断，提前处理 V_{DD}/V_{DDA} 超过阈值的情况。PVD 的使用方法如下：

（1） 配置寄存器 PMU_CTRL 的 PVDEN 位置 1 使能 PVD
（2） 配置寄存器 PMU_CTRL 的 PLSEL[2:0]位选择 PVD 的电压阈值
（3） 配置寄存器 PMU_CSTS 的 PVDOFLG 位表明 V_{DD} 的值是高于还是低于 PVD 的阈值
（4） 当检测到 V_{DD}/V_{DDA} 低于或高于 PVD 阈值时，将产生 PVD 中断

PVD 的阈值波形监下图。PVD 阈值、迟滞电压请参考“数据手册”。

图 11 PVD 阈值波形图



7.4.3 功耗控制

7.4.3.1 低功耗模式降低功耗

低功耗模式有三种：睡眠模式、停止模式和待机模式。通过关闭内核、时钟源、设置调压器来降低功耗。

每种低功耗模式的功耗、唤醒启动时间、唤醒方式、唤醒后数据的保存存在差异；功耗越低，唤醒时间越长，唤醒方式越少，唤醒后保存的数据越少，用户可以根据需求选择最合适的低功耗模式。下图是三种低功耗模式的差异。

表格 38“睡眠模式、停止模式和待机模式”差异

模式	说明	进入方式	唤醒方式	电压调节器	对 1.3V 区域时钟的影响	对 V_{DD} 区域时钟的影响
睡眠	Arm® Cortex®-M4 内核停止，所有外设包括内	调用 WFI 命令	任一中断	开	只关闭内核时钟，对其它时钟以及	无
		调用 WFE 命令	唤醒事件	开		无

模式	说明	进入方式	唤醒方式	电压调节器	对 1.3V 区域时钟的影响	对 V_{DD} 区域时钟的影响
	核的外设仍在工作				ADC 的时钟没有影响	
停止	所有的时钟都已停止	PDDSCFG 和 LPDSCFG 位+SLEEPDEEP 位+WFI 或 WFE	任一外部中断	开启或处于低功耗模式	关闭所有 1.3V 区域的时钟	HSICLK 和 HSECLK 的振荡器关闭
待机	1.3V 电源关闭	PDDSCFG 位+SLEEPDEEP 位+WFI 或 WFE	WKUP 引脚的上升沿、RTC 闹钟事件、RTC 唤醒事件、RTC 时间戳事件、RTC 入侵事件、NRST 引脚上的外部复位、IWDT 复位	关		

睡眠模式

睡眠模式特点见下表：

表格 39 睡眠模式特点

特性	说明
进入	通过执行 WFI 或 WFE 指令时立即进入睡眠模式； 当 SLEEPONEINT 置 0，且执行 WFI 或 WFE 指令，立即进入睡眠模式；当 SLEEPONEINT 置 1，系统先退出中断程序，立即进入睡眠模式。
唤醒	若执行 WFI 指令进入睡眠模式，则通过任意中断唤醒；若执行 WFE 指令进入睡眠模式，则通过事件唤醒。
睡眠时	内核停止工作，所有外设仍在运行，且保存睡眠前内核寄存器、内存的数据。
唤醒延时	无
唤醒后	若通过中断唤醒，先进入中断，然后退出中断，之后才执行 WFI 指令后的程序，若通过事件唤醒，直接直接执行 WFE 指令后的程序。

停止模式

停止模式特点见下表：

表格 40 停止模式特点

特性	说明
进入	内核寄存器的 SLEEPDEEP 位置 1，寄存器 PMU_CTRL 中的 PDDSCFG 位置 0，然后执行 WFI 或 WFE 指令时立即进入停止模式； 寄存器 PMU_CTRL 的 LPDSCFG 位置 0 时调压器工作在正常模式，寄存器 PMU_CTRL 的 LPDSCFG 位置 1 时调节器工作在低功耗模式。

特性	说明
唤醒	若执行 WFI 指令进入停止模式，则通过任意中断唤醒；若执行 WFE 指令进入停止模式，则通过事件唤醒。
停止时	内核停止工作，外设也停止工作，保存停止前内核寄存器、内存的数据。
唤醒延时	HSICLK 振荡器唤醒时间+电压调节器从低功耗唤醒的时间。
唤醒后	若通过中断唤醒，先进入中断，然后退出中断，之后才执行 WFI 指令后的程序，若通过事件唤醒，直接直接执行 WFE 指令后的程序。

待机模式

待机模式特点见下表：

表格 41 待机模式

特性	说明
进入	内核寄存器的 SLEEPDEEP 位置 1，寄存器 PMU_CTRL 中的 PDDSCFG 位置 1，WUEFLG 位置 0，然后执行 WFI 或 WFE 指令时立即进入待机模式。
唤醒	通过 WKUP 引脚的上升沿，RTC 闹钟、唤醒、入侵事件或 NRST 引脚外部复位及 IWDT 复位唤醒。
待机时	内核停止工作，外设也停止工作，内核寄存器、内存的数据会丢失。
唤醒延时	芯片复位的时间。
唤醒后	程序从头开始执行。

7.4.3.2 运行模式降低功耗

在运行模式，可通过降低系统时钟、关闭或者降低 APB/AHB 总线上的外设时钟降低运行模式功耗。

7.4.3.3 RTC 复用功能从低功耗模式下唤醒

RTC 复用功能包括 RTC 闹钟、RTC 唤醒事件、RTC 入侵事件和 RTC 时间戳事件，这些功能都可将 MCU 从停止模式或待机模式下唤醒，RTC 提供可编程时基，便于定期从停止或待机模式唤醒器件。

7.5 寄存器地址映射

表格 42 PMU 寄存器地址映射

寄存器名	描述	偏移地址
PMU_CTRL	电源控制寄存器	0x00
PMU_CSTS	电源控制/状态寄存器	0x04

7.6 寄存器功能描述

7.6.1 电源控制寄存器（PMU_CTRL）

偏移地址：0x00

复位值：0x0000 0000（从待机模式唤醒时清除）

位/域	名称	R/W	描述
0	LPDSCFG	R/W	低功耗深度睡眠配置（Low Power Deepsleep Configure） 配置在停机模式下调压器的工作状态。 0：开启 1：低功耗模式
1	PDDSCFG	R/W	配置掉电深度睡眠（Pown Down Deep Sleep Configure） 在 CPU 进入深度睡眠下，在待机、停机模式下配置调压器的状态。 0：进入停机模式时，调压器由 LPDSCFG 位控制 1：进入待机模式
2	WUFLGCLR	RC_W1	清除唤醒标志（Wakeup Flag Clear） 0：无效 1：通过写 1 在 2 个系统时钟周期后清除唤醒标志
3	SBFLGCLR	RC_W1	清除待机标志（Standby Flag Clear） 0：无效 1：写 1 清除待机标志
4	PVDEN	R/W	使能电源电压监测器（Power Voltage Detector Enable） 0：禁止 1：使能
7:5	PLSEL	R/W	选择 PVD 电压阈值（PVD Level Select） 000：2.0V 001：2.1V 010：2.3V 011：2.5V 100：2.6V 101：2.7V 110：2.8V 111：2.9V 注：详细说明参见“数据手册”
8	BPWEN	R/W	使能写备份区域（Backup Domain Write Access Enable） 备份区域指 RTC、备份寄存器，复位后禁止写访问，写 1 允许写访问。 0：禁止写 1：使能写
9	FPDSM	R/W	停止模式下 Flash 掉电（Flash power-down in Stop mode） 0：进入停止模式时 Flash 不掉电 1：进入停止模式时 Flash 掉电
13:10	保留		
14	VOSSEL	R/W	选择调压器输出电压级别（Regulator Voltage Scaling Output Selection） 0：级别 2 模式 1：级别 1 模式
31:15	保留		

7.6.2 电源控制/状态寄存器（PMU_CSTS）

偏移地址：0x04

复位值：0x0000 0000（从待机模式唤醒时不被清除）

与标准的 APB 读相比，读此寄存器需要额外的 APB 周期

位/域	名称	R/W	描述
0	WUEFLG	R	唤醒事件产生标志（Wakeup Event Flag） 该位由硬件设置，标志是否在 WKUP 引脚上发生唤醒事件或者 RTC 闹钟唤醒事件、RTC 入侵事件、RTC 时间戳事件或 RTC 唤醒事件。 0：未发生 1：已发生 注：使能 WKUP 引脚，当 WKUP 引脚已经是高电平时，会检测到事件。
1	SBFLG	R	待机标志（Standby Flag） 该位由硬件置 1，只能由 POR/PDR（上电/掉电复位）或设置电源控制寄存器（PMU_CTRL）的 SBFLGCLR 位清除。 0：未进入过待机模式 1：已进入过待机模式
2	PVDOFLG	R	PVD 输出标志位（PVD Output Flag） 表示 V_{DD}/V_{DDA} 是否高于由 PLSEL[2:0]选定的 PVD 阀值 当 PVD 被 PVDEN 位使能后该位才有效。 0：V_{DD}/V_{DDA} 高于 PVD 阀值 1：V_{DD}/V_{DDA} 低于 PVD 阀值 注：复位后或者进入待机模式时（PVD 停止工作），该位为 0。
3	BKPRFLG	R	备份调压器就绪标志（Backup regulator ready Flag） 该位由硬件置 1，表示备份调压器是否就绪。 0：未就绪 1：就绪
7:4	保留		
8	WKUPCFG	R/W	WKUP 引脚配置（WKUP Pin Configure） WKUP 作为普通 I/O 时，WKUP 引脚上的事件不能唤醒处在待机模式下的 CPU；不当做普通 I/O 时，才能唤醒 CPU。 0：配置普通 I/O 1：可唤醒 MCU 注：在系统复位时清除这一位
9	BKPREN	R/W	使能备份调压器（Backup Regulator Enable） 0：禁止 1：使能
13:10	保留		
14	VOSRFLG	R	调压器输出分级电压就绪标志（Regulator Voltage Scaling Output Selection Ready Flag） 0：未就绪 1：就绪
31:15	保留		

8 嵌套向量中断控制器（NVIC）

8.1 术语全称、缩写描述

表格 43 术语全称、缩写描述

中文全称	英文全称	英文缩写
不可屏蔽中断	Non Maskable Interrupt	NMI

8.2 简介

产品中的 Cortex-M4 内核集成了嵌套向量中断控制器（Nested Vectored Interrupt Controller（NVIC）），它和内核紧密耦合，能高效、低延迟处理异常和中断、电源管理控制。更多关于 NVIC 的说明请参考《Cortex-M4 技术参考手册》。

8.3 主要特征

（1） 85 个可屏蔽中断通道（不包括 16 个 Arm® Cortex®-M4 中断线）

（2） 可编程的优先级

- A 版本：8 个优先级（使用 3 位的中断优先级）
- C 版本：16 个优先级（使用 4 位的中断优先级）

（3） 低延时的异常和中断处理

（4） 电源管理控制

（5） 系统控制寄存器的实现

8.4 中断和异常向量表

表格 44 APM32F407 中断和异常向量表

异常类型	向量编号	优先级	向量地址	描述
-	-	-	0x0000_0000	保留
Reset	-	-3	0x0000_0004	复位
NMI	-	-2	0x0000_0008	不可屏蔽中断
HardFault	-	-1	0x0000_000C	各种硬件故障
MemManage	-	可设置	0x0000_0010	存储器管理
BusFault	-	可设置	0x0000_0014	-
UsageFault	-	可设置	0x0000_0018	-

异常类型	向量编号	优先级	向量地址	描述
-	-	-	0x0000_001C-0x0000_002B	保留
SVCall	-	可设置	0x0000_002C	SWI 指令实现系统服务调用
Debug Monitor	-	可设置	0x0000_0030	调试监控器
-	-	-	0x0000_0034	保留
PendSV	-	可设置	0x0000_0038	可挂起系统服务请求
SysTick	-	可设置	0x0000_003C	系统节拍定时器
WWDT	0	可设置	0x0000_0040	窗口看门狗中断
PVD	1	可设置	0x0000_0044	电源电压通过 EINT 线检测中断
TAMP_STAMP	2	可设置	0x0000_0048	侵入和时间戳通过 EINT 线中断
RTC_WKUP	3	可设置	0x0000_004C	RTC 通过 EINT 线唤醒中断
FLASH	4	可设置	0x0000_0050	闪存全局中断
RCM	5	可设置	0x0000_0054	RCM 中断
EINT0	6	可设置	0x0000_0058	EINT 线 0 中断
EINT1	7	可设置	0x0000_005C	EINT 线 1 中断
EINT2	8	可设置	0x0000_0060	EINT 线 2 中断
EINT3	9	可设置	0x0000_0064	EINT 线 3 中断
EINT4	10	可设置	0x0000_0068	EINT 线 4 中断
DMA1_STR0	11	可设置	0x0000_006C	DMA1 数据流 0 全局中断
DMA1_STR1	12	可设置	0x0000_0070	DMA1 数据流 1 全局中断
DMA1_STR2	13	可设置	0x0000_0074	DMA1 数据流 2 全局中断
DMA1_STR3	14	可设置	0x0000_0078	DMA1 数据流 3 全局中断
DMA1_STR4	15	可设置	0x0000_007C	DMA1 数据流 4 全局中断
DMA1_STR5	16	可设置	0x0000_0080	DMA1 数据流 5 全局中断
DMA1_STR6	17	可设置	0x0000_0084	DMA1 数据流 6 全局中断
ADC	18	可设置	0x0000_0088	ADC1 和 ADC2 全局中断
CAN1_TX	19	可设置	0x0000_008C	CAN1 发送中断
CAN1_RX0	20	可设置	0x0000_0090	CAN1 接收 0 中断
CAN1_RX1	21	可设置	0x0000_0094	CAN1 接收 1 中断
CAN1_SCE	22	可设置	0x0000_0098	CAN1 SCE 中断
EINT9_5	23	可设置	0x0000_009C	EINT 线[9:5]中断
TMR1_BRK_TMR9	24	可设置	0x0000_00A0	TMR1 刹车中断/TMR9 全局中断
TMR1_UP_TMR10	25	可设置	0x0000_00A4	TMR1 更新中断/TMR10 全局中断

异常类型	向量编号	优先级	向量地址	描述
TMR1_TRG_COM_TMR11	26	可设置	0x0000_00A8	TMR1 触发和通信中断/TMR11 全局中断
TMR1_CC	27	可设置	0x0000_00AC	TMR1 捕获比较中断
TMR2	28	可设置	0x0000_00B0	TMR2 中断
TMR3	29	可设置	0x0000_00B4	TMR3 中断
TMR4	30	可设置	0x0000_00B8	TMR4 中断
I2C1_EV	31	可设置	0x0000_00BC	I2C1 事件中断
I2C1_ER	32	可设置	0x0000_00C0	I2C1 错误中断
I2C2_EV	33	可设置	0x0000_00C4	I2C2 事件中断
I2C2_ER	34	可设置	0x0000_00C8	I2C2 错误中断
SPI1	35	可设置	0x0000_00CC	SPI1 中断
SPI2	36	可设置	0x0000_00D0	SPI2 中断
USART1	37	可设置	0x0000_00D4	USART1 中断
USART2	38	可设置	0x0000_00D8	USART2 中断
USART3	39	可设置	0x0000_00DC	USART3 中断
EINT15_10	40	可设置	0x0000_00E0	EINT 线[15:10]中断
RTC_Alarm	41	可设置	0x0000_00E4	RTC 闹钟中断
OTG_FS WKUP	42	可设置	0x0000_00E8	OTG_FS 通过 EINT 线唤醒中断
TMR8_BRK_TMR12	43	可设置	0x0000_00EC	TMR8 刹车中断/TMR12 全局中断
TMR8_UP_TMR13	44	可设置	0x0000_00F0	TMR8 更新中断/TMR13 全局中断
TMR8_TRG_COM_TMR14	45	可设置	0x0000_00F4	TMR8 触发和通信中断/TMR14 全局中断
TMR8_CC	46	可设置	0x0000_00F8	TMR8 捕获比较中断
DMA1_STR7	47	可设置	0x0000_00FC	DMA1 数据流 7 全局中断
EMMC	48	可设置	0x0000_0100	EMMC 中断
SDIO	49	可设置	0x0000_0104	SDIO 中断
TMR5	50	可设置	0x0000_0108	TMR5 中断
SPI3	51	可设置	0x0000_010C	SPI3 中断
UART4	52	可设置	0x0000_0110	UART4 中断
UART5	53	可设置	0x0000_0114	UART5 中断
TMR6_DAC	54	可设置	0x0000_0118	TMR6 中断/DAC1 和 DAC2 欠载运行错误中断
TMR7	55	可设置	0x0000_011C	TMR7 中断
DMA2_STR0	56	可设置	0x0000_0120	DMA2 数据流 0 中断

异常类型	向量编号	优先级	向量地址	描述
DMA2_STR1	57	可设置	0x0000_0124	DMA2 数据流 1 中断
DMA2_STR2	58	可设置	0x0000_0128	DMA2 数据流 2 中断
DMA2_STR3	59	可设置	0x0000_012C	DMA2 数据流 3 中断
DMA2_STR4	60	可设置	0x0000_0130	DMA2 数据流 4 中断
ETH	61	可设置	0x0000_0134	以太网全局中断
ETH_WKUP	62	可设置	0x0000_0138	以太网通过 EINT 线唤醒中断
CAN2_TX	63	可设置	0x0000_013C	CAN2 发送中断
CAN2_RX0	64	可设置	0x0000_0140	CAN2 接收 0 中断
CAN2_RX1	65	可设置	0x0000_0144	CAN2 接收 1 中断
CAN2_SCE	66	可设置	0x0000_0148	CAN2 SCE 中断
OTG_FS	67	可设置	0x0000_014C	OTG_FS 全局中断
DMA2_STR5	68	可设置	0x0000_0150	DMA2 数据流 5 中断
DMA2_STR6	69	可设置	0x0000_0154	DMA2 数据流 6 中断
DMA2_STR7	70	可设置	0x0000_0158	DMA2 数据流 7 中断
USART6	71	可设置	0x0000_015C	USART6 全局中断
I2C3_EV	72	可设置	0x0000_0160	I2C3 事件中断
I2C3_ER	73	可设置	0x0000_0164	I2C3 错误中断
OTG_HS1_EP1_OUT	74	可设置	0x0000_0168	OTG_HS1 端点 1 输出中断
OTG_HS1_EP1_IN	75	可设置	0x0000_016C	OTG_HS1 端点 1 输入中断
OTG_HS1_WKUP	76	可设置	0x0000_0170	OTG_HS1 通过 EINT 线唤醒中断
OTG_HS1	77	可设置	0x0000_0174	OTG_HS1 全局中断
DCI	78	可设置	0x0000_0178	DCI 全局中断
-	79	-	0x0000_017C	保留
RNG	80	可设置	0x0000_0180	RNG 全局中断
FPU	81	可设置	0x0000_0184	FPU 全局中断
SM3	82	可设置	0x0000_0188	SM3 全局中断
SM4	83	可设置	0x0000_018C	SM4 全局中断
BN	84	可设置	0x0000_0190	BN 全局中断

表格 45 APM32F417xExG 中断和异常向量表

异常类型	向量编号	优先级	向量地址	描述
-	-	-	0x0000_0000	保留
Reset	-	-3	0x0000_0004	复位

异常类型	向量编号	优先级	向量地址	描述
NMI	-	-2	0x0000_0008	不可屏蔽中断
HardFault	-	-1	0x0000_000C	各种硬件故障
MemManage	-	可设置	0x0000_0010	存储器管理
BusFault	-	可设置	0x0000_0014	-
UsageFault	-	可设置	0x0000_0018	-
-	-	-	0x0000_001C- 0x0000_002B	保留
SVCall	-	可设置	0x0000_002C	SWI 指令实现系统服务调用
Debug Monitor	-	可设置	0x0000_0030	调试监控器
-	-	-	0x0000_0034	保留
PendSV	-	可设置	0x0000_0038	可挂起系统服务请求
SysTick	-	可设置	0x0000_003C	系统节拍定时器
WWDT	0	可设置	0x0000_0040	窗口看门狗中断
PVD	1	可设置	0x0000_0044	电源电压通过 EINT 线检测中断
TAMP_STAMP	2	可设置	0x0000_0048	侵入和时间戳通过 EINT 线中断
RTC_WKUP	3	可设置	0x0000_004C	RTC 通过 EINT 线唤醒中断
FLASH	4	可设置	0x0000_0050	闪存全局中断
RCM	5	可设置	0x0000_0054	RCM 中断
EINT0	6	可设置	0x0000_0058	EINT 线 0 中断
EINT1	7	可设置	0x0000_005C	EINT 线 1 中断
EINT2	8	可设置	0x0000_0060	EINT 线 2 中断
EINT3	9	可设置	0x0000_0064	EINT 线 3 中断
EINT4	10	可设置	0x0000_0068	EINT 线 4 中断
DMA1_STR0	11	可设置	0x0000_006C	DMA1 数据流 0 全局中断
DMA1_STR1	12	可设置	0x0000_0070	DMA1 数据流 1 全局中断
DMA1_STR2	13	可设置	0x0000_0074	DMA1 数据流 2 全局中断
DMA1_STR3	14	可设置	0x0000_0078	DMA1 数据流 3 全局中断
DMA1_STR4	15	可设置	0x0000_007C	DMA1 数据流 4 全局中断
DMA1_STR5	16	可设置	0x0000_0080	DMA1 数据流 5 全局中断
DMA1_STR6	17	可设置	0x0000_0084	DMA1 数据流 6 全局中断
ADC	18	可设置	0x0000_0088	ADC1 和 ADC2 全局中断
CAN1_TX	19	可设置	0x0000_008C	CAN1 发送中断
CAN1_RX0	20	可设置	0x0000_0090	CAN1 接收 0 中断

异常类型	向量编号	优先级	向量地址	描述
CAN1_RX1	21	可设置	0x0000_0094	CAN1 接收 1 中断
CAN1_SCE	22	可设置	0x0000_0098	CAN1 SCE 中断
EINT9_5	23	可设置	0x0000_009C	EINT 线[9:5]中断
TMR1_BRK_TMR9	24	可设置	0x0000_00A0	TMR1 刹车中断/TMR9 全局中断
TMR1_UP_TMR10	25	可设置	0x0000_00A4	TMR1 更新中断/TMR10 全局中断
TMR1_TRG_COM_TMR11	26	可设置	0x0000_00A8	TMR1 触发和通信中断/TMR11 全局中断
TMR1_CC	27	可设置	0x0000_00AC	TMR1 捕获比较中断
TMR2	28	可设置	0x0000_00B0	TMR2 中断
TMR3	29	可设置	0x0000_00B4	TMR3 中断
TMR4	30	可设置	0x0000_00B8	TMR4 中断
I2C1_EV	31	可设置	0x0000_00BC	I2C1 事件中断
I2C1_ER	32	可设置	0x0000_00C0	I2C1 错误中断
I2C2_EV	33	可设置	0x0000_00C4	I2C2 事件中断
I2C2_ER	34	可设置	0x0000_00C8	I2C2 错误中断
SPI1	35	可设置	0x0000_00CC	SPI1 中断
SPI2	36	可设置	0x0000_00D0	SPI2 中断
USART1	37	可设置	0x0000_00D4	USART1 中断
USART2	38	可设置	0x0000_00D8	USART2 中断
USART3	39	可设置	0x0000_00DC	USART3 中断
EINT15_10	40	可设置	0x0000_00E0	EINT 线[15:10]中断
RTC_Alarm	41	可设置	0x0000_00E4	RTC 闹钟中断
OTG_FS WKUP	42	可设置	0x0000_00E8	OTG_FS 通过 EINT 线唤醒中断
TMR8_BRK_TMR12	43	可设置	0x0000_00EC	TMR8 刹车中断/TMR12 全局中断
TMR8_UP_TMR13	44	可设置	0x0000_00F0	TMR8 更新中断/TMR13 全局中断
TMR8_TRG_COM_TMR14	45	可设置	0x0000_00F4	TMR8 触发和通信中断/TMR14 全局中断
TMR8_CC	46	可设置	0x0000_00F8	TMR8 捕获比较中断
DMA1_STR7	47	可设置	0x0000_00FC	DMA1 数据流 7 全局中断
EMMC	48	可设置	0x0000_0100	EMMC 中断
SDIO	49	可设置	0x0000_0104	SDIO 中断
TMR5	50	可设置	0x0000_0108	TMR5 中断
SPI3	51	可设置	0x0000_010C	SPI3 中断

异常类型	向量编号	优先级	向量地址	描述
UART4	52	可设置	0x0000_0110	UART4 中断
UART5	53	可设置	0x0000_0114	UART5 中断
TMR6_DAC	54	可设置	0x0000_0118	TMR6 中断/DAC1 和 DAC2 欠载运行错误中断
TMR7	55	可设置	0x0000_011C	TMR7 中断
DMA2_STR0	56	可设置	0x0000_0120	DMA2 数据流 0 中断
DMA2_STR1	57	可设置	0x0000_0124	DMA2 数据流 1 中断
DMA2_STR2	58	可设置	0x0000_0128	DMA2 数据流 2 中断
DMA2_STR3	59	可设置	0x0000_012C	DMA2 数据流 3 中断
DMA2_STR4	60	可设置	0x0000_0130	DMA2 数据流 4 中断
ETH	61	可设置	0x0000_0134	以太网全局中断
ETH_WKUP	62	可设置	0x0000_0138	以太网通过 EINT 线唤醒中断
CAN2_TX	63	可设置	0x0000_013C	CAN2 发送中断
CAN2_RX0	64	可设置	0x0000_0140	CAN2 接收 0 中断
CAN2_RX1	65	可设置	0x0000_0144	CAN2 接收 1 中断
CAN2_SCE	66	可设置	0x0000_0148	CAN2 SCE 中断
OTG_FS	67	可设置	0x0000_014C	OTG_FS 全局中断
DMA2_STR5	68	可设置	0x0000_0150	DMA2 数据流 5 中断
DMA2_STR6	69	可设置	0x0000_0154	DMA2 数据流 6 中断
DMA2_STR7	70	可设置	0x0000_0158	DMA2 数据流 7 中断
USART6	71	可设置	0x0000_015C	USART6 全局中断
I2C3_EV	72	可设置	0x0000_0160	I2C3 事件中断
I2C3_ER	73	可设置	0x0000_0164	I2C3 错误中断
OTG_HS1_EP1_OUT	74	可设置	0x0000_0168	OTG_HS1 端点 1 输出中断
OTG_HS1_EP1_IN	75	可设置	0x0000_016C	OTG_HS1 端点 1 输入中断
OTG_HS1_WKUP	76	可设置	0x0000_0170	OTG_HS1 通过 EINT 线唤醒中断
OTG_HS1	77	可设置	0x0000_0174	OTG_HS1 全局中断
DCI	78	可设置	0x0000_0178	DCI 全局中断
CRYP	79	可设置	0x0000_017C	CRYP 加密全局中断
HASH_RNG	80	可设置	0x0000_0180	哈希和 RNG 全局中断
FPU	81	可设置	0x0000_0184	FPU 全局中断
SM3	82	可设置	0x0000_0188	SM3 全局中断
SM4	83	可设置	0x0000_018C	SM4 全局中断

异常类型	向量编号	优先级	向量地址	描述
BN	84	可设置	0x0000_0190	BN 全局中断

9 外部中断/事件控制器（EINT）

9.1 简介

中断/事件分为内部中断/事件、外部中断/事件。在该手册中，外中断指从 I/O 引脚输入信号引起的中断/事件，在中断向量表中指 EINTx；其它中断指内部中断/事件。

事件可分为硬件事件、软件事件。硬件事件是通过外部/内核硬件信号产生事件，软件事件是通过指令产生事件。

中断需经过中断处理函数实现需要处理的工作；事件不需要经过中断处理函数，可硬件触发可触发预先设置的工作。外部事件例如可通过通过事件是 GPIO 输出脉冲，内部事件例如通过一个 TMR 的更新事件触发另一个 TMR 工作。

9.2 主要特征

（1） 支持 23 个事件/中断请求

（2） 每个事件/中断线都可独立屏蔽

（3） 每个外部事件/中断线都可独立触发

（4） 每个外部中断线都有专用的状态位

（5） 检测脉冲宽度低于 APB2 时钟宽度的外部信号

9.3 功能描述

9.3.1 “外部中断与事件”类别及差异点

“外部中断与事件”按照触发源、配置及执行过程，可分为：外部硬件中断、外部硬件事件、外部软件事件、外部软件中断，差异点见下表：

表格 46“外部中断与事件”分类及差异点

名称	触发源	配置及执行过程
外部硬件中断	外部信号	（1）设置触发方式，允许中断请求，使能对应外设中断线（在 NVIC 中使能）； （2）当外部中断线上产生了和配置一致的边沿时，产生中断请求，对应的挂起位被置 1，在挂起寄存器对应位写 1，将清除该中断请求。
外部硬件事件	外部信号	（1）设置触发方式，使能事件线； （2）当外部事件线上产生了和配置一致的边沿时，产生 1 个事件请求脉冲，对应的挂起位不被置 1。

名称	触发源	配置及执行过程
外部软件事件	软件中断寄存器/发送事件(SEV)指令	（1）使能事件线； （2）对应事件线的软件中断事件寄存器写 1，产生 1 个事件请求脉冲，对应的挂起位不被置 1。
外部软件中断	软件中断寄存器	（1）允许中断请求，使能对应外设中断线（在 NVIC 中使能）； （2）对应中断线的软件中断事件寄存器写 1，产生中断请求，对应的挂起位被置 1，在挂起寄存器对应位写 1，将清除该中断请求。

9.3.2 内核唤醒

使用 WFI、WFE 指令都可以使内核停止工作。使用 WFI 指令，任一中断可唤醒内核；使用 WFE 指令，需通过事件唤醒。

使用中断唤醒，会触发中断处理函数，正常的中断配置即可唤醒内核。使用事件唤醒内核不触发中断处理函数，会减少唤醒时间，配置方法是：

（1） 触发内部中断（内部硬件事件）但不触发中断处理函数唤醒
- 使能外设中的一个内部中断，但不使能 NVIC 中对应的中断，避免触发中断处理函数
- 在内核的系统控制器中使能 SEVONPEND 位，执行 WFE 指令使内核进入睡眠
- 产生中断唤醒内核，当内核从 WFE 恢复后，需要清除相应外设的中断挂起位和外设 NVIC 中断通道挂起位（在 NVIC 中断清除挂起寄存器中）

（2） 通过 EINT 线事件（外部硬件事件）唤醒
- 配置 EINT 线为事件模式
- 执行 WFE 指令使内核进入睡眠
- 产生中断唤醒内核，CPU 从 WFE 恢复后，因为对应事件线的挂起位没有被置位，不必清除相应外设的中断挂起位或 NVIC 中断通道挂起位

9.3.2.1 事件唤醒

触发内部中断（内部硬件事件）但不触发中断处理函数唤醒

（1） 使能外设中的一个内部中断，但不使能 NVIC 中对应的中断，避免触发中断处理函数；
（2） 在内核的系统控制器中使能 SEVONPEND 位，执行 WFE 指令使内核进入睡眠；
（3） 产生中断唤醒内核，当内核从 WFE 恢复后，需要清除相应外设的中断挂起位和外设 NVIC 中断通道挂起位（在 NVIC 中断清除挂起寄存器中）。

通过 EINT 线事件（外部硬件事件）唤醒

（1） 配置 EINT 线为事件模式；
（2） 执行 WFE 指令使内核进入睡眠；

（3） 产生中断唤醒内核，CPU 从 WFE 恢复后，因为对应事件线的挂起位没有被置位，不必清除相应外设的中断挂起位或 NVIC 中断通道挂起位。

9.3.3 外部中断与事件线映射

表格 47 外部中断与事件线映射

外部中断与事件通道名称	外部中断与事件线编号
PA0/PB0/PC0/PE0/PF0/PG0/PH0/PI0	EINT 0
PA1/PB1/PC1/PE1/PF1/PG1/PH1/PI1	EINT 1
…	…
PA15/PB15/PC15/PE15/PF15/PG15/PH15	EINT 15
PVD 输出	EINT 16
RTC Alarm 事件	EINT 17
OTG_FS 唤醒事件	EINT 18
以太网唤醒事件	EINT 19
OTG_HS1 唤醒事件	EINT 20
RTC 侵入和时间戳事件	EINT 21
RTC 唤醒事件	EINT 22
保留	EINT 23
保留	EINT 24
保留	EINT 25
保留	EINT 26
保留	EINT 27
保留	EINT 28
保留	EINT 29
保留	EINT 30
保留	EINT 31

9.4 寄存器地址映射

表格 48 EINT 寄存器地址映射

寄存器名	描述	偏移地址
EINT_IMASK	中断屏蔽寄存器	0x00
EINT_EMASK	事件屏蔽寄存器	0x04
EINT_RTEN	使能上升沿触发寄存器	0x08
EINT_FTEN	使能下降沿触发寄存器	0x0C
EINT_SWINTE	软件中断事件寄存器	0x10

寄存器名	描述	偏移地址
EINT_IPEND	中断挂起寄存器	0x14

9.5 寄存器功能描述

9.5.1 中断屏蔽寄存器（EINT_IMASK）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
22:0	IMASKx	R/W	屏蔽线 x 上的中断请求（Interrupt Request Mask on Line x）（x=0~22） 0：屏蔽 1：开放
31:23	保留		

9.5.2 事件屏蔽寄存器（EINT_EMASK）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
22:0	EMASKx	R/W	屏蔽线 x 上的事件请求（Event Request Mask on Line x）（x=0~22） 0：屏蔽 1：开放
31:23	保留		

9.5.3 使能上升沿触发寄存器（EINT_RTEN）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
22:0	RTENx	R/W	使能线 x 上的上升沿触发事件和中断（Rising Trigger Event and Interrupt Enable of Line x）（x=0~22） 0：禁止 1：使能
31:23	保留		

注意：由于外部唤醒线是边沿触发，所以这些线上不能有毛刺信号；在写 EINT_RTEN 寄存器时，若上升沿信号在外部中断线上则不能被识别，置位挂起位也不会置位；在同一中断线上，上升沿触发和下降沿触发可以同时被设置。

9.5.4 使能下降沿触发寄存器（EINT_FTEN）

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
22:0	FTENx	R/W	使能线 x 上的下降沿触发事件和中断（Falling Trigger Event and Interrupt Enable of Line x）（x=0~22） 0：禁止 1：使能

位/域	名称	R/W	描述
31:23	保留		

注意：由于外部唤醒线是边沿触发，所以这些线上不能有毛刺信号；在写 EINT_FTEN 寄存器时，若上升沿信号在外部中断线上则不能被识别，置位挂起位也不会置位；在同一中断线上，上升沿触发和下降沿触发可以同时被设置。

9.5.5 软件中断事件寄存器（EINT_SWINTE）

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
22:0	SWINTEx	R/W	线 x 上的软件中断（Software Interrupt Event on Line x）（x=0~22） 软件置 1，对 EINT_IPEND 的对应位写入 1 清 0。 当该位为 0 时，写 1 将置位 EINT_IPEND 的挂起位。若置位 EINT_IMASK（EINT_EMASK）开放中断（事件）请求，则此时将产生一个中断（事件）。 0：无作用 1：软件产生中断（事件）
31:23	保留		

9.5.6 中断挂起寄存器（EINT_IPEND）

偏移地址：0x14

复位值：0xXXXX XXXX

位/域	名称	R/W	描述
22:0	IPENDx	RC_W1	发生线 x 上的中断挂起标志（Interrupt Pending Occur of Line x Flag）（x=0~22） 当在外部中断线上发生了 EINT_RTEN/EINT_FTEN 对应的边沿触发请求时，由硬件置 1；可通过改变边沿检测的极性清 0，或通过向该位写入 1 清 0。
31:23	保留		

10 直接存储访问（DMA）

10.1 简介

DMA（Direct Memory Access：直接存储器存取）在无须 CPU 干预的情况下，可实现外设与存储器或存储器与存储器之间数据的高速传输，从而节省 CPU 资源来做其他操作。

产品一共有两个 DMA 控制器，共 16 个数据流。每个数据流对应 8 个通道，但每个数据流同一时刻只能使用 1 个通道。每个数据流可设置优先级，仲裁器可根据数据流的优先级协调各个数据流对应的 DMA 请求的优先级。

10.2 主要特征

（1） 两个 DMA，每个 DMA 有 8 个数据流，每个数据流有 8 个通道

（2） 双 AHB 主接口，一个为存储器接口，一个为外设接口

（3） 数据传输有三种：外设到存储器、存储器到外设、存储器到存储器

（4） 每个数据流都有连接专门的硬件 DMA 请求

（5） 多个请求同时发生时支持软件优先级和硬件优先级

（6） 每个数据流都有 5 个事件标志和独立中断

（7） 支持循环传输模式

（8） 数据传输数目可编程，最大到 65535

（9） 可配置源和目标的传输宽度为字节、半字或字

（10） 支持源和目标增量模式

（11） 可配置突发增量大小为单次、4 个、8 个或 16 个节拍

10.3 功能描述

10.3.1 DMA 请求

若外设或存储器需要使用 DMA 传输数据，就必须先发送 DMA 请求，等待 DMA 同意之后才开始数据传输。

两个 DMA 一共有 16 个数据流，每个数据流都连接着不同的外设通道，每个数据流都有 5 个事件标志（DMA 半传输、DMA 传输完成、DMA 传输出错、DMA FIFO 错误、直接模式错误），5 个事件标志的逻辑或成为一个单独的中断请求，且都支持软件触发。

多个外设请求同一个数据流时，需要配置对应寄存器，开启或关闭每个外设的请求，以保证一个数据流仅能开启一个外设请求。

表格 49 DMA1 请求映射表

外设请求	数据流 0	数据流 1	数据流 2	数据流 3	数据流 4	数据流 5	数据流 6	数据流 7
通道 0	SPI3_RX	-	SPI3_RX	SPI2_RX	SPI2_TX	SPI3_TX	-	SPI3_TX
通道 1	I2C1_RX	-	TMR7_UP	-	TMR7_UP	I2C1_RX	I2C1_TX	I2C1_TX
通道 2	TMR4_CH1	-	I2S3_EXT_RX	TMR4_CH2	I2S2_EXT_TX	I2S3_EXT_TX	TMR4_UP	TMR4_CH3
通道 3	I2S3_EXT_RX	TMR2_UP TMR2_CH3	I2C3_RX	I2S2_EXT_RX	I2C3_TX	TMR2_CH1	TMR2_CH2 TMR2_CH4	TMR2_UP TMR2_CH4
通道 4	UART5_RX	USART3_RX	UART4_RX	USART3_TX	UART4_TX	USART2_RX	USART2_TX	UART5_TX
通道 5	-	-	TMR3_CH4 TMR3_UP	-	TMR3_CH1 TMR3_TRIG	TMR3_CH2	-	TMR3_CH3
通道 6	TMR5_CH3 TMR5_UP	TMR5_CH4 TMR5_TRIG	TMR5_CH1	TMR5_CH4 TMR5_TRIG	TMR5_CH2	-	TMR5_UP	-
通道 7	-	TMR6_UP	I2C2_RX	I2C2_RX	USART3_TX	DAC1	DAC2	I2C2_TX

表格 50 DMA2 请求映射表

外设请求	数据流 0	数据流 1	数据流 2	数据流 3	数据流 4	数据流 5	数据流 6	数据流 7
通道 0	ADC1	-	TMR8_CH1 TMR8_CH2 TMR8_CH3	-	ADC1	-	TMR1_CH1 TMR1_CH2 TMR1_CH3	-
通道 1	-	DCI	ADC2	ADC2	-	-	-	DCI
通道 2	ADC3	ADC3	-	-	-	CRYP_OUT	CRYP_IN	HASH_IN
通道 3	SPI1_RX	-	SPI1_RX	SPI1_TX	-	SPI1_TX	-	-
通道 4	-	-	USART1_RX	SDIO	-	USART1_RX	SDIO	USART1_TX
通道 5	-	USART6_RX	USART6_RX	-	-	-	USART6_TX	USART6_TX
通道 6	TMR1_TRIG	TMR1_CH1	TMR1_CH2	TMR1_CH1	TMR1_CH4 TMR1_TRIG TMR1_COM	TMR1_UP	TMR1_CH3	-
通道 7	-	TMR8_UP	TMR8_CH1	TMR8_CH2	TMR8_CH3	-	-	TMR8_CH4 TMR8_TRIG TMR8_COM

10.3.2 仲裁器

发生多个 DMA 通道请求时，需要用到仲裁器来管理先后响应的顺序。管理分两个阶段：第一阶段软件阶段分为最高、高、中等和低四个优先级；第二阶段硬件阶段，在软件优先级相同的情况下，数据流编号越低优先级越高。

10.3.3 FIFO

FIFO 用来在源数据传输到目标地址之前临时存放数据，每个数据流都有 1 个独立的 4 字 FIFO，可通过软件来控制 FIFO 阈值为 1/4、1/2、3/4 或满。

DMA 传输模式有两种，第一种为直接模式，在每个外设请求后都立即启动对存储器的单次传输，若 DMA 配置为存储器到外设传输数据，DMA 会将一个数据存放在 FIFO 内，一旦外设触发 DMA 请求，就将数据发送过去。直接模式需要将源和目标地址的数据宽度配置相同，不支持突发模式，不支持存储器到存储器的传输方式；第二种为 FIFO 模式，先配置 FIFO 阈值，当数据存储量达到阈值时，将 FIFO 内容传输到目标，FIFO 模式适用于在源地址和目标地址数据宽度不同时使用，支持突发模式，FIFO 可将数据先存放起来，然后根据需求输出数据。

10.3.4 端口

DMA 控制器通过存储器端口和外设端口与存储器和外设进行数据传输，DMA2 的存储器端口和外设端口都连接在 AHB 矩阵总线上，DMA2 存储器和外设可以访问内部 Flash，内部 SRAM，AHB1 外设、APB1 外设、APB2 外设、AHB2 外设和外部存储器；DMA1 的存储器端口比 DMA2 减少了 AHB2 外设的访问权，DMA1 的外设端口只连接到 APB1 外设，所以 DMA1 不能实现存储器到存储器的传输。

10.3.5 DMA 初始化参数配置

10.3.5.1 传输模式

DMA2 支持外设到存储器、存储器到外设和存储器到存储器三种传输模式，DMA1 支持外设到存储器和存储器到外设两种传输模式。

传输模式可通过 DMA_SCFG 寄存器的 DIRCFG 位控制。

10.3.5.2 递增模式

通过 DMA_SCFG 寄存器的 PERIM 和 MEMIM 位控制外设和存储器的递增模式，当两个位都置 1 时，配置为递增模式，增量为 DMA_SCFG 寄存器 PERSIZECFG 和 MENSIZECFG 位的值，PERSIZECFG 和 MENSIZECFG 位用来设置外设和存储器的数据大小为字节、半字和字。

10.3.5.3 单次传输和突发模式

突发传输是指在传输阶段增大每次传输的数据量以此来提高传输速度的高速传输，突发传输过程中要占用 AHB 总线。

单次和突发传输可通过 DMA_SCFG 寄存器的 PBCFG 和 MBCFG 位来控制，可配置为单次传输、4 个节拍的增量突发传输、8 个节拍的增量突发传输、16 个节

拍的增量突发传输。该增量由 PERSIZECFG 和 MENSIZECFG 位的值决定。仅在支持递增模式的前提下才能使能突发模式。

突发模式需结合 FIFO 使用，FIFO 阈值选择必须适合存储器的突发大小，具体如下表所示。

表格 51 FIFO 阈值配置

<table>
<tr><th>MENSIZECFG</th><th>FIFO 阈值</th><th>MBCFG=01</th><th>MBCFG=10</th><th>MBCFG=11</th></tr>
<tr><td rowspan="4">字节</td><td>1/4</td><td>4 个节拍的 1 次突发</td><td>禁止</td><td rowspan="3">禁止</td></tr>
<tr><td>1/2</td><td>4 个节拍的 2 次突发</td><td>8 个节拍的 1 次突发</td></tr>
<tr><td>3/4</td><td>4 个节拍的 3 次突发</td><td>禁止</td></tr>
<tr><td>满</td><td>4 个节拍的 4 次突发</td><td>8 个节拍的 2 次突发</td><td>16 个节拍的 1 次突发</td></tr>
<tr><td rowspan="4">半字</td><td>1/4</td><td>禁止</td><td rowspan="3">禁止</td><td rowspan="8">禁止</td></tr>
<tr><td>1/2</td><td>4 个节拍的 1 次突发</td></tr>
<tr><td>3/4</td><td>禁止</td></tr>
<tr><td>满</td><td>4 个节拍的 2 次突发</td><td>8 个节拍的 1 次突发</td></tr>
<tr><td rowspan="4">字</td><td>1/4</td><td rowspan="3">禁止</td><td rowspan="4">禁止</td></tr>
<tr><td>1/2</td></tr>
<tr><td>3/4</td></tr>
<tr><td>满</td><td>4 个节拍的 1 次突发</td></tr>
</table>

10.3.5.4 循环模式

循环模式用来处理循环缓冲区和连续的数据流，循环模式会在传输结束后将数据项数目自动的配置为初始值，继续进行数据的传输。

循环模式可通过 DMA_SCFG 寄存器的 CIRCMEN 位控制。

10.3.5.5 双缓冲区模式

设置 DMA_SCFG 寄存器的 DBM 置 1 可开启双缓冲区模式，并自动激活循环模式，在双缓冲区模式下，DMA_M1ADDR 寄存器被激活，当传输完 DMA_M0ADDR 寄存器地址指针所对应的存储区后，将切换至 DMA_M1ADDR 寄存器地址指针所对应的存储区继续传输，一直循环调用，当 DMA 在访问 DMA_M1ADDR 时，DMA_SCFG 寄存器的 CTARG 位置 1，同时可向 DMA_M0ADDR 寄存器写或读数据。

该模式不支持存储器到存储器传输。

10.3.5.6 流控制器

流控制器可通过 DMA_SCFG 寄存器的 PERFC 位配置为 DMA 或外设。

DMA 作为流控制器时，在使能数据流前配置 DMA_NDATA 寄存器，设置要传输的数据项数目。

外设作为流控制器时，传输数据项数目未知，硬件强制将 DMA_NDATA 寄存器的值置为 0xFFFF 执行，完成传输后，外设通过硬件向 DMA 发出指令，然后读取寄存器的值。传输的数据数目=0xFFFF-DMA_NDATA。

在外设作为流控制器时禁止循环模式，选择存储器到存储器模式时，PERFC 位由硬件强制清零，只能选择 DMA 作为流控制器。

10.3.6 中断

每个数据流都有 5 种类型的中断事件，分别是半传输、传输完成、传输错误、FIFO 错误和直接模式错误。

表格 52DMA 中断请求

中断事件	事件标志位	使能中断位
半传输	HTXIFLGx	HTXIEN
传输完成	TXCIFLGx	TXCIEN
传输错误	TXEIFLGx	TXEIEN
FIFO 错误	FEIFLGx	FEIEN
直接模式错误	DMEIFLGx	DMEIEN

10.4 DMA 寄存器地址映射

表格 53 DMA 寄存器地址映射

寄存器名	描述	偏移地址
DMA_LINTSTS	DMA 低中断状态寄存器	0x00
DMA_HINTSTS	DMA 高中断状态寄存器	0x04
DMA_LIFCLR	DMA 低中断标志清零寄存器	0x08
DMA_HIFCLR	DMA 高中断标志清零寄存器	0x0C
DMA_SCFG	DMA 数据流 x 配置寄存器	0x10+0x18×（数据流编号）
DMA_NDATA	DMA 数据流 x 数据项数寄存器	0x14+0x18×（数据流编号）
DMA_PADDR	DMA 数据流 x 外设地址寄存器	0x18+0x18×（数据流编号）
DMA_M0ADDR	DMA 数据流 x 存储器 0 地址寄存器	0x1C+0x18×（数据流编号）
DMA_M1ADDR	DMA 数据流 x 存储器 1 地址寄存器	0x20+0x18×（数据流编号）
DMA_FCTRL	DMA 数据流 xFIFO 控制寄存器	0x24+0x18×（数据流编号）

10.5 寄存器功能描述

10.5.1 DMA 低中断状态寄存器（DMA_LINTSTS）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
22、16、6、0	FEIFLGx	R	数据流 xFIFO 错误中断标志（x=0…3）（Stream x FIFO Error Interrupt Flag） 这些位由硬件置 1，软件在 DMA_LIFCLR 寄存器的相应位上写 1 清 0。 0：无 FIFO 错误事件 1：产生 FIFO 错误事件
23、17、7、1	保留		
24、18、8、2	DMEIFLGx	R	数据流 x 直接模式错误中断标志（x=0…3）（(Stream x Direct Mode Error Interrupt Flag) 这些位由硬件置 1，软件在 DMA_LIFCLR 寄存器的相应位上写 1 清 0。 0：无直接模式错误 1：产生直接模式错误
25、19、9、3	TXEIFLGx	R	数据流 x 传输错误中断标志（x=0…3）（Stream x Transfer Error Interrupt Flag） 这些位由硬件置 1，软件在 DMA_LIFCLR 寄存器的相应位上写 1 清 0。 0：无传输错误 1：产生传输错误
26、20、10、4	HTXIFLGx	R	数据流 x 半传输中断标志（x=0…3）（Stream x Half Transfer Interrupt Flag） 这些位由硬件置 1，软件在 DMA_LIFCLR 寄存器的相应位上写 1 清 0。 0：无半传输事件 1：产生半传输事件
27、21、11、5	TXCIFLGx	R	数据流 x 传输完成标志（x=0…3）（Stream x Transfer Complete Interrupt Flag） 这些位由硬件置 1，软件在 DMA_LIFCLR 寄存器的相应位上写 1 清 0。 0：无传输完成事件 1：产生传输完成事件
31:28、15:12	保留		

10.5.2 DMA 高中断状态寄存器（DMA_HINTSTS）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
22、16、6、0	FEIFLGx	R	数据流 xFIFO 错误中断标志（x=4…7）（Stream x FIFO Error Interrupt Flag） 这些位由硬件置 1，软件在 DMA_HIFCLR 寄存器的相应位上写 1 清 0。 0：无 FIFO 错误事件 1：产生 FIFO 错误事件
23、17、7、1	保留		

位/域	名称	R/W	描述
24、18、8、2	DMEIFLGx	R	数据流 x 直接模式错误中断标志（x=4…7）（(Stream x Direct Mode Error Interrupt Flag) 这些位由硬件置 1，软件在 DMA_HIFCLR 寄存器的相应位上写 1 清 0。 0：无直接模式错误 1：产生直接模式错误
25、19、9、3	TXEIFLGx	R	数据流 x 传输错误中断标志（x=4…7）（Stream x Transfer Error Interrupt Flag） 这些位由硬件置 1，软件在 DMA_HIFCLR 寄存器的相应位上写 1 清 0。 0：无传输错误 1：产生传输错误
26、20、10、4	HTXIFLGx	R	数据流 x 半传输中断标志（x=4…7）（Stream x Half Transfer Interrupt Flag） 这些位由硬件置 1，软件在 DMA_HIFCLR 寄存器的相应位上写 1 清 0。 0：无半传输事件 1：产生半传输事件
27、21、11、5	TXCIFLGx	R	数据流 x 传输完成标志（x=4…7）（Stream x Transfer Complete Interrupt Flag） 这些位由硬件置 1，软件在 DMA_HIFCLR 寄存器的相应位上写 1 清 0。 0：无传输完成事件 1：产生传输完成事件
31:28、15:12	保留		

10.5.3 DMA 低中断标志清零寄存器（DMA_LIFCLR）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
22、16、6、0	CFEIFLGx	W	数据流 xFIFO 错误中断标志清零（x=0…3）（Stream x Clear FIFO Error Interrupt Flag） 0：无效 1：DMA_LINTSTS 寄存器中相应的 FEIFLGx 标志清零
23、17、7、1	保留		
24、18、8、2	CDMEIFLGx	W	数据流 x 直接模式错误中断标志清零（x=0…3）（(Stream x Clear Direct Mode Error Interrupt Flag) 0：无效 1：DMA_LINTSTS 寄存器中相应的 DMEIFLGx 标志清零
25、19、9、3	CTXEIFLGx	W	数据流 x 传输错误中断标志清零（x=0…3）（Stream x Clear Transfer Error Interrupt Flag） 0：无效 1：DMA_LINTSTS 寄存器中相应的 TXEIFLGx 标志清零

位/域	名称	R/W	描述
26、20、10、4	CHTXIFLGx	W	数据流 x 半传输中断标志清零（x=0…3）（Stream x Clear Half Transfer Interrupt Flag） 0：无效 1：DMA_LINTSTS 寄存器中相应的 HTXIFLGx 标志清零
27、21、11、5	CTXCIFLGx	W	数据流 x 传输完成标志清零（x=0…3）（Stream x Clear Transfer Complete Interrupt Flag） 0：无效 1：DMA_LINTSTS 寄存器中相应的 TXCIFLGx 标志清零
31:28、15:12	保留		

10.5.4 DMA 高中断标志清零寄存器（DMA_HIFCLR）

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
22、16、6、0	CFEIFLGx	W	数据流 xFIFO 错误中断标志清零（x=4…7）（Stream x Clear FIFO Error Interrupt Flag） 0：无效 1：DMA_HINTSTS 寄存器中相应的 FEIFLGx 标志清零
23、17、7、1	保留		
24、18、8、2	CDMEIFLGx	W	数据流 x 直接模式错误中断标志清零（x=4…7）（(Stream x Clear Direct Mode Error Interrupt Flag) 0：无效 1：DMA_HINTSTS 寄存器中相应的 DMEIFLGx 标志清零
25、19、9、3	CTXEIFLGx	W	数据流 x 传输错误中断标志清零(x=4…7)(Stream x Clear Transfer Error Interrupt Flag） 0：无效 1：DMA_HINTSTS 寄存器中相应的 TXEIFLGx 标志清零
26、20、10、4	CHTXIFLGx	W	数据流 x 半传输中断标志清零（x=4…7）（Stream x Clear Half Transfer Interrupt Flag） 0：无效 1：DMA_HINTSTS 寄存器中相应的 HTXIFLGx 标志清零
27、21、11、5	CTXCIFLGx	W	数据流 x 传输完成标志清零（x=4…7）（Stream x Clear Transfer Complete Interrupt Flag） 0：无效 1：DMA_HINTSTS 寄存器中相应的 TXCIFLGx 标志清零
31:28、15:12	保留		

10.5.5 DMA 数据流 x 配置寄存器（DMA_SCFG）（x=0…7）

偏移地址：0x10+0x18×（数据流编号）

复位值：0x0000 0000

位/域	名称	R/W	描述
0	EN	R/W	使能数据流（Stream Enable） 0：禁止 1：使能 以下情况该位由硬件清 0：

位/域	名称	R/W	描述
			1. DMA 传输结束时 2. AHB 主总线出现传输错误时 3. 存储器 AHB 端口上的 FIFO 阈值与突发大小不兼容时
1	DMEIEN	R/W	使能直接模式错误中断（Direct Mode Error Interrupt Enable） 0：禁止 1：使能
2	TXEIEN	R/W	使能传输错误中断（Transfer Error Interrupt Enable） 0：禁止 1：使能
3	HTXIEN	R/W	使能半传输中断（Half Transfer Interrupt Enable） 0：禁止 1：使能
4	TXCIEN	R/W	使能传输完成中断（Transfer Complete Interrupt Enable） 0：禁止 1：使能
5	PERFC	R/W	外设流控制器（Peripheral Flow Controller） 0：DMA 为流控制器 1：外设为流控制器 该位只有在 EN 位为 0 时才允许写入；选择存储器到存储器模式后，该位由硬件自动强制清零。
7:6	DIRCFG	R/W	配置数据传输方向（Data Transfer Direction Configure） 00：外设到存储器 01：存储器到外设 10：存储器到存储器 11：保留 这些位只有在 EN 位为 0 时才允许写入。
8	CIRCMEN	R/W	使能循环模式（Circular Mode Enable） 该位由软件置 1 和清 0，也可由硬件清 0。 0：禁止 1：使能 若设置外设为流控制器且使能数据流，该位由硬件自动强制清 0。 若 DMA 传输结束时切换目标存储区且使能数据流，该位由硬件自动强制置 1。
9	PERIM	R/W	外设增量模式（Memory Increment Mode） 0：外设地址指针固定 1：每次数据传输后，外设地址指针递增 该位只有在 EN 位为 0 时才允许写入。
10	MEMIM	R/W	存储器递增模式（Memory Increment Mode） 0：存储器地址指针固定 1：每次数据传输后，存储器地址指针递增 该位只有在 EN 位为 0 时才允许写入。
12:11	PERSIZECFG	R/W	配置外设数据大小（Peripheral Data Size Configure） 00：字节（8 位） 01：半字（16 位） 10：字（32 位） 11：保留

位/域	名称	R/W	描述
			这些位只有在 EN 位为 0 时才允许写入。
14:13	MEMSIZECFG	R/W	配置存储器数据大小（Memory Data Size Configure） 00：字节（8 位） 01：半字（16 位） 10：字（32 位） 11：保留 这些位只有在 EN 位为 0 时才允许写入。 在直接模式下，当 EN 位为 1 时，MEMSIZECFG 位由硬件强制置为与 PERSIZECFG 位相同的值。
15	PERIOSIZE	R/W	外设增量偏移量（Peripheral increment offset size） 0：用于计算外设地址的偏移量与 PERSIZECFG 相关 1：用于计算外设地址的偏移量固定为 4 若位 PERIM 为 0，此位无意义，该位只有在 EN 位为 0 时才允许写入。 若选择直接模式或位 PBCFG 不配置为 00，且当使能数据流时，该位由硬件强制置为低电平。
17:16	PRILCFG	R/W	配置优先级（Priority Level Configure） 00：低 01：中 10：高 11：非常高 这些位只有在 EN 位为 0 时才允许写入。
18	DBM	R/W	双缓冲区模式（Double Buffer Mode） 0：传输结束时不切换缓冲区 1：DMA 传输结束时切换目标存储器 该位只有在 EN 位为 0 时才允许写入。
19	CTARG	R/W	当前目标（仅在双缓冲区模式下）（Current Target（only in double buffer mode）） 该位由硬件置 1 和清 0，也可由软件写入。 0：当前目标存储器为存储器 0 1：当前目标存储器为存储器 1
20	保留		
22:21	PBCFG	R/W	配置外设突发传输（Peripheral Burst Transfer Configure） 00：单次传输 01：INCR4（4 个节拍的增量突发传输） 10：INCR8（8 个节拍的增量突发传输） 11：INCR16（16 个节拍的增量突发传输） 该位只有在 EN 位为 0 时才允许写入。 在直接模式下，这些位强制清 0。
24:23	MBCFG	R/W	配置存储器突发传输（Memory Burst Transfer Configure） 00：单次传输 01：INCR4（4 个节拍的增量突发传输） 10：INCR8（8 个节拍的增量突发传输） 11：INCR16（16 个节拍的增量突发传输） 该位只有在 EN 位为 0 时才允许写入。 在直接模式下，这些位强制清 0。

位/域	名称	R/W	描述
27:25	CHSEL	R/W	选择通道（Channel Selection） 000：选择通道 0 001：选择通道 1 010：选择通道 2 011：选择通道 3 100：选择通道 4 101：选择通道 5 110：选择通道 6 111：选择通道 7
31:28	保留		

10.5.6 DMA 数据流 x 数据项数寄存器（DMA_NDATA）（x=0…7）

偏移地址：0x14+0x18×（数据流编号）

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	NDATA	R/W	传输的数据项数目（Number Of Data Items To Transfer） 传输的数据项数目为 0-65535，只有禁止数据流时，才允许对此寄存器进行操作，使能数据流后，该寄存器为只读，用来指示要传输的剩余数据项数目。每次 DMA 传输后，该寄存器递减。 传输完成后此寄存器为 0，以下情况会自动重载初始值： 1. 以循环模式配置数据流 2. 重新使能数据流
31:16	保留		

10.5.7 DMA 数据流 x 外设地址寄存器（DMA_PADDR）（x=0…7）

偏移地址：0x18+0x18×（数据流编号）

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	PADDR	R/W	外设地址（Peripheral Address） 读/写数据的外设数据寄存器的基址。 该位只有在 EN 位为 0 时才允许写入。

10.5.8 DMA 数据流 x 存储器 0 地址寄存器（DMA_M0ADDR）（x=0…7）

偏移地址：0x1C+0x18×（数据流编号）

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	M0ADDR	R/W	存储器 0 地址（Memory 0 Address） 读/写数据的存储器 0 的基址。 这些位受到写保护，只有在以下情况才能写入： ● 禁止数据流 ● 使能数据流且 DMA_SCFG 寄存器的 CTARG 位置 1

10.5.9 DMA 数据流 x 存储器 1 地址寄存器（DMA_M1ADDR）（x=0…7）

偏移地址：0x20+0x18×（数据流编号）

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	M1ADDR	R/W	存储器 1 地址（Memory 1 Address） 读/写数据的存储器 1 的基址。 该寄存器仅适用于双缓冲模式。 这些位受到写保护，只有在以下情况才能写入： ● 禁止数据流 ● 使能数据流且 DMA_SCFG 寄存器的 CTARG 位清 0

10.5.10 DMA 数据流 xFIFO 控制寄存器（DMA_FCTRL）（x=0…7）

偏移地址：0x24+0x18×（数据流编号）

复位值：0x0000 0000

位/域	名称	R/W	描述
1:0	FTHSEL	R/W	选择 FIFO 阈值（FIFO Threshold Select） 00：FIFO 容量的 1/4 01：FIFO 容量的 1/2 10：FIFO 容量的 3/4 11：FIFO 完整容量 在直接模式下，这些位无效，该位只有在 EN 位为 1 时才允许写入。
2	DMDEN	R/W	禁止直接模式（Direct Mode Disable） 0：使能直接模式 1：禁止直接模式 该位只有在 EN 位为 0 时才允许写入；选择存储器到存储器模式且 EN 位为 1 时，该位由硬件置 1。
5:3	FSTS	R	FIFO 状态（FIFO Status） 000：0<fifo_level<1/4 001：1/4<fifo_level<1/2 010：1/2<fifo_level<3/4 011：3/4<fifo_level<满 100：FIFO 空 101：FIFO 满 其他：无意义 在直接模式下，这些位无效。
6	保留		
7	FEIEN	R/W	使能 FIFO 错误中断（FIFO Error Interrupt Enable） 0：禁止 1：使能
31:8	保留		

11 调试 MCU（DBGMCU）

11.1 术语全称、缩写描述

表格 54 术语全称、缩写描述

中文全称	英文全称	英文缩写
帧时钟	Frame Clock	FCLK
串行/JTAG 调试端口	Serial Wire/JTAG Debug Port	SWJ-DP

11.2 简介

APM32F407 微控制器系列使用 Arm® Cortex®-M4 内核，Arm® Cortex®-M4 内核内含硬件调试模块，支持复杂的调试操作。在调试时该模块可以使运行的内核在断点时停下来，达到查询内核内部状态和系统外部状态的效果，并且在查询完成后恢复内核与外设的运行，继续执行程序。

支持两种调试接口：

- 串行接口
- JTAG 调试接口

注意：Arm® Cortex®-M4 内核内含的硬件调试模块是 Arm CoreSight 开发工具集的子集。更多 Arm® Cortex®-M4 内核的调试功能信息，请参考 Cortex®-M4（r1p1 版）技术参考手册（TRM）和 CoreSight 开发工具集（r1p0 版） TRM。

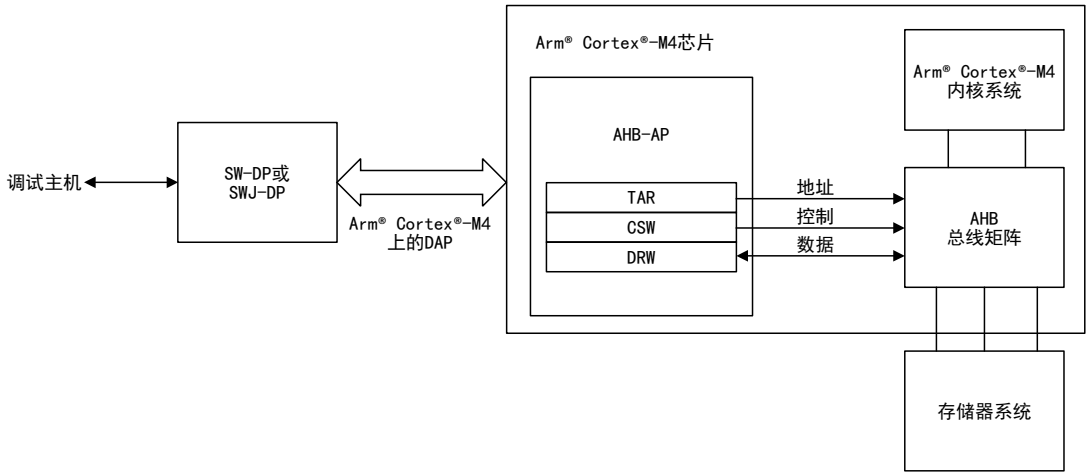
11.3 主要特征

（1） 可代替内核访问 AHB 总线矩阵

（2） 灵活的调试引脚分配

（3） MCU 调试盒(支持低电源模式，控制外设时钟等)

图 12 APM32F4xx 级别和 Arm® Cortex®-M4 级别的调试框图



11.4 功能描述

11.4.1 调试引脚功能配置

（1） 实现芯片的在线编程和调试
（2） 利用 KEIL/IAR 等软件实现在线调试及下载编程
（3） 灵活实现离线编程器的制作

表格 55 引脚功能配置

SWJ- CFG[2:0]	配置为调试专用的引脚	SWJ 接口的 I/O 口分配				
		PA13/ JTMS/ SWDIO	PA14/ JTCK/ SWCLK	PA15/ JTDI	PB3/ JTDO	PB4/ JNTRST
其它	禁止	释放				
100	JTAG-DP 接口和 SW-DP 接口都禁止					
010	JTAG-DP 接口禁止， SW-DP 接口允许	专用	专用	释放		
001	所有的 SWJ 引脚 (JTAG-DP+SW-DP) 除了 JNTRST 引脚	专用	专用	专用	专用	释放
000	所有的 SWJ 引脚 (JTAG-DP+SW-DP) 复位状态	专用	专用	专用	专用	专用

注意：对于一些运行模式下不能测试到的项目可以详细观察测试

11.4.2 ID 编码

11.4.2.1 微控制器设备 ID 编码

APM32F 微控制器系列内含一个 MCU ID 编码。使用 JTAG 或 SW 调试口或用户代码都可以进行访问。

11.4.2.2 边界扫描 TAP

JTAG ID 编码

APM32F 微控制器系列的边界扫描 TAP 集成了 JTAG ID 编码，对于 APM32F405/415xG、APM32F407/417xExG 系列产品，其 JTAG ID 编码是 0x06413B47

11.4.2.3 Arm® Cortex®-M4 TAP

Arm® Cortex®-M4 的 TAP 有一个 JTAG ID 编码，编码是 0x4BA00477。

11.4.2.4 Arm® Cortex®-M4 JEDEC-106 ID 代码

Arm® Cortex®-M4 有一个 JEDEC-106 ID 编码。它位于映射到内部 PPB 总线地址为 0xE0042000 的 4KB ROM 表中。

11.5 寄存器地址映射

表格 56 寄存器地址映射

寄存器名	描述	地址
DBGMCU_IDCODE	设备 ID 寄存器	0xE004 2000
DBGMCU_CFG	调试 MCU 配置寄存器	0xE004 2004
DBGMCU_APB1F	调试 MCU APB1 冻结寄存器	0xE004 2008
DBGMCU_APB2F	调试 MCU APB2 冻结寄存器	0xE004 200C

11.6 寄存器功能描述

11.6.1 设备 ID 寄存器（DBGMCU_IDCODE）

地址：0xE004 2000

只支持 32 位访问

复位值：0xXXXX XXXX，X=未定义位

位/域	名称	R/W	描述
11:0	EQR	R	设备识别（Equipment Recognition） APM32F407/417 系列产品：0x413； 调试器/编程工具通过 EQR（11:0）来识别芯片。
15:12	保留		
31:16	WVR	R	晶圆版本识别（Wafer Version Recognition） 该域标识晶圆信息 APM32F407/417 系列产品 版本 A：0x1000 版本 Z：0x1001 版本 1：0x1003 版本 2：0x1007 版本 Y 和 4：0x100F 版本 5 和 6：0x101F

11.6.2 调试 MCU 配置寄存器（DBGMCU_CFG）

此寄存器可以在调试状态下配置 MCU。包括支持定时器和看门狗的计数器、低功耗模式、CAN 通信和分配跟踪引脚。

地址：0xE004 2004

只支持 32 位访问

复位值：0x0000 0000（不受系统复位影响，仅上电复位）

位/域	名称	R/W	描述
0	SLEEP_CLK_STS	R/W	调试睡眠模式时，配置时钟状态（Configure clock status when MCU is debugged in sleep mode） 0：FCLK 开，HCLK 关 1：FCLK 开，HCLK 开，由系统时钟提供

位/域	名称	R/W	描述
1	STOP_CLK_STS	R/W	调试停机模式时，配置时钟状态（Configure clock status when MCU is debugged in stop mode） 0：FCLK 关，HCLK 关 1：FCLK 开，HCLK 开，由 HSICLK 提供
2	STANDBY_CLK_STS	R/W	调试待机模式时，配置时钟状态（Configure clock status when MCU is debugged in standby mode） 0：FCLK 关，HCLK 关 1：FCLK 开，HCLK 开，由 HSICLK 提供
4:3	保留		
5	TRACE_IOEN	R/W	使能跟踪调试引脚（Trace Debug Pin Enable） 0：禁止跟踪调试引脚 1：使能跟踪调试引脚
7:6	TRACE_MODE	R/W	配置跟踪调试引脚模式（Trace Debug Pin Mode Configure） 仅当 TRACE_IOEN=1 时，可配置跟踪调试引脚模式： 00：异步模式 01：同步模式，数据长度为 1 10：同步模式，数据长度为 2 11：同步模式，数据长度为 4
31:8	保留		

11.6.3 调试 MCU APB1 冻结寄存器（DBGMCU_APB1F）

此寄存器用于在调试时配置 MCU。

涉及一些 APB 外设：

- 冻结定时器计数器
- 冻结 I2C SMBus 超时
- 冻结支持系统窗口监管机构和独立的看门狗计数器

此寄存器由 POR 异步重置（而不是系统重置），它可以由调试器在系统重置下编写。

只支持 32 位访问

地址：0xE004 2008

复位值：0x0000 0000（不受系统复位影响）

位/域	名称	R/W	描述
0	TMR2_STS	R/W	内核停止时，配置 TMR2 的工作状态（ConfigureTimer2 Work Status When Core is in Halted） 内核停止时，TMR2 计数器是否继续工作 0：继续工作 1：停止工作
1	TMR3_STS	R/W	内核停止时，配置 TMR3 的工作状态（ConfigureTimer3 Work Status When Core is in Halted） 内核停止时，TMR3 计数器是否继续工作 0：继续工作 1：停止工作

位/域	名称	R/W	描述
2	TMR4_STS	R/W	内核停止时，配置 TMR4 的工作状态（ConfigureTimer4 Work Status When Core is in Halted） 内核停止时，TMR4 计数器是否继续工作 0：继续工作 1：停止工作
3	TMR5_STS	R/W	内核停止时，配置 TMR5 的工作状态（ConfigureTimer5 Work Status When Core is in Halted） 内核停止时，TMR5 计数器是否继续工作 0：继续工作 1：停止工作
4	TMR6_STS	R/W	内核停止时，配置 TMR6 的工作状态（ConfigureTimer6 Work Status When Core is in Halted） 内核停止时，TMR6 计数器是否继续工作 0：继续工作 1：停止工作
5	TMR7_STS	R/W	内核停止时，配置 TMR7 的工作状态（ConfigureTimer7 Work Status When Core is in Halted） 内核停止时，TMR7 计数器是否继续工作 0：继续工作 1：停止工作
6	TMR12_STS	R/W	内核停止时，配置 TMR12 的工作状态（ConfigureTimer12 Work Status When Core is in Halted） 内核停止时，TMR12 计数器是否继续工作 0：继续工作 1：停止工作
7	TMR13_STS	R/W	内核停止时，配置 TMR13 的工作状态（ConfigureTimer13 Work Status When Core is in Halted） 内核停止时，TMR13 计数器是否继续工作 0：继续工作 1：停止工作
8	TMR14_STS	R/W	内核停止时，配置 TMR14 的工作状态（ConfigureTimer14 Work Status When Core is in Halted） 内核停止时，TMR14 计数器是否继续工作 0：继续工作 1：停止工作
9	保留		
10	RTC_STS	R/W	内核停止时，配置 RTC 的工作状态（Configure RTC Work Status When Core is in Halted） 内核停止时，RTC 计数器是否继续工作 0：继续工作 1：停止工作
11	WWDT_STS	R/W	内核停止时，配置窗口看门狗的工作状态（Configure Window Watchdog Work Status When Core is in Halted） 内核停止时，WWDT 是否继续工作 0：继续工作 1：停止工作

位/域	名称	R/W	描述
12	IWDT_STS	R/W	内核停止时，配置独立看门狗的工作状态（Configure Independent Watchdog Work Status When Core is in Halted） 内核停止时，IWDT 是否继续工作 0：继续工作 1：停止工作
20:13	保留		
21	I2C1_SMBUS_TIMEOUT_STS	R/W	内核停止时，配置 I2C1_SMBUS_TIMEOUT 的工作状态（Configure I2C1_SMBUS_TIMEOUT Work Status When Core is in Halted） 内核停止时，I2C1_SMBUS_TIMEOUT 是否继续工作 0：正常工作 1：冻结 SMBUS 的超时模式
22	I2C2_SMBUS_TIMEOUT_STS	R/W	内核停止时，配置 I2C2_SMBUS_TIMEOUT 的工作状态（Configure I2C2_SMBUS_TIMEOUT Work Status When Core is in Halted） 内核停止时，I2C2_SMBUS_TIMEOUT 是否继续工作 0：正常工作 1：冻结 SMBUS 的超时模式
23	I2C3_SMBUS_TIMEOUT_STS	R/W	内核停止时，配置 I2C3_SMBUS_TIMEOUT 的工作状态（Configure I2C3_SMBUS_TIMEOUT Work Status When Core is in Halted） 内核停止时，I2C3_SMBUS_TIMEOUT 是否继续工作 0：正常工作 1：冻结 SMBUS 的超时模式
24	保留		
25	CAN1_STS	R/W	内核停止时，配置 CAN1 的工作状态（Configure Controller Area Network Work Status When Core is in Halted） 内核停止时，CAN1 是否继续工作 0：正常工作 1：冻结 CAN1 接收寄存器
26	CAN2_STS	R/W	内核停止时，配置 CAN2 的工作状态（Configure Controller Area Network Work Status When Core is in Halted） 内核停止时，CAN2 是否继续工作 0：正常工作 1：冻结 CAN2 接收寄存器
31:27	保留		

11.6.4 调试 MCU APB2 冻结寄存器（DBGMCU_APB2F）

此寄存器用于在调试时配置 MCU。

涉及一些 APB 外设：

- 冻结定时器计数器

此寄存器由 POR 异步重置（而不是系统重置），它可以由调试器在系统重置下编写。

只支持 32 位访问

地址：0xE004 200C

复位值：0x0000 0000（不受系统复位影响）

位/域	名称	R/W	描述
0	TMR1_STS	R/W	内核停止时，配置 TMR1 的工作状态（ConfigureTimer1 Work Status When Core is in Halted） 内核停止时，TMR1 计数器是否继续工作 0：继续工作 1：停止工作
1	TMR8_STS	R/W	内核停止时，配置 TMR8 的工作状态（ConfigureTimer8 Work Status When Core is in Halted） 内核停止时，TMR8 计数器是否继续工作 0：继续工作 1：停止工作
15:2	保留		
16	TMR9_STS	R/W	内核停止时，配置 TMR9 的工作状态（ConfigureTimer9 Work Status When Core is in Halted） 内核停止时，TMR9 计数器是否继续工作 0：继续工作 1：停止工作
17	TMR10_STS	R/W	内核停止时，配置 TMR10 的工作状态（ConfigureTimer10 Work Status When Core is in Halted） 内核停止时，TMR10 计数器是否继续工作 0：继续工作 1：停止工作
18	TMR11_STS	R/W	内核停止时，配置 TMR11 的工作状态（ConfigureTimer11 Work Status When Core is in Halted） 内核停止时，TMR11 计数器是否继续工作 0：继续工作 1：停止工作
31:19	保留		

12 通用输入/输出引脚（GPIO）

12.1 术语全称、缩写描述

表格 57 术语全称、缩写描述

中文全称	英文全称	英文缩写
P 通道金属氧化物半导体	P-channel Metal Oxide Semiconductor	P-MOS
N 通道金属氧化物半导体	N-channel Metal Oxide Semiconductor	N-MOS

12.2 主要特征

GPIO 端口可以通过 32 位的配置寄存器（GPIOx_CFGLOW/GPIOx_CFGHIG）和两个 32 位的数据寄存器 GPIOx_IDATA/GPIOx_ODATA）配置以下功能：

（1） 输入模式
- 模拟输入
- 浮空输入
- 上拉输入
- 下拉输入

（2） 输出模式
- 推挽输出
- 开漏输出
- 可配置最大输出速率

（3） 复用模式
- 推挽复用功能
- 开漏复用功能

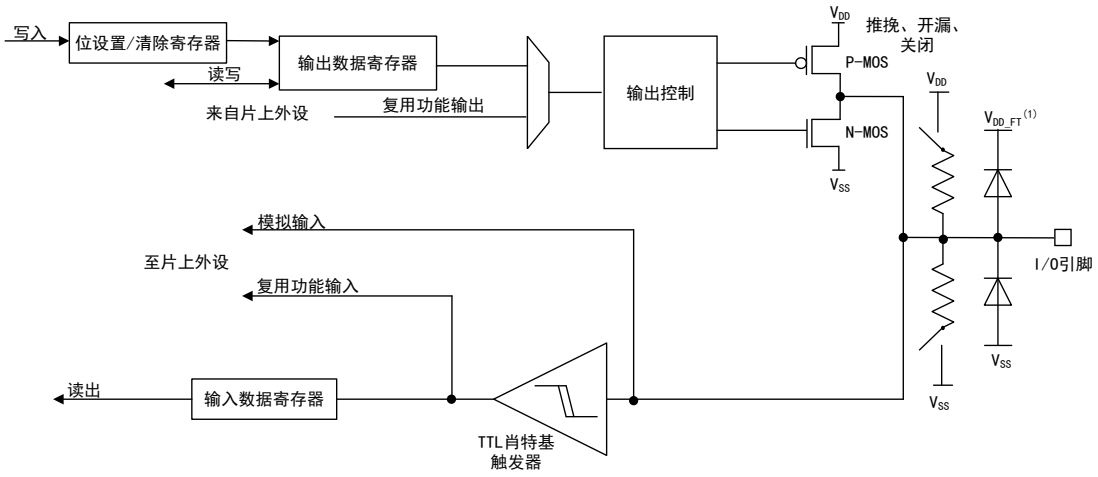
（4） 模拟功能

（5） GPIO 都可以作为外部中断/唤醒线

（6） 支持锁定 I/O 配置功能

12.3 结构框图

图 13 5 伏兼容 GPIO 结构框图



（1）V_{DD_FT} 和 V_{DD} 不一样，V_{DD_FT} 对 5 伏容忍 GPIO 引脚是特殊的。

12.4 功能描述

GPIO 的每个引脚都可以通过软件配置上拉、下拉、浮空和模拟输入，或者推挽/开漏输出输入模式以及复用功能。所有的 GPIO 接口都具有外部中断能力。

12.4.1 复位期间和刚复位后的 IO 状态

GPIO 在复位期间和刚复位后，复用功能未开启，I/O 端口将会被配置为浮空输入模式，此情况下输入模式禁用上拉/下拉电阻。复位后 JTAG 引脚被置于输入上拉或下拉模式，具体配置如下：

- PA15：JTDI 置于上拉模式
- PA14：JTCK 置于下拉模式
- PA13：JTMS 置于上拉模式
- PB4：JNTRST 置于上拉模式
- PB3：JTDO 置于浮空模式

12.4.2 输入模式

在输入模式中可以设置为上拉、下拉、浮空和模拟输入。

当 GPIO 配置为输入模式时，所有的 GPIO 引脚内部都有一个内部弱上拉和弱下拉电阻，它们可以被激活也可以被断开。

上拉、下拉、浮空模式

在（上拉、下拉、浮空）输入模式中

- 施密特触发器打开

- 禁止输出缓冲器
- 根据输入配置的不同，连接弱上拉和下拉电阻
- 输入数据寄存器 GPIOx_IDATA 在每个 AHB1 时钟周期捕捉 I/O 引脚上的数据
- 通过输入数据寄存器 GPIOx_IDATA 读取 I/O 状态

浮空输入模式的初始电平状态不确定，且易受外界干扰；连接设备时，由外部的输入电平决定（阻抗非常高的除外）。

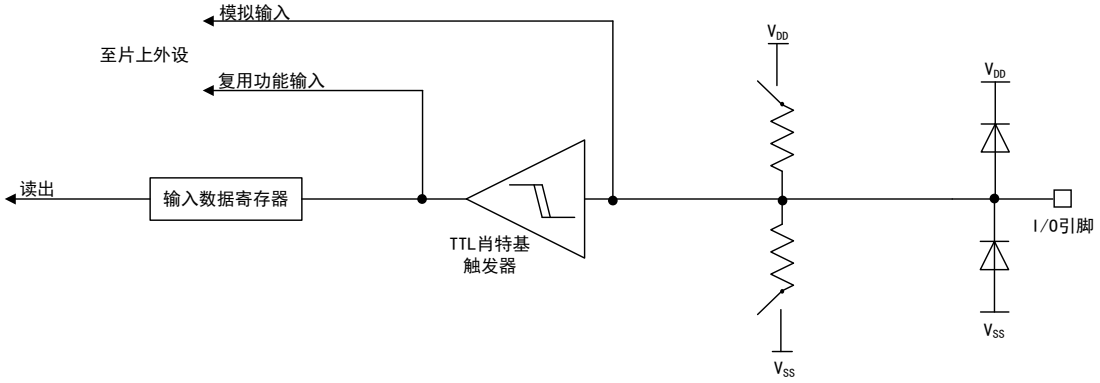
上拉/下拉输入模式的初始电平状态，如果是上拉则为高电平，如果为下拉则为低电平；连接设备时，由外部的输入电平及负载阻抗决定。

模拟输入模式

在模拟输入模式中

- 禁止输出缓冲器
- 禁止施密特触发器输入，施密特触发器的输出值强置为 0
- 禁用弱上拉和下拉电阻
- 端口输入状态寄存器的值为 0

图 14 输入模式结构



12.4.3 输出模式

在输出模式中可以设置为推挽输出和开漏输出。

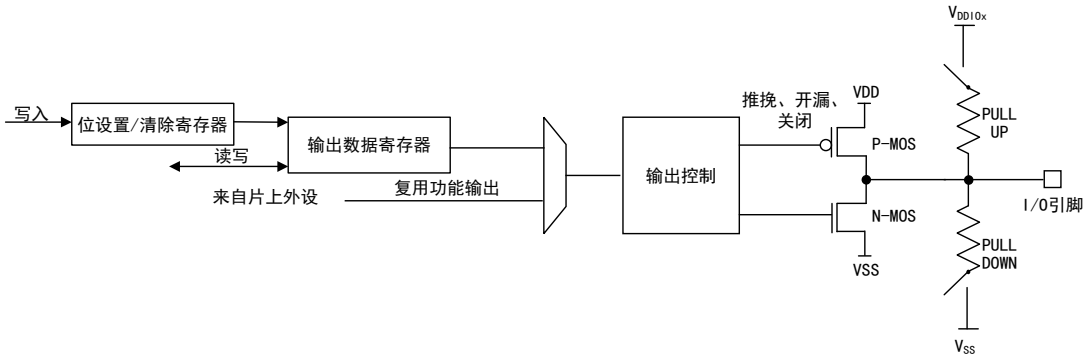
当 GPIO 配置为输出引脚时，可以配置端口的输出速度和选择输出驱动模式（推挽/开漏）。

在输出模式中

- 施密特触发器打开
- 激活输出缓冲器
- 禁止弱上拉和下拉电阻
- 推挽模式：
  - 双 MOS 管以轮流方式工作，输出数据寄存器可控制 I/O 输出高低电平
  - 通过输出数据寄存器 GPIOx_ODATA 读取最后写入的值
- 开漏模式：

- 只有 N-MOS 管工作，输出数据寄存器可控制 I/O 输出高阻态或低电平
- 通过输入数据寄存器 GPIOx_IDATA 读取 I/O 的实际状态

图 15 输出模式 I/O 结构



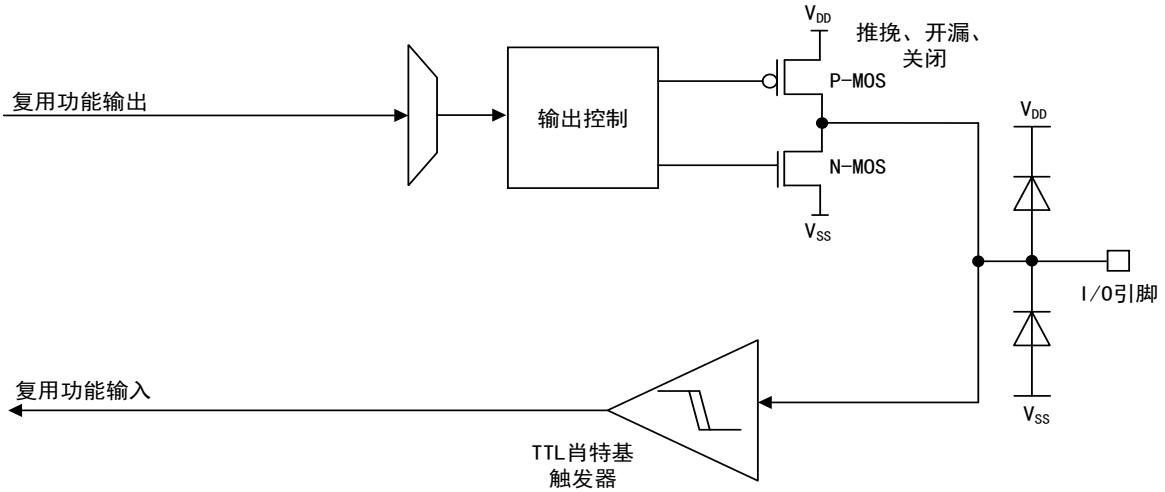
12.4.4 复用模式

在复用模式中可以设置为推挽复用和开漏复用

在推挽/开漏复用模式中

- 打开输出缓冲器
- 由外设驱动输出缓冲器
- 激活施密特触发输入
- 禁止弱上拉和下拉电阻
- I/O 引脚上的数据在每个 AHB1 时钟周期采样并存入端口输入状态寄存器
- 开漏模式中，通过输入数据寄存器 GPIOx_IDATA 可以读取 I/O 的实际状态
- 推挽模式中，通过输出数据寄存器 GPIOx_ODATA 读取最后写入的值

图 16 复用模式 I/O 结构



12.4.5 外部中断/唤醒线

所有的 GPIO 端口都有外部中断功能，如果要使用外部中断线，端口必须要配置

成输入模式。

12.4.6 位设置和位清除

在对 GPIOx_IDATA 的一些位进行编程时，软件不需要禁止中断。（可以通过对 GPIOx_BSC 和 BSC 寄存器中想要更改的位置 1 实现在 AHB1 写操作中，只更改一个或者多个位的功能。

12.4.7 GPIO 锁定功能

锁定功能可以用在电源驱动模块。GPIO 的锁定机制可以保护 I/O 端口的配置。通过配置锁定寄存器（GPIOx_LOCK）可以锁定 I/O 的配置，当一个端口位执行了锁定程序，到下一次复位之前，将不能再修改端口位的配置。

12.4.8 OSC32_IN/OSC32_OUT 引脚

仅当关闭 LSECLK 振荡器时，可分别将 OSC32_IN 和 OSC32_OUT 引脚用作通用 PC14 I/O 和 PC15 I/O。由 RCC_BDCTRL[LSEEN]位控制。LSECLK 的优先级高于 GPIO 功能。

12.4.9 OSC_IN/OSC_OUT 引脚

仅当关闭 HSECLK 振荡器时，可分别将 OSC_IN 和 OSC_OUT 引脚用作通用 PH0 I/O 和 PH1 I/O。由 RCC_BDCTRL[HSEEN]位控制。HSECLK 的优先级高于 GPIO 功能。

12.5 寄存器地址映射

表格 58 GPIO 寄存器地址映射

寄存器名	描述	偏移地址
GPIOx_MODE	端口模式寄存器	0x00
GPIOx_OMODE	端口输出模式寄存器	0x04
GPIOx_OSSEL	端口输出速度寄存器	0x08
GPIOx_PUPD	端口上拉/下拉寄存器	0x0C
GPIOx_IDATA	端口位输入数据寄存器	0x10
GPIOx_ODATA	端口位输出清除寄存器	0x14
GPIOx_BSC	端口置位/复位寄存器	0x18
GPIOx_LOCK	端口锁定寄存器	0x1C
GPIOx_ALFL	端口复用功能低位寄存器	0x20
GPIOx_ALFH	端口复用功能高位寄存器	0x24

12.6 寄存器功能描述

必须以字（32 位）的方式操作这些外设寄存器。

需要注意的是，因为 PIx 的 x 的值为 0…11 ，所以相应的寄存器的位要视情况而定。

12.6.1 端口模式寄存器（GPIOx_MODE）（x=A…I）

偏移地址：0x00

复位值：0xA800 0000（端口 A）

0x0000 0280（端口 B）

0x0000 0000（其他端口）

位/域	名称	R/W	描述
2y+1:2y	MODEy[1:0]	R/W	配置端口 x 引脚 y 模式（y=0…15）（PortxPin y mode Configure） 00：输入模式（复位后的状态） 01：通用输出模式 10：复用功能模式 11：模拟模式

12.6.2 端口输出模式寄存器（GPIOx_OMODE）（x=A…I）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	OMODEy	R/W	配置端口 x 引脚 y 输出模式（y=0…15）（PortxPin y Output Mode Configure） 0：推挽输出（复位状态） 1：开漏输出
31:16	保留		

12.6.3 端口输出速度寄存器（GPIOx_OSSEL）（x=A…I）

偏移地址：0x08

复位值：0x0C00 0000（端口 A）

0x0000 00C0（端口 B）

0x0000 0000（其他端口）

位/域	名称	R/W	描述
2y+1:2y	OSSELy[1:0]	R/W	选择端口 x 引脚 y 输出速度（y=0…15）（PortxPin y Output Speed Select） x0：低速 01：中速 11：高速 由软件写配置 I/O 口的速度

12.6.4 GPIO 口上拉/下拉寄存器（GPIOx_PUPD）（x=A…I）

偏移地址：0x0C

复位值：0x6400 0000（端口 A）

0x0000 0100（端口 B）

0x0000 0000（其他端口）

位/域	名称	R/W	描述
2y+1:2y	PUPDy[1:0]	R/W	配置端口 x 引脚 y 上拉/下拉（y=0…15）（PortxPin y Pull-up/Pull-down Configure） 这些位通过软件写操作来配置端口位的上拉/下拉 00：禁止上拉/下拉 01：上拉 10：下拉 11：复位

12.6.5 GPIO 端口输入数据寄存器（GPIOx_IDATA）（x=A…I）

偏移地址：0x10

复位值：0x0000 XXXX

位/域	名称	R/W	描述
15:0	IDATAy	R	端口 x 引脚 y 输入数据（y=0….15）（PortxPin y Input Data） 这些位只能进行读操作，用来存储相应的 I/O 端口的输入值
31:16	保留		

12.6.6 GPIO 端口输出数据寄存器（GPIOx_ODATA）（x=A…I）

偏移地址：0x14

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	ODATAy	R/W	端口 x 引脚 y 输出数据（y=0….15）（PortxPin y Output Data） 可以通过软件进行读写操作 对于原子位设置/清除，可以通过写入 GPIOx_BSC 寄存器来单独设置 ODATAy 位
31:16	保留		

12.6.7 GPIO 端口置位/复位寄存器（GPIOx_BSC）（x=A…I）

偏移地址：0x18

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	Bsy	W	端口 x 引脚 y 的设置位（y=0…15）（PortxPin y Set Bit） 这些位只能进行写操作，读这些位时返回 0x0000 的数值。 这些位用来影响对应的 ODATAy 位 0：无影响 1：设置对应的 ODATAy 位
31:16	Bcy	W	端口 x 引脚 y 复位位（y=0…15）（PortxPin y Reset Bit） 这些位只能进行写操作，读这些位时返回 0x0000 的数值。 这些位用来影响对应的 ODATAy 位 0：无影响 1：对应的 ODATAy 位清 0 若 Bsy 位和 Bcy 位同时设置，Bsy 有优先权

12.6.8 GPIO 端口锁定寄存器（GPIOx_LOCK）（x=A..G）

该寄存器保护 GPIO 的配置在程序运行期间误修改；若再次修改 GPIO 配置，需系统复位后才能修改。配置 GPIO 锁定功能时，需对该寄存器执行指定的序列才能启动 GPIO 锁定功能。

偏移地址：0x1C

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	LOCKy	R/W	配置端口 x 引脚 y 的锁定位（y=0…15）（PortxLock bit y Configure） 0：不锁定端口 x 引脚 y 的配置 1：锁定端口 x 引脚 y 的配置 这些位可以进行读写操作，但是只能在 LOCKKEY=0 时写入。
16	LOCKKEY	R/W	锁定键 该位决定端口配置锁键位是否被激活 0：不激活 1：激活，GPIOx_LOCK 寄存器锁定直到下一次 MUC 复位产生。 锁定键写序列： 写 LOCK[16]=1+LOCK[15:0] 写 LOCK[16]=0+LOCK[15:0] 写 LOCK[16]=1+LOCK[15:0] 读 LOCK 读 LOCK[16]=1（此读操作可以选择，要确认是否激活锁定键） 注意： 在操作锁键的写入序列期间，LOCKy 的值不能改变。 操作锁键写入序列中的任何错误将中止锁键。 在端口任意位上的第一个锁序列之后，LOCKKEY 位上的任何读访问都将返回“1”，直到下一个 MCU 重置或外围设备重置。
31:17	保留		

12.6.9 GPIO 复用功能低 8 位寄存器（GPIOx_ALFL）（x=A…I）

偏移地址：0x20

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	ALFSELy	R/W	选择端口 x 引脚 y 的复用功能（y=0….7）（Port x Pin y Alernate Function Select） 这些位可以通过软件进行读操作，用来配置端口的复用功能。 ALFSELy 选择： 0000：AF0 0001：AF1 0010：AF2 0011：AF3 0100：AF4 0101：AF5 0110：AF6 0111：AF7 1000：保留 1001：保留 1010：保留

位/域	名称	R/W	描述
			1011：保留 1100：保留 1101：保留 1111：保留 1110：保留

12.6.10 GPIO 复用功能高 8 位寄存器（GPIOx_ALFH）（x=A…I）

偏移地址：0x24

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	ALFSELy	R/W	选择端口 x 引脚 y 的复用功能（y=8….15）（Port x Pin y Alernate Function Select） 这些位可以通过软件进行读操作，用来配置端口的复用功能。 ALFSELy 选择： 0000：AF0 0001：AF1 0010：AF2 0011：AF3 0100：AF4 0101：AF5 0110：AF6 0111：AF7 1000：保留 1001：保留 1010：保留 1011：保留 1100：保留 1101：保留 1111：保留 1110：保留

13 定时器概述

13.1 术语全称、缩写描述

表格 59 术语全称、缩写描述

中文全称	英文全称	英文缩写
定时器	Timer	TMR
更新	Update	U
请求	Request	R
事件	Event	EV
捕捉	Compare	C
比较	Compare	C
长度	Length	LEN

13.2 定时器类别及主要差异

在本次系列产品中，一共可分为三类定时器：高级定时器、通用定时器和基本定时器（看门狗定时器在其它章节中描述）。

高级定时器包含了通用定时器和基本定时器的功能，高级定时器是有四个捕获/比较通道，支持定时功能、输入捕获和输出比较功能、刹车以及互补输出功能，是一个 16 位可以向上/下计数的定时器。

通用定时器的功能比高级定时器简单，主要差异点在通道总数、互补输出通道组数、刹车功能。

而基本定时器是一个只能实现定时功能、没有外部接口的定时器。

产品包含的定时器主要差异见下表：

表格 60 产品包含的定时器主要差异

项目	具体内容/类别	高级定时器		通用定时器		通用定时器		基本定时器
名称	—	TMR1	TMR8	TMR3/4	TMR2/5	TMR10/11/13/14	TMR9/12	TMR6/7
时基单元	计数器	16 位		16 位	32 位	16 位	16 位	16 位
	预分频器	16 位		16 位		16 位	16 位	16 位
	计数模式	向上 向下 中央对齐		向上 向下 中央对齐		向上 向下 中央对齐	向上 向下 中央对齐	向上
通道	输入通道	4		4		1	2	0
	捕获比较通道	4		4		1	2	0

项目	具体内容/类别	高级定时器	通用定时器	通用定时器		基本定时器
	输出通道	7	4	1	2	0
	互补输出通道	3	0	0	0	0
功能	产生 DMA 请求	可以	可以	可以	可以	可以
	PWM 模式	有	有	有	有	无
	单脉冲模式	有	有	有	有	无
	强制输出模式	有	有	有	有	无
	死区插入	有	无	无	无	无

定时器术语

表格 61 引脚定义术语

名称	描述
TMRx_ETR	定时器 x 外部触发信号
TMRx_CH1、TMRx_CH2、TMRx_CH3、TMRx_CH4	定时器 x 通道 1/2/3/4
TMRx_ChyN	定时器 x 互补输出通道 y
TMRx_BKIN	定时器 x 刹车信号

表格 62 内部信号定义术语

名称	描述
ETR	TMRx_ETR 外部触发信号
ETRF	外部触发滤波
ETRP	外部触发分频
-	
ITR，ITR0，ITR1	内部触发
TRGI	时钟/触发器/从模式控制器的触发输入
TIF_ED	定时器输入滤波边缘检测
-	
CK_PSC	分频时钟
CK_CNT	计数器时钟
PSC	预分频器
CNT	计数器

名称	描述
AUTORLD	自动装载寄存器
-	
Tix，TI1	定时器输入
TixF，TI1F，	定时器输入滤波
TI1_ED	定时器输入边缘检测
TixFPx，TI1FP1	定时器输入滤波极性
Icx，IC1	输入捕获
IcxPS，IC1PS	输入捕获预分频
TRC	触发捕获
BRK	刹车信号
-	
Ocx，OC1	定时器输出比较通道
OCxREF，OC1REF	输出比较参考信号
-	
TGI	触发中断
BI	刹车中断
CcxI，CC1I	捕获/比较中断
UEV	更新事件
UIFLG	更新中断标志

14 高级定时器（TMR1/8）

14.1 简介

高级定时器以时基单元为核心，拥有输入捕获、输出比较和刹车输入等功能，含有一个 16 位的自动装载计数器。高级定时器相比较其它定时器增加了互补输出、重复计数以及可编程的死区插入等功能，更加适合用于电机的控制。

14.2 主要特征

（1） 时基单元
- 计数器：16 位计数器，可以向上计数，向下计数，中央对齐计数
- 预分频器：16 位可编程预分频器
- 重复计数器：16 位的重复计数器
- 自动重装载功能

（2） 时钟源选择
- 内部时钟
- 外部输入
- 外部触发
- 内部触发

（3） 输入捕获功能
- 计数功能
- PWM 输入模式（脉冲宽度、频率、占空比测量）
- 编码器接口模式

（4） 输出比较功能
- PWM 输出模式
- 强制输出模式
- 单脉冲模式
- 互补输出和死区插入

（5） 定时功能

（6） 刹车功能

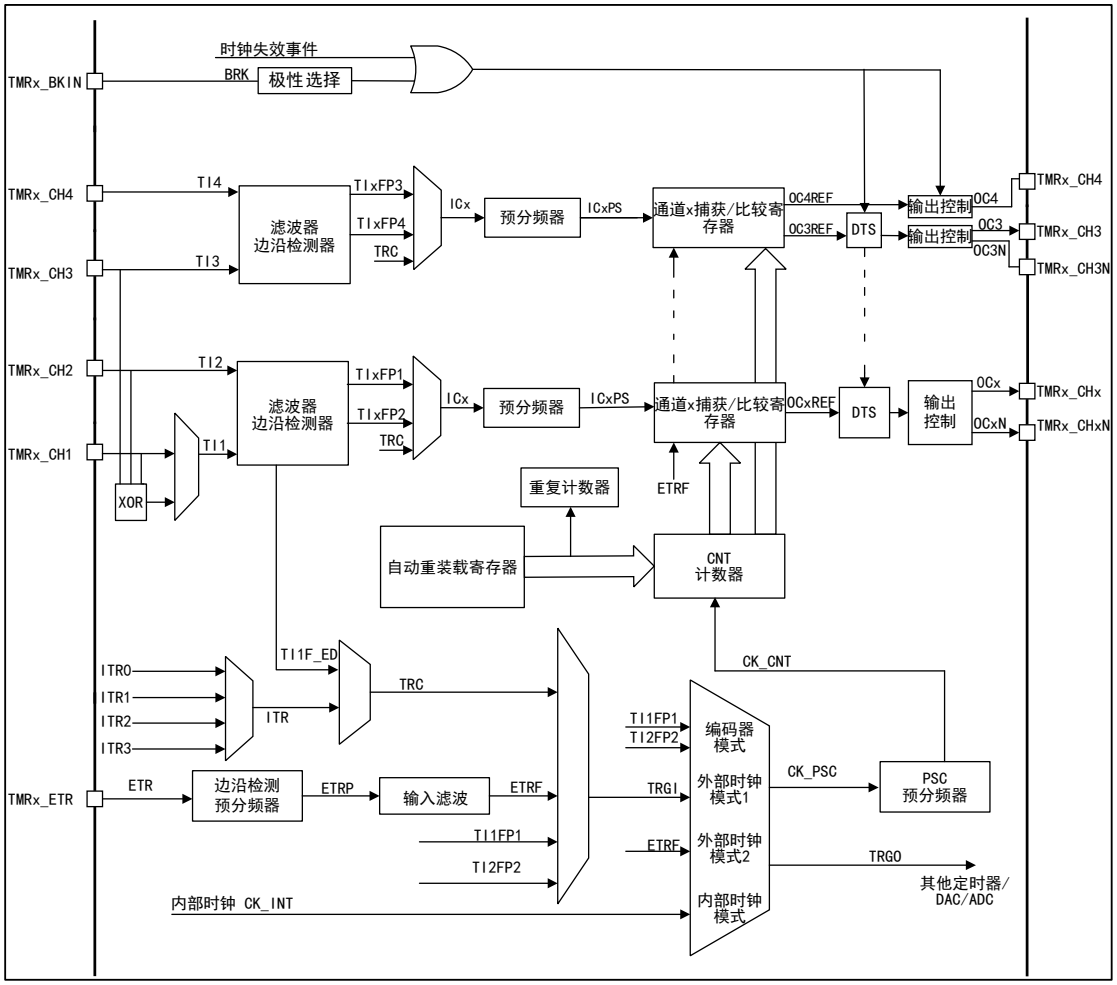
（7） 定时器的主/从模式控制器
- 定时器之间可以同步和级联
- 支持多种从模式、同步信号

（8） 中断输出和 DMA 请求事件
- 更新事件（计数器上/下溢出，计数器初始化）
- 触发事件（计数器启动、停止、内/外部触发）
- 捕获/比较事件
- 刹车信号输入事件

（9） 支持定位用增量（正交）编码器和霍尔传感器电路

14.3 结构框图

图 17 高级定时器结构框图



14.4 功能描述

14.4.1 时钟源选择

高级定时器一共有四种时钟源。

内部时钟

是来自 RCM 的 TMRx_CLK，即定时器本身的驱动时钟，当禁止从模式控制器，则预分频的时钟源 CK_PSC 由内部时钟 CK_INT 驱动。

外部时钟模式 1

来自定时器自身的输入通道 TI1/2/3/4，经过极性选择和滤波以后生成的触发信号，连接到从模式控制器，进而控制计数器的工作。其中通道 1 的输入经过上升

沿、下降沿双沿检测而生成的脉冲信号进行逻辑相或以后的信号就是 TI1F_ED 信号，即 TIF_ED 双边沿信号。特别的是 PWM 输入只能由 TI1/2 输入。

外部时钟模式 2

来自于外部触发接口（ETR）经过极性选择、分频、滤波以后的信号，经过触发输入选择器，连接到从模式控制器，从而控制计数器的工作。

内部触发输入

设置定时器工作于从模式，时钟源为其他定时器的输出信号，此时钟源没有滤波，可以实现定时器之间的同步或级联。主模式的定时器可以对从模式定时器执行复位、启动、停止或提供时钟。

14.4.2 时基单元

高级定时器里的时基单元包含四个寄存器

- 16 位计数器寄存器（CNT）
- 16 位自动重装载寄存器（AUTORLD）
- 16 位预分频寄存器器（PSC）
- 8 位重复次数寄存器（REPCNT）

重复次数寄存器是高级定时器特有的。

计数器 CNT

高级定时器中的计数器中一共有三种计数模式

- 向上计数模式
- 向下计数模式
- 中央对齐模式

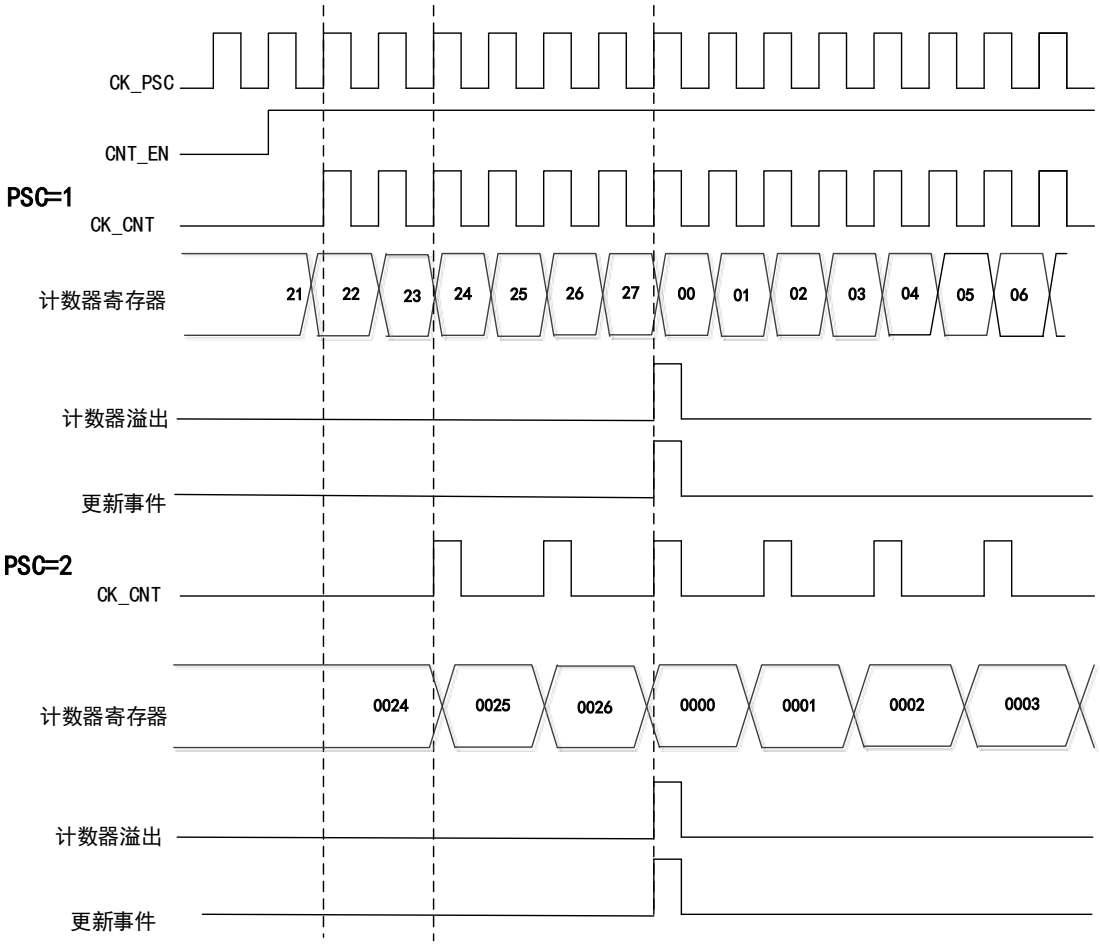
向上计数模式

通过配置控制寄存器（TMRx_CTRL1）中的 CNTDIR 位，设置为向上计数模式。

当计数器处于向上计数模式时，计数器从 0 开始向上计数，当每来一个脉冲计数器就会增加 1，一直到计数器（TMRx_CNT）值与自动重装载（TMRx_AUTORLD）的值相等时，计数器会再次从 0 开始计数，此时产生一个计数器向上溢出事件，其中自动重装载的值（TMRx_AUTORLD）是提前写入的。如果使用重复计数器，则当向上计数的重复次数达到重复计数器寄存器中的次数加一次(TMRx_REPCNT+1)后，将生成更新事件。否则，将在每次计数器上溢时产生更新事件，此时重复计数的影子寄存器、自动重装载的影子寄存器和预分频的缓冲区都将会被更新。可以通过配置控制寄存器 TMRx_CTRL1 中的 UD 位，禁止更新事件。

下图为向上计数模式下，分频因子为 1 或 2 的时序图

图 18 向上计数模式下，分频因子为 1 或 2 的时序图

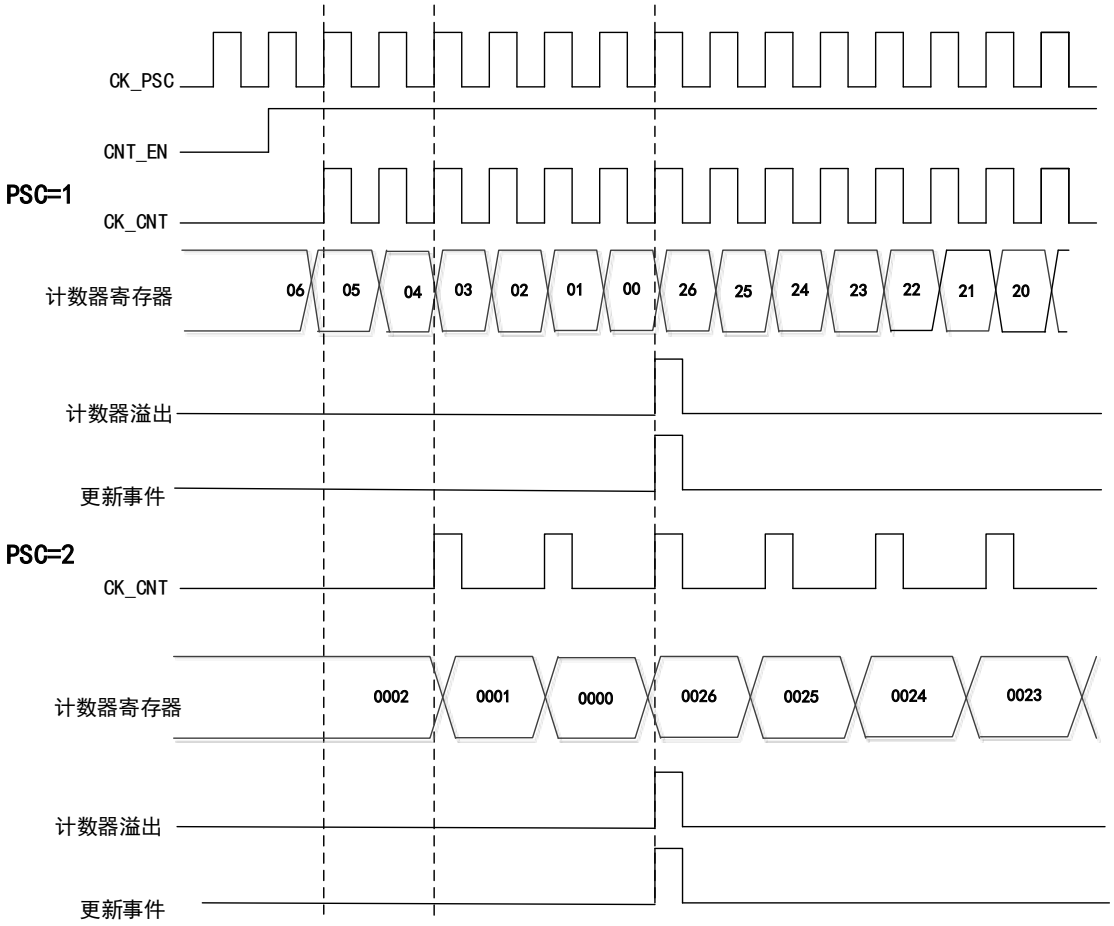


向下计数模式

通过配置控制寄存器（TMRx_CTRL1）中的 CNTDIR 位，设置为向下计数模式。

当计数器处于向下计数模式时，计数器从自动重装载的值（TMRx_AUTORLD）开始向下计数，当每来一个脉冲计数器就会减 1，一直减到 0 时，计数器会重新从（TMRx_AUTORLD）开始计数，与此同时便会产生一个计数器向下溢出事件，自动重装载的值（TMRx_AUTORLD）是提前写入的。如果使用重复计数器，则当向下计数的重复次数达到重复计数器寄存器中的次数加一次(TMRx_REPCNT+1)后，将生成更新事件。否则，将在每次计数器下溢时产生更新事件，此时，重复计数的影子寄存器、自动重装载的影子寄存器和预分频的缓冲区都将会被更新。可以配置 TMRx_CTRL1 寄存器中的 UD 位，禁止更新事件。

图 19 向下计数模式下，分频因子为 1 或 2 的时序图

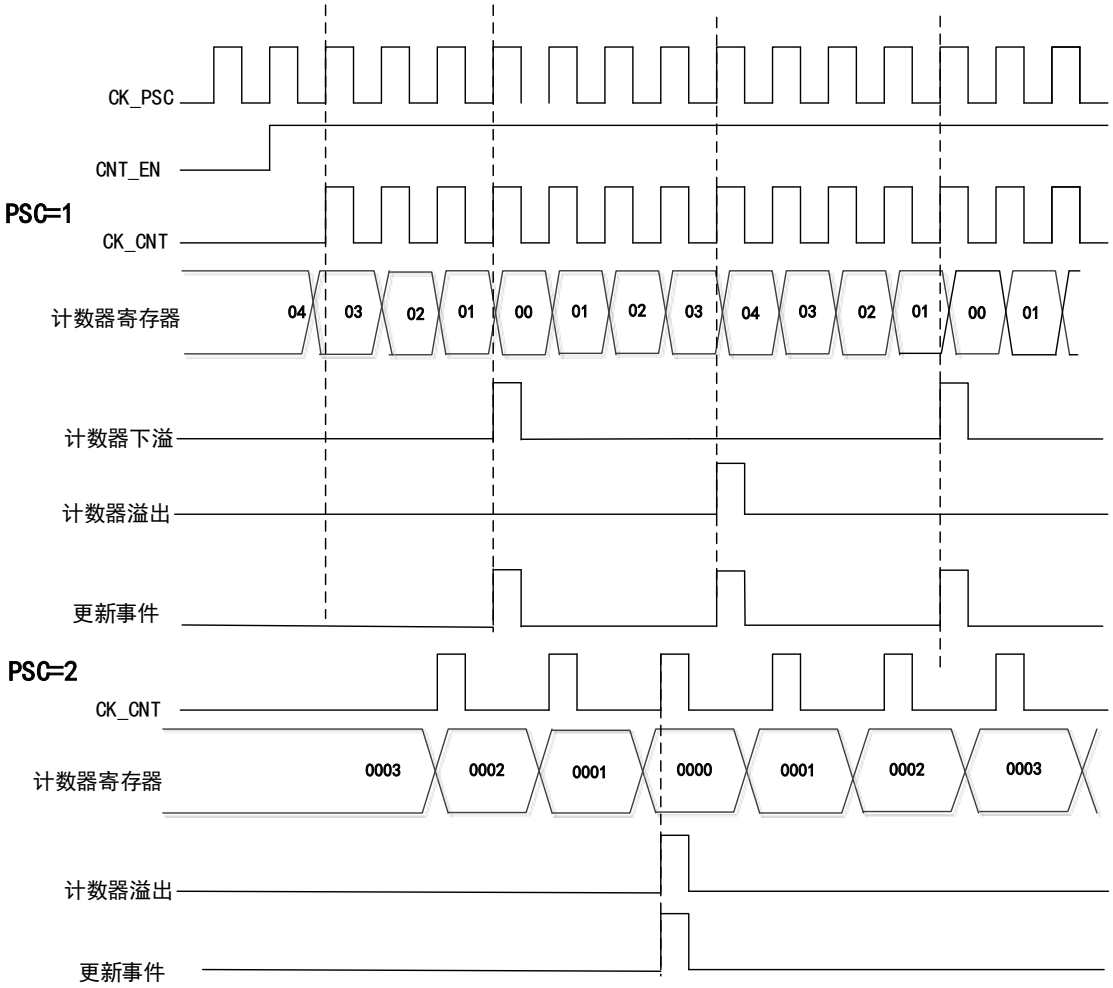


中央对齐模式

通过配置控制寄存器（TMRx_CTRL1）中的 CNTDIR 位，设置为中央对齐模式。

当计数器处于中央对齐模式时，计数器从 0 开始向上计数到自动重装载的值（TMRx_AUTORLD），然后从自动重装载的值（TMRx_AUTORLD）再向下计数到 0，以此往复；在向上计数时，当计数器的值为（AUTORLD-1）时会产生一个计数器上溢事件；在向下计数时，计数器的值为 1 时会产生一个计数器下溢事件。

图 20 中央对齐模式下，分频因子为 1 或 2 的时序图



重复计数器 REPCNT

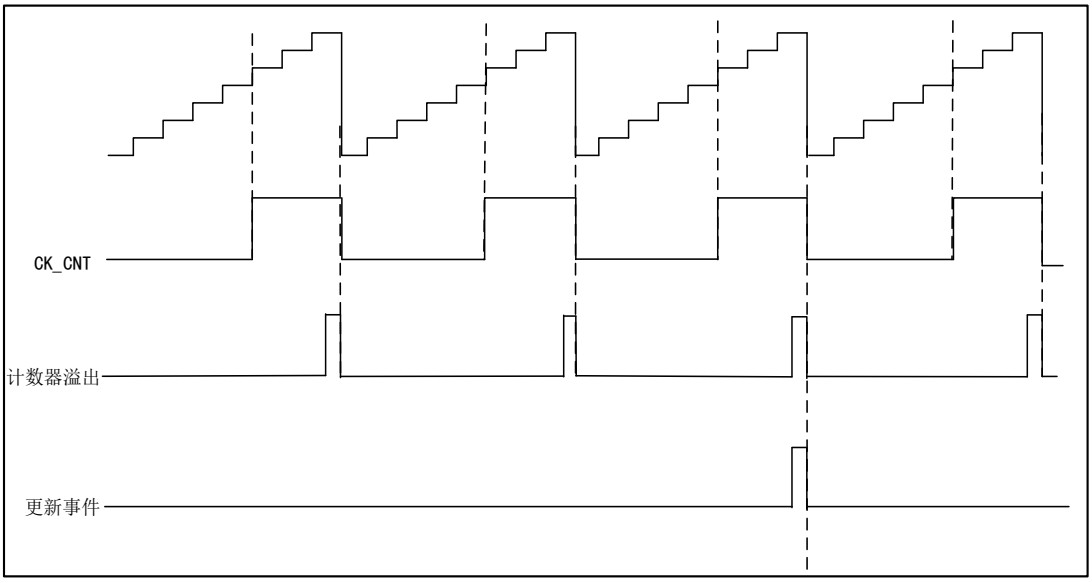
在基本/通用定时器中没有重复计数器 REPCNT，也就表明了在基本/通用定时器中发生上溢事件或者下溢事件时，直接就会产生更新事件，而在高级定时器里，因为重复计数器的存在，高级定时器发生上/下溢事件时，只有当重复计数器的值为 0 时才会产生更新事件。

例如，如果高级定时器需要在发生上/下溢事件时就产生更新事件，应将重复计数器的值置 0。

如果在向上计数模式时，使用了重复计数器功能，每当计数器向上计数到 AUTORLD 时，发生上溢事件，此时重复计数器的值会减 1，直到重复计数器的值为 0 时会产生更新事件。

即在发生 N+1 个（N 为重复计数器的值）上/下溢事件时产生更新事件。

图 21 向上计数模式下，设置 REPCNT=2 的时序图



预分频器 PSC

预分频器是 16 位的且是可编程的，它可以将计数器的时钟频率进行 1~65536 之间任意值的分频（由 TMRx_PSC 寄存器控制），经过分频后的时钟将会驱动计数器 CNT 计数。预分频器带有缓冲器，它能够在运行中被改变。

14.4.3 输入捕获

输入捕获通道

高级定时器有四个独立的捕获/比较独立通道，每一个捕获/比较的通道都围绕着一个捕获/比较寄存器。

在输入捕获中，被测量的信号会从定时器的外部引脚 T1/2/3/4 进入首先经过边沿检测器和输入滤波器，然后进入捕获通道，每个捕获通道都有相对应的捕获寄存器，当发生捕获时，计数器 CNT 的值将会被锁存在捕获寄存器 CCx 中。在进入捕获寄存器之前，信号还会经过预分频器，用于设定经过多少事件进行一次捕获。

输入捕获应用

输入捕获用来捕获外部事件，并且可以赋予时间标记表明事件的发生时刻，可以测量脉冲跳变沿事件（测量频率或者脉宽），如：在输入引脚上如果出现了被选择的边沿，TMRx_CCx 寄存器会捕获计数器当前的值，同时状态寄存器 TMRx_STS 的 CCxIFLG 位被置 1，如果 CCxIEN=1，便会产生中断。

捕获模式下可以测量一个波形的时序、频率、周期和占空比。在输入捕获模式中将边沿选择设定为上升沿检测，当捕获通道出现上升沿时，发生第一次捕获，此时计数器 CNT 的值会被锁存在捕获寄存器 CCx 中，同时会进入捕获中断，在中断服务程序中记录一次捕获，记下此时的值，当检测到下一个上升沿时，发生第二次捕获，计数器 CNT 的值会再次锁存在捕获寄存器 CCx 中，此时再次进入捕

获中断，读取捕获寄存器的值，通过捕获就会得出此脉冲信号的周期。

14.4.4 输出比较

输出比较一共有八种模式：冻结、匹配时通道 x 为有效电平、匹配时通道 x 为无效电平、翻转、强制为无效、强制为有效、PWM 模式 1 和 PWM 模式 2，由 TMRx_CCMx 寄存器中的 OCxMOD 位配置，在输出比较模式中可以控制输出信号的波形。

输出比较应用

输出比较模式中，定时器产生脉冲的位置、极性、频率和时间都是可以控制的。

当计数器的值和捕获/比较寄存器的值相等时，通过配置 TMRx_CCMx 寄存器中的 OCxMOD 位和输出极性 TMRx_CCEN 寄存器中的 CCxPOL 位，通道的输出可以被置高电平、低电平或者翻转。

在 TMRx_STS 寄存器中的 CCxIFLG=1 时，如果 TMRx_DIEN 寄存器中的 CCxIEN=1 产生中断；TMRx_CTRL2 寄存器中的 CCDSEL=1 产生 DMA 请求。

14.4.5 PWM 输出模式

PWM 模式是定时器对外输出可以调节的脉冲信号，其中信号的脉宽是由比较寄存器 CCx 的值决定，周期是由自动重装载 AUTORLD 的值决定。

PWM 输出模式分为 PWM 模式 1 和 PWM 模式 2；PWM 模式 1 和 PWM 模式 2 分为向上计数和向下计数和边沿对齐计数；PWM 模式 1 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出有效电平，否则反之。

设置 CCx=5,AUTORLD=7,在 PWM 模式 1 下的时序图

图 22 PWM1 向上计数模式的时序图

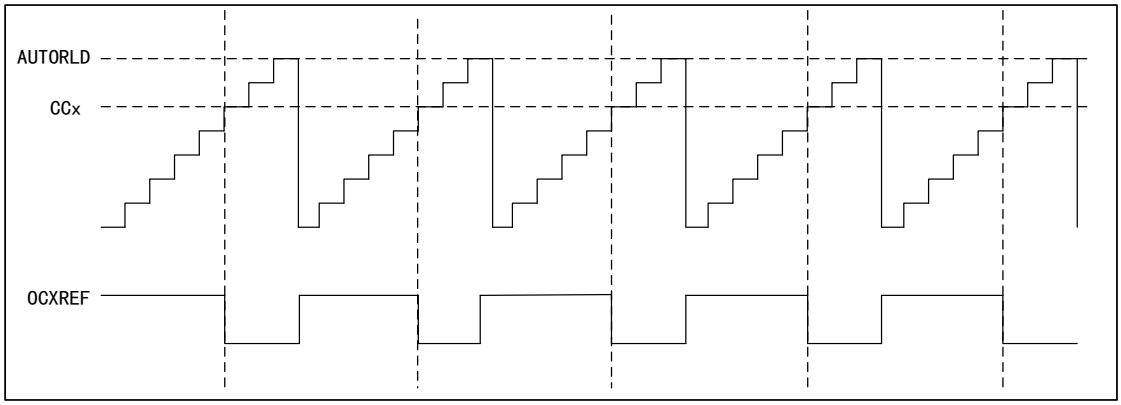


图 23 PWM1 向下计数模式的时序图

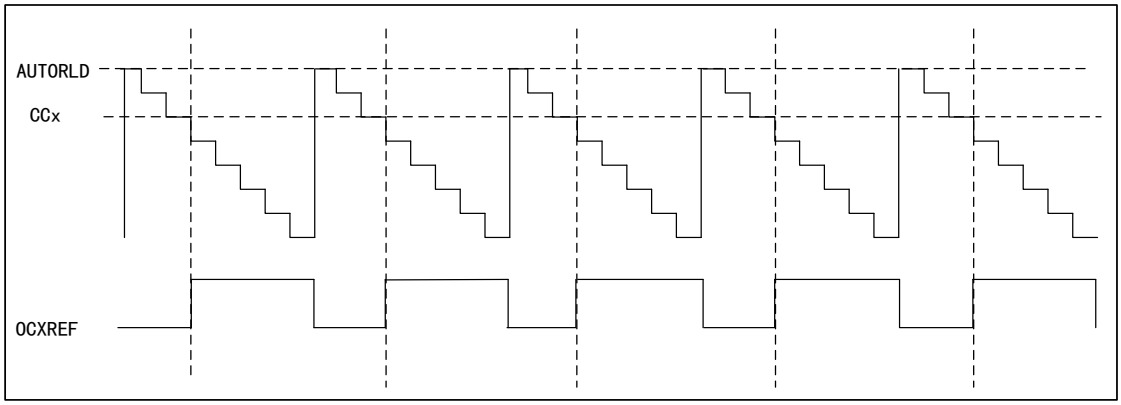
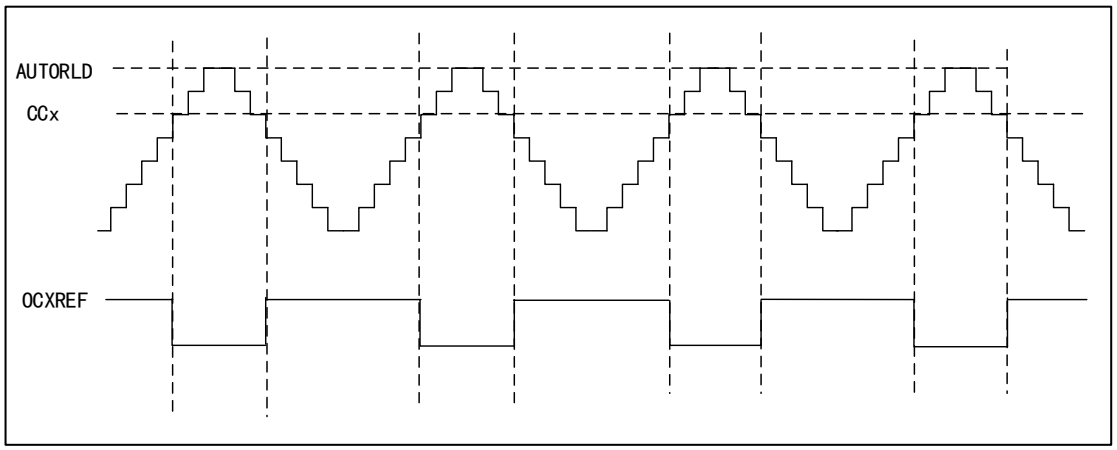


图 24 PWM1 中央对齐模式的时序图



PWM 模式 2 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出无效电平，否则反之。

设置 CCx=5,AUTORLD=7,在 PWM 模式 2 下的时序图

图 25 PWM2 向上计数模式的时序图

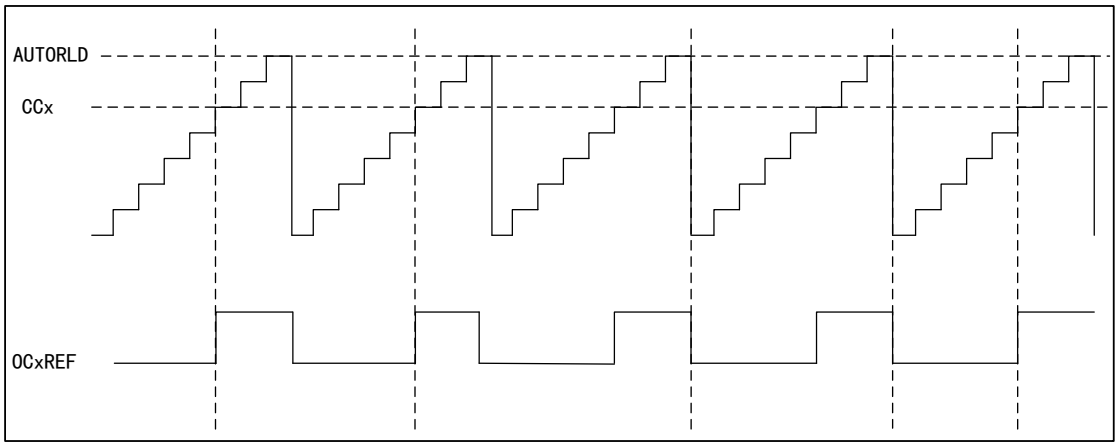


图 26 PWM2 向下计数模式的时序图

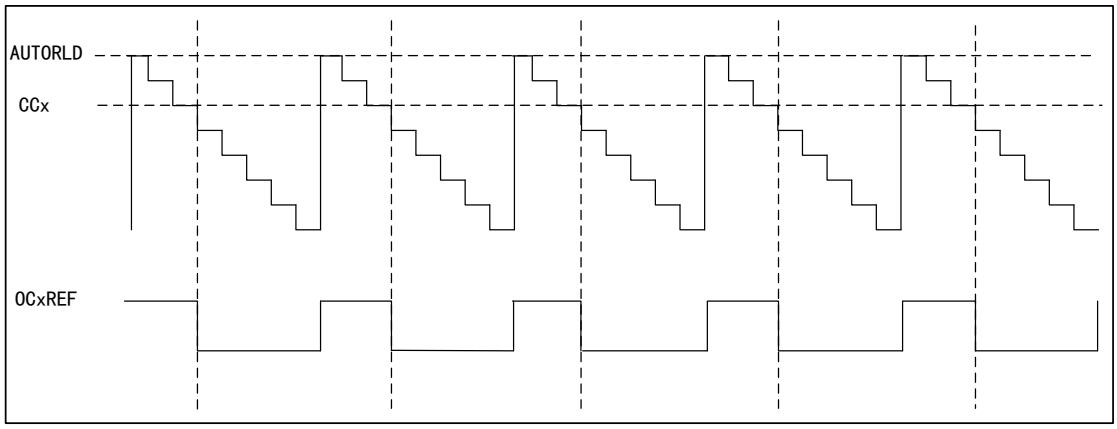
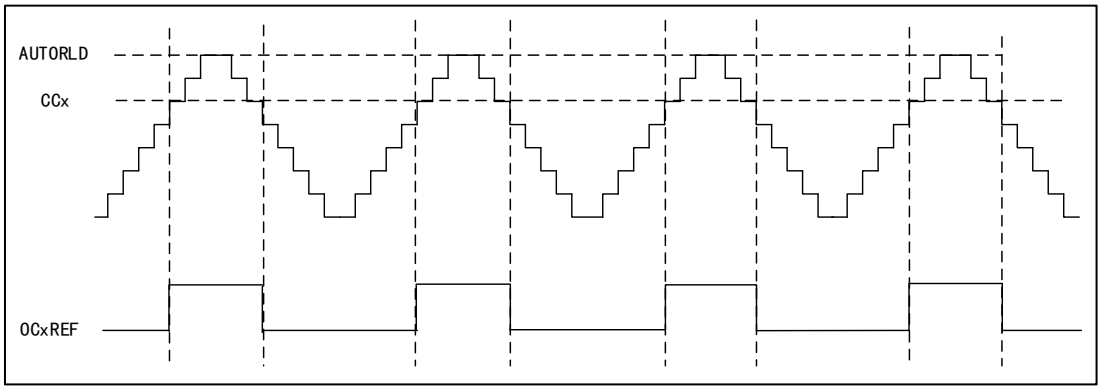


图 27 PWM2 中央对齐模式的时序图



14.4.6 PWM 输入模式

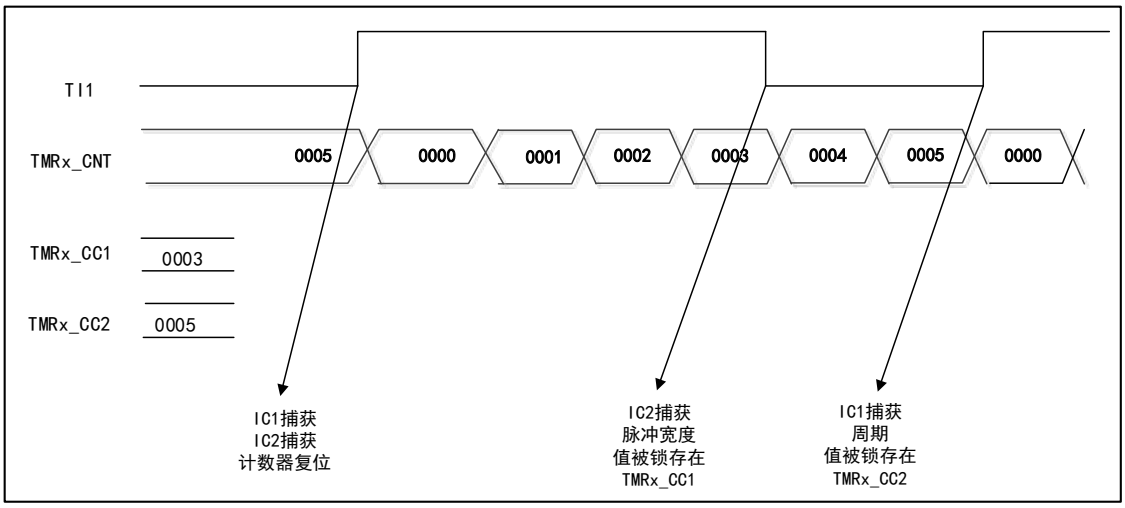
PWM 输入模式是输入捕获的一个特例。

PWM 输入模式，只有 TI1FP1、TI1FP2 连接到了从模式控制器，所以只能从通道 TMRx_CH1 和 TMRx_CH2 输入，且需要占用 CH1、CH2 的捕获寄存器。

在 PWM 输入模式中，PWM 信号从 TMRx_CH1 进入，信号会被分成两路，一路可以测量周期，一路可以测量占空比.在配置中只需设置其中一路的极性，另一路会自动配置会相反的极性。

在此模式中，从模式控制器要配置成复位模式（TMRx_SMCTRL 寄存器的 SMFSEL 位）

图 28 PWM 输入模式时序图



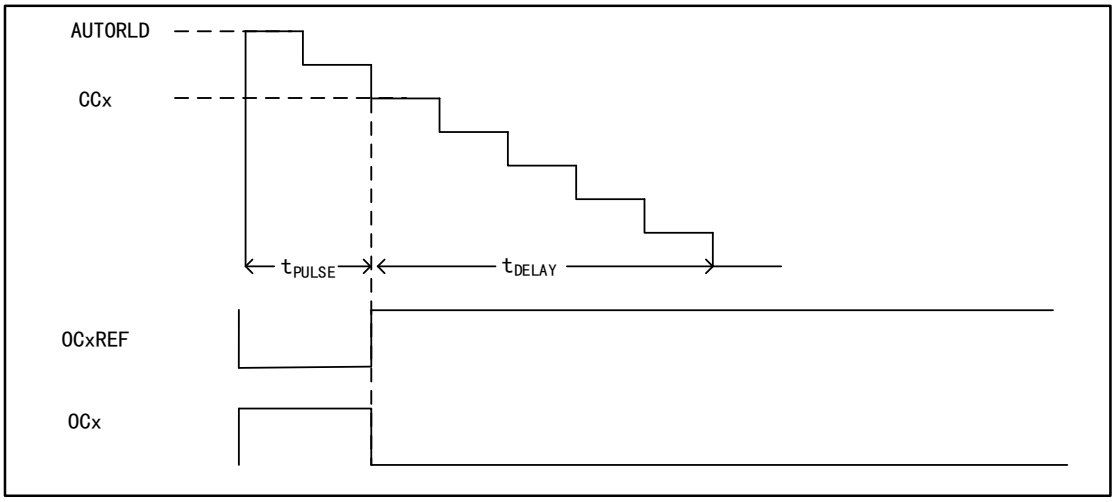
14.4.7 单脉冲模式

单脉冲模式是定时器比较输出中一种特殊情况，也是 PWM 输出模式的特例。

设置 TMRx_CTRL1 寄存器的 SPMEN 位选择单脉冲模式，计数器启动后，在未发生更新事件之前有一定个数的脉冲输出，当发生更新事件后计数器停止计数，后续不再有变化的 PWM 波形输出。

单脉冲模式通过程序在一定可控延迟后，产生一个脉宽可控的脉冲，延时时间由 TMRx_CCx 寄存器的值定义；在增计数模式下延时时间为 CCx，脉冲宽度为 AUTORLD-CCx；在减计数模式下延时时间为 AUTORLD-CCx，脉冲宽度为 CCx。

图 29 单脉冲模式下的时序图



14.4.8 寄存器对输出波形的影响

以下寄存器会影响定时器输出波形的电平，详细信息可参照“寄存器功能描述”。

（1） TMRx_CCEN 寄存器中的 CcxEN、CCxNEN 位

- CCxNEN=0、CcxEN=0：关闭输出（输出禁止，无效状态）

- CCxNEN=1、CcxEN=1：开启输出（输出使能，正常输出）

（2） TMRx_BDT 寄存器中的 MOEN 位

- MOEN=0：空闲模式
- MOEN=1：运行模式

（3） TMRx_CTRL2 寄存器中的 OCxOIS、OCxNOIS 位

- OCxOIS=0、OCxNOIS=0：空闲时（MOEN=0）死区后的输出电平为 0
- OCxOIS=1、OCxNOIS=1：空闲时（MOEN=0）死区后的输出电平为 1

（4） TMRx_BDT 寄存器中的 RMOS 位

- RMOS 的应用环境：对应互补通道、定时器运行模式下（MOEN=1）、定时器不工作（CcxEN=0、CCxNEN=0）或工作（CcxEN=1、CCxNEN=1）情况下

（5） TMRx_BDT 寄存器中的 IMOS 位

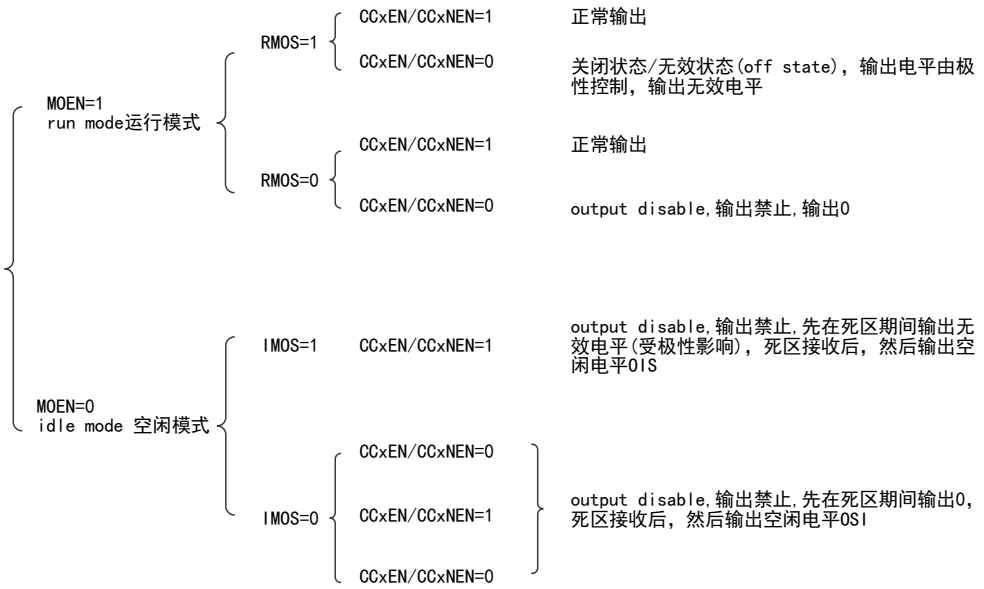
- IMOS 的应用环境：对应互补通道、定时器空闲模式下（MOEN=0）、定时器不工作（CcxEN=0、CCxNEN=0）或工作（CcxEN=1、CCxNEN=1）情况下

（6） TMRx_CCEN 寄存器的 CCxPOL、CCxNPOL 位

- CCxPOL=0、CCxNPOL=0：输出极性，高电平有效
  CCxPOL=1、CCxNPOL=1：输出极性，低电平有效

下图罗列了影响输出波形的寄存器结构关系

图 30 影响输出波形的寄存器结构关系



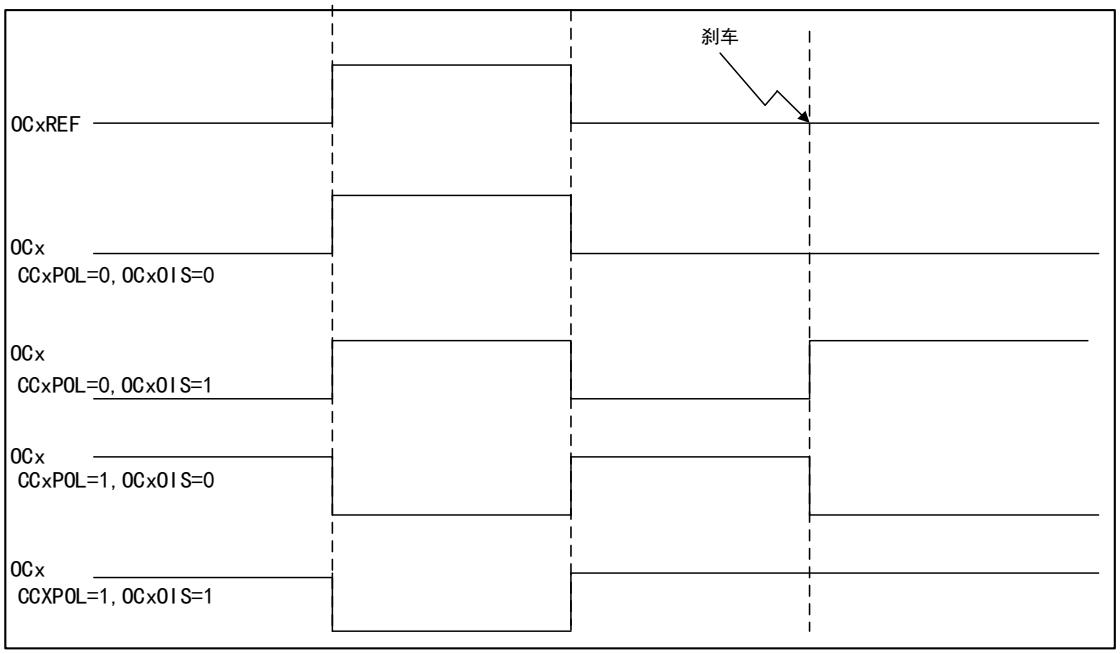
14.4.9 刹车功能

刹车的信号源为时钟故障事件和外部输入接口。

其中 TMRx_BDT 寄存器中的 BRKEN 位可以使能刹车功能，BRKPOL 位配置刹车输入信号的极性。

发生刹车事件时，可以根据相关控制位的状态修改输出脉冲信号电平。

图 31 发生刹车事件的时序图

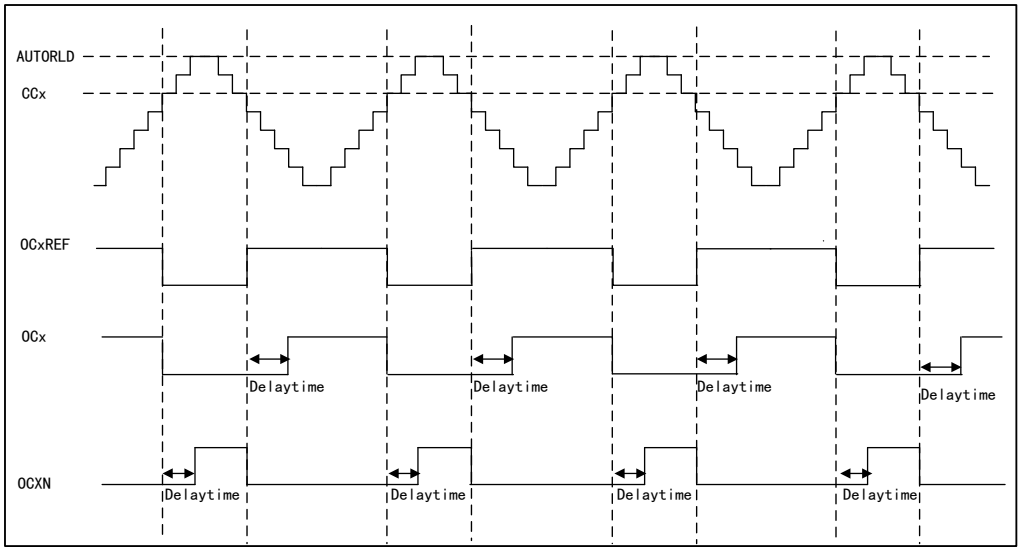


14.4.10 互补输出和死区插入

互补输出是高级定时器特有的输出，高级定时器有三组互补输出通道。插入死区时间用于生成互补的输出信号，确保通道互补的两路信号不会同时有效。根据定时器连接的输出器件以及特性来设定死区时间

配置 TMRx_BDT 寄存器的 DTS 位可以控制死区的持续时间

图 32 带死区插入的互补输出



14.4.11 强制输出模式

强制输出模式下无视比较结果，直接根据配置指令输出相应电平。

- TMRx_CCMx 寄存器的 CCxSEL=00,设定 CCx 通道为输出
- TMRx_CCMx 寄存器的 OCxMOD=100/101,设定强制 OCxREF 信号为无效/有效状态

在此模式中仍旧会产生相应的中断和 DMA 请求。

14.4.12 编码器接口模式

编码器接口模式相当于是一个带有方向选择的外部时钟，在编码器接口模式中，计时器的内容可一直指示编码器的位置。

选择编码器接口的方法如下：

- 通过设置 TMRx_SMCTRL 寄存器的 SMFSEL 位，可以设定计数器是在 TI1 通道/TI2 通道边沿计数，或者同时在 TI1 和 TI2 的边沿计数。
- 通过设置 TMRx_CCEN 寄存器中的 CC1POL 和 CC2POL 位，可以选择 TI1 和 TI2 的极性。
- 通过设置 TMRx_CCM1 寄存器中的 IC1F 和 IC2F 位，可以选择是否进行滤波。

两个输入 TI1 和 TI2 可以作为增量编码器的接口，计数器由在 TI1 和 TI2 经过滤波和边沿选择后的信号 TI1FP1 和 TI2FP2 的有效跳变驱动。

根据 TI1 和 TI2 的输入信号，产生计数脉冲和方向信号

- 根据输入信号的跳变顺序,计数器会向上/向下计数。
- 将控制寄存器 TMRx_CTRL1 的 CNTDIR 设置为只读（任一输入端的跳变都会重新计算 CNTDIR）。

计数器计数方向改变机制如下图

表格 63 计数方向与编码器的关系

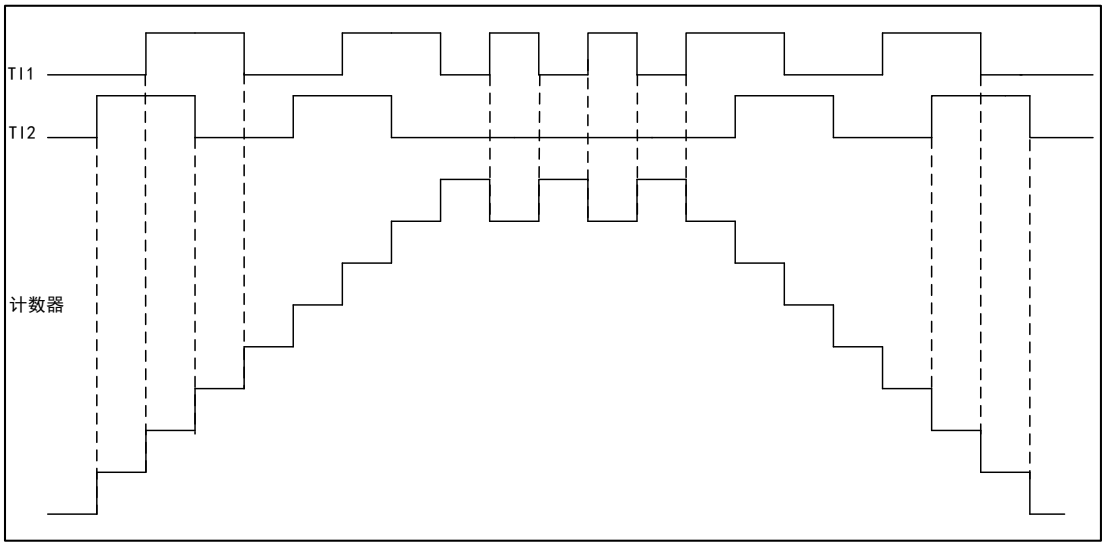
有效边沿		**仅在 TI1 计数**		**仅在 TI2 计数**		**在 TI1 和 TI2 计数**	
相对信号的电平		高	低	高	低	高	低
TI1FP1	上升沿	—		向下计数	向上计数	向下计数	向上计数
	下降沿			向上计数	向下计数	向上计数	向下计数
TI2FP2	上升沿	向上计数	向下计数	—		向上计数	向下计数
	下降沿	向下计数	向上计数			向下计数	向上计数

外部的增量编码器可以不用外部接口逻辑直接与 MCU 连接，所以使用比较器将编码器的差动输出转换到数字信号来增加抗噪声干扰。

在下图的实例中：

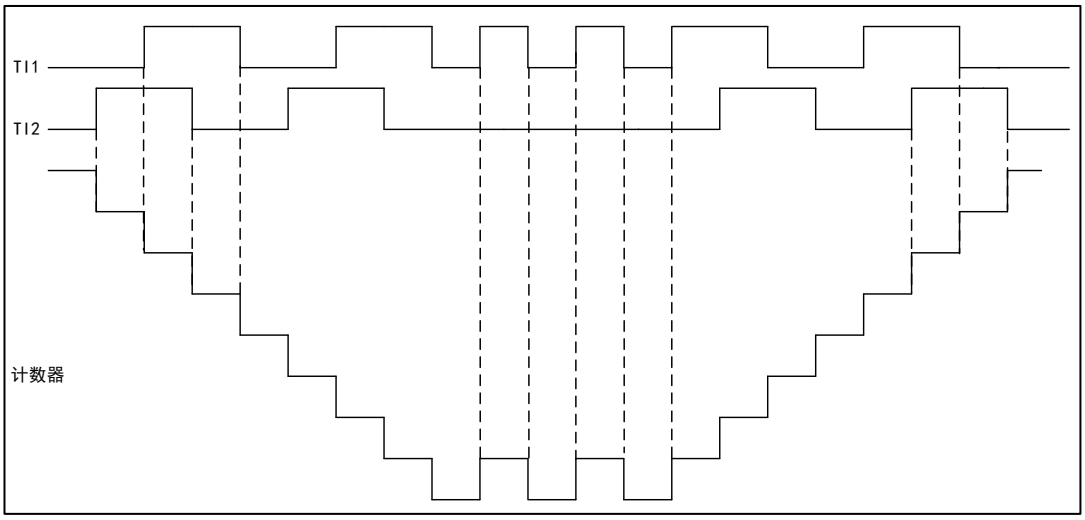
- 将 IC1FP1 映射到 TI1
- 将 IC2FP2 映射到 TI2
- IC1FP1 和 IC2FP2 都不反相
- 输入信号在上升沿和下降沿有效
- 使能计数器

图 33 编码器模式下的计数器操作实例



例如：当 TI1 处在低电平时，如果 TI2 出现上升沿状态，计数器向上计数。

图 34 IC1FP1 反相的编码器接口模式实例



例如：当 TI1 处于低电平时，TI2 发生上升沿跳变，计数器向下计数。

14.4.13 从模式

TMRx 定时器可以进行外部的触发同步

- 复位模式
- 门控模式
- 触发模式

可设置 TMRx_SMCTRL 寄存器中的 SMFSEL 位来选择是哪种模式。

SMFSEL=100 设定复位模式，SMFSEL=101 设定门控模式，SMFSEL=110 设定触发模式。

复位模式下，在发生一个触发输入事件时，计数器和预分频器会被初始化，选中的触发输入（TRGI）的上升沿重新初始化计数器，并且产生一个更新寄存器的信

号。

门控模式下，计数器的使能依赖于选中的输入端的高电平，当触发输入为高时，计数器的时钟开启，一旦触发输入变为低，则计数器停止（但不复位），计数器的启动和停止都是受控制的。

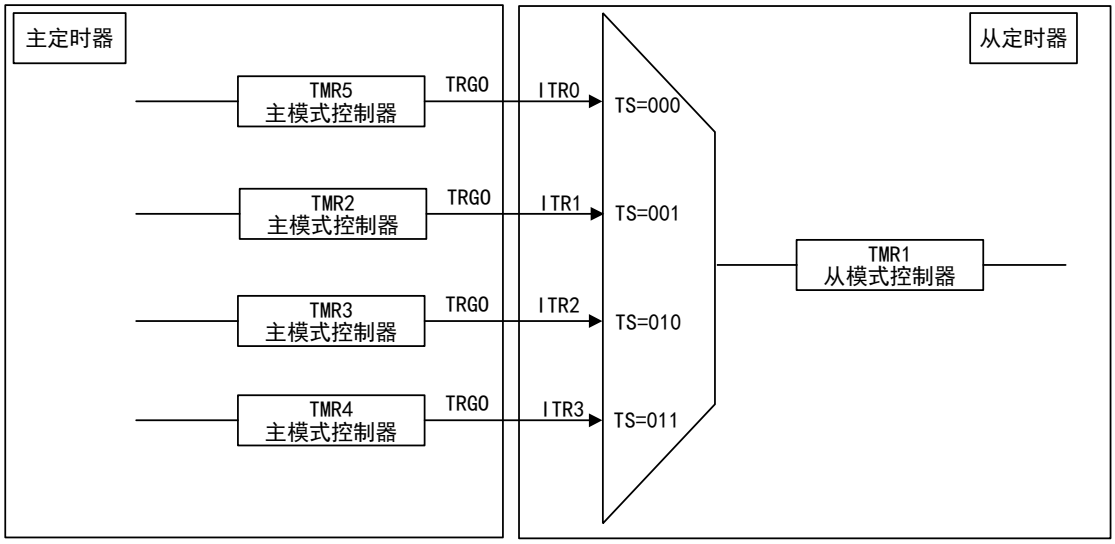
触发模式下，计数器的使能依赖于选中的输入端上的事件，计数器在触发输入的上升沿启动（但不复位），只有计数器的启动是受控制的。

14.4.14 定时器互连

TMRx 各个定时器可以互相连接实现定时器之间的同步或级联。需要配置一个定时器处于主模式，另一个定时器处于从模式。

定时器处于主模式时可以对从模式定时器的计数器进行复位、启动、停止和提供时钟源等。

图 35 定时器 1 主/从模式的例子



在定时器互连中可以：

- 将一个定时器作为另一个寄存器的预分频器
- 用一个定时器的使能信号启动另一个寄存器
- 用一个定时器的更新事件启动另一个寄存器
- 用一个定时器的使能选通另一个定时器
- 用一个外部触发同步两个定时器

14.4.15 中断和 DMA 请求

定时器在工作时产生事件时会发生中断

- 更新事件（计数器上/下溢出，计数器初始化）
- 触发事件（计数器启动、停止、内/外部触发）
- 捕获/比较事件
- 刹车信号输入事件

其中一些内部中断事件可以产生 DMA 请求，还有专门的接口允许或者禁止触发 DMA 请求。

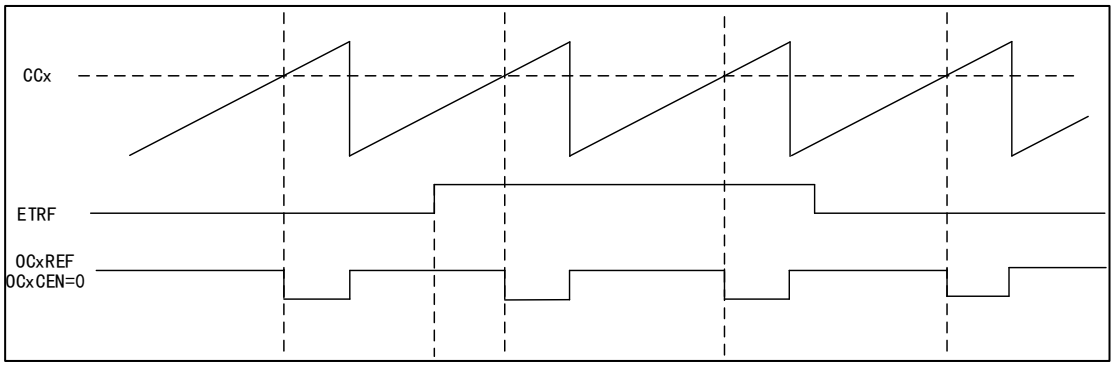
14.4.16 在外部事件时清除 OCxREF 信号

此功能是用于输出比较和 PWM 模式。

在一个通道中，用 ETRF 输入端口的高电平将 OCxREF 的信号降为低电平，捕获/比较寄存器 TMRx_CCMx 中的 OCxCEN 的位置 1，OCxREF 信号会保持为低电平直到下一次发生更新事件。

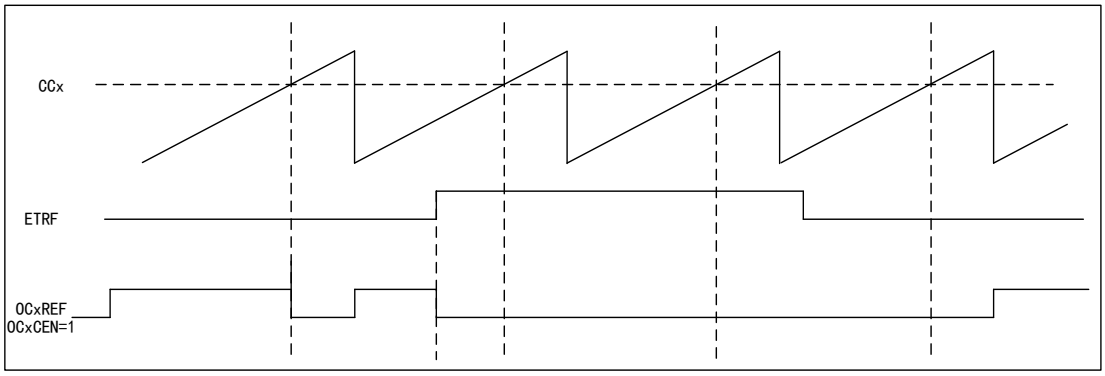
将 TMRx 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=0，输出的 OCxREF 信号如下图。

图 36 OCxREF 时序图



将 TMRx 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=1，输出的 OCxREF 信号如下图。

图 37 OCxREF 时序图



14.5 寄存器地址映射

下表中将高级定时器的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 64 高级定时器寄存器地址映射

寄存器名	描述	偏移地址
TMRx_CTRL1	控制寄存器 1	0x00
TMRx_CTRL2	控制寄存器 2	0x04
TMRx_SMCTRL	从模式控制寄存器	0x08
TMRx_DIEN	DMA/中断使能寄存器	0x0C

寄存器名	描述	偏移地址
TMRx_STS	状态寄存器	0x10
TMRx_CEG	控制事件产生寄存器	0x14
TMRx_CCM1	捕获/比较模式寄存器 1	0x18
TMRx_CCM2	捕获/比较模式寄存器 2	0x1C
TMRx_CCEN	捕获/比较使能寄存器	0x20
TMRx_CNT	计数器寄存器	0x24
TMRx_PSC	预分频寄存器	0x28
TMRx_AUTORLD	自动重装载寄存器	0x2C
TMRx_REPCNT	重复计数寄存器	0x30
TMRx_CC1	通道 1 捕获/比较寄存器	0x34
TMRx_CC2	通道 2 捕获/比较寄存器	0x38
TMRx_CC3	通道 3 捕获/比较寄存器	0x3C
TMRx_CC4	通道 4 捕获/比较寄存器	0x40
TMRx_BDT	刹车和死区寄存器	0x44
TMRx_DCTRL	DMA 控制寄存器	0x48
TMRx_DMADDR	连续模式的 DMA 地址寄存器	0x4C

14.6 寄存器功能描述

14.6.1 控制寄存器 1（TMRx_CTRL1）

偏移地址：0x00

复位值：0x0000

位/域	名称	R/W	描述
0	CNTEN	R/W	使能计数器（Counter Enable） 0：禁止 1：使能 定时器配置为外部时钟、门控模式和编码器模式时，需要通过软件对该位写 1 启动定期工作；配置为触发模式时，可硬件写 1。
1	UD	R/W	禁止更新（Update Disable） 更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。 0：允许更新事件（UEV） 更新事件可以由以下任一情况产生： 计数器溢出/下溢； 设置 UEG 位； 从模式控制器产生的更新。 1：禁止更新事件

位/域	名称	R/W	描述
2	URSSEL	R/W	更新请求源（Update Request Source Select） 如果使能了中断或 DMA，更新事件可产生更新中断或 DMA 请求，通过该位可选择不同的更新请求源。 0：计数器上溢或下溢 设置 UEG 位； 通过从模式控制器产生的更新。 1：计数器上溢或下溢
3	SPMEN	R/W	使能单脉冲模式（Single Pulse Mode Enable） 产生更新事件时，可改变通道的输出电平；在该模式下，会清除 CNTEN 位，停止计数器，后续不再改变通道的输出电平。 0：禁用 1：使能
4	CNTDIR	R/W	配置计数器计数方向（Counter Direction） 当计数器配置为中央对齐模式或编码器模式时，该位为只读。 0：向上计数 1：向下计数
6:5	CAMSEL	R/W	选择中央对齐模式（Center Aligned Mode Select）， 中央对齐模式下，计数器交替的向上向下计数；否则只向上或向下计数。不同的中央对齐模式，影响输出通道的输出比较中断标志位置 1 的时机；在计数器禁止时（CNTEN=0）时，选择中央对齐模式。 00：边沿对齐模式 01：中心对齐模式 1（在向下计数时，输出通道的输出比较中断标志位置 1） 10：中心对齐模式 2（在向上计数时，输出通道的输出比较中断标志位置 1） 11：中心对齐模式 3（在向上/下计数时，输出通道的输出比较中断标志位置 1）
7	ARPEN	R/W	TMRx_AUTORLD 寄存器自动重装载缓冲使能（Auto-reload Preload Enable） 禁止缓存区时，程序修改 TMRx_AUTORLD 会立刻修改装入计数器的数值；使能缓存区时，程序修改 TMRx_AUTORLD 会在下一个更新事件修改装入计数器的数值。 0：禁止 1：使能
9:8	CLKDIV	R/W	时钟分频系数（Clock Division） 死区、数字滤波器的配置由 CK_INT 提供时钟，通过设置改位可调整死区时间、数字滤波器的采用时钟。 00：$t_{DTS}=t_{CK_INT}$ 01：$t_{DTS}=2\times t_{CK_INT}$ 10：$t_{DTS}=4\times t_{CK_INT}$ 11：保留
15:10	保留		

14.6.2 控制寄存器 2（TMRx_CTRL2）

偏移地址：0x04

复位值：0x0000

位/域	名称	R/W	描述
0	CCPEN	R/W	使能捕获/比较预装载（Capture/Compare Preloaded Enable）

位/域	名称	R/W	描述
			该位影响 CcxEN、CCxNEN、OCxMOD 数值的改变，禁止预装载时，程序修改会立刻影响定时器的设置；使能预装载时，只在设置了 COMG 会后更新，从而影响定时器的设置；该位只在具有互补输出的通道起作用。 0：禁止 1：使能
1	保留		
2	CCUSEL	R/W	选择捕获/比较控制更新（Capture/compare Control Update Select）仅在捕获比较预装载使能（CCPEN=1）时，且只对互补输出通道才起作用。 0：只能通过设置 COMG 位更新 1：可以通过设置 COMG 位或者 TRGI 上的上升沿更新
3	CCDSEL	R/W	选择发出捕获/比较的 DMA 请求（Capture/compare DMA Select） 0：当发生 CCx 事件时，送出 CCx 的 DMA 请求 1：当发生更新事件时，送出 CCx 的 DMA 请求
6:4	MMSEL	R/W	选择定时器主模式下用于 TRGO 的信号（Master Mode Signal Select） 工作在主模式的定时器的信号可用于 TRGO，从而影响处在从模式且与主定时器级联的的定时器工作，具体影响可从模式的定时器配置有关。 000：复位，主模式定时器的复位信号用于 TRGO 001：使能，主模式定时器的计数器使能信号用于 TRGO 010：更新，主模式定时器的更新事件用于 TRGO 011：比较脉冲，主模式定时器捕获/比较成功（CCxIFLG=1）时输出一个脉冲信号用于 TRGO 100：比较模式 1，OC1REF 用于触发 TRGO 101：比较模式 2，OC2REF 用于触发 TRGO 110：比较模式 3，OC3REF 用于触发 TRGO 111：比较模式 4，OC4REF 用于触发 TRGO
7	TI1SEL	R/W	TI1 选择（Timer Input 1 Selection） 0：TMRx_CH1 引脚连到 TI1 输入 1：TMRx_CH1、TMRx_CH2 和 TMRx_CH3 引脚经异或后连到 TI1 输入
8	OC1OIS	R/W	配置 OC1 输出空闲状态（OC1 Output Idel State Configure） 仅在当 MOEN=0 时、实现了 OC1N，只影响 OC1 死区时间后的电平状态。 0：OC1=0 1：OC1=1 注：当 TMRx_BDT 寄存器中 LOCKCFG 位级别为 1、2 或 3 时，该位不能修改。
9	OC1NOIS	R/W	配置 OC1N 输出空闲状态（OC1N Output Idel State Configure） 仅在当 MOEN=0、实现了 OC1N，只影响 OC1N 死区时间后的电平状态。 0：OC1N=0 1：OC1N=1 注：当 TMRx_BDT 寄存器中 PLOCKCFG 位级别为 1、2 或 3 时，该位不能修改。
10	OC2OIS	R/W	配置 OC2 输出空闲状态。参考 OC1OIS 位
11	OC2NOIS	R/W	配置 OC2N 输出空闲状态。参考 OC1NOIS 位

位/域	名称	R/W	描述
12	OC3OIS	R/W	配置 OC3 输出空闲状态。参考 OC1OIS 位
13	OC3NOIS	R/W	配置 OC3N 输出空闲状态。参考 OC1NOIS 位
14	OC4OIS	R/W	配置 OC4 输出空闲状态。参考 OC1OIS 位
15	保留		

14.6.3 从模式控制寄存器（TMRx_SMCTRL）

偏移地址：0x08

复位值：0x0000

位/域	名称	R/W	描述
2:0	SMFSEL	R/W	选择从模式功能（Slave Mode Function Select） 000：禁止从模式，定时器可作为主模式定时器影响从模式定时器的工作；如果 CTRL1_CNTEN=1，则预分频器直接由内部时钟驱动。 001：编码器模式 1，根据 TI1FP1 的电平，计数器在 TI2FP2 的边沿计数。 010：编码器模式 2，根据 TI2FP2 的电平，计数器在 TI1FP1 的边沿计数。 011：编码器模式 3，根据另一个信号的输入电平，计数器在 TI1FP1、TI2FP2 的边沿计数。 100：复位模式，从模式定时器在收到 TRGI 的上升沿信号后复位计数器，并产生更新寄存器的信号。 101：门控模式，从模式定时器在收到 TRGI 高电平信号时，启动计数器工作；收到 TRGI 低电平时停止计数器工作；再收到 TRGI 高电平信号时，继续工作；整个期间不复位计数器。 110：触发模式，从模式定时器在收到 TRGI 的上升沿信号后，启动计数器工作。 111：外部时钟模式 1，选择 TRGI 的上升沿信号作为时钟源驱动计数器工作。
3	保留		
6:4	TRGSEL	R/W	选择触发输入信号（Trigger Input Signal Select） 为了避免在改变该位值时产生错误的边沿检测，须在 SMFSEL=0 时改变。 000：内部触发 ITR0 001：内部触发 ITR1 010：内部触发 ITR2 011：内部触发 ITR3 100：通道 1 输入边沿检测器 TIF_ED 101：通道 1 滤波后定时器输入 TI1FP1 110：通道 2 滤波后的定时器输入 TI2FP2 111：外部触发输入（ETRF）
7	MSMEN	R/W	使能主/从模式（Master/slave Mode Enable） 0：无效 1：使能主/从模式
11:8	ETFCFG	R/W	配置外部触发滤波器（External Trigger Filter Configure） 0000：禁用滤波器，以 f_{DTS} 采样 0001：DIV=1，N=2 0010：DIV=1，N=4

位/域	名称	R/W	描述
			0011：DIV=1，N=8 0100：DIV=2，N=6 0101：DIV=2，N=8 0110：DIV=4，N=6 0111：DIV=4，N=8 1000：DIV=8，N=6 1001：DIV=8，N=8 1010：DIV=16，N=5 1011：DIV=16，N=6 1100：DIV=16，N=8 1101：DIV=32，N=5 1110：DIV=32，N=6 1111：DIV=32，N=8 采样频率=定时器时钟频率/DIV；滤波长度=N，每 N 个事件产生一个跳变。
13:12	ETPCFG	R/W	配置外部触发信号预分频器（External Trigger Prescaler Configure） ETR（外部触发输入）的信号经过分频后为 ETRP，ETRP 的信号频率最多是 TMRxCLK 频率的 1/4；当 ETR 频率过高时，须经过分频降低 ETRP 的频率。 00：禁用预分频器； 01：ETR 信号 2 分频 10：ETR 信号 4 分频 11：ETR 信号 8 分频
14	ECEN	R/W	使能外部时钟模式 2（External Clock Enable Mode2） 0：禁止 1：使能 设置 ECEN 位与选择外部时钟模式 1 将 TRGI 连接到 ETRF 具有相同作用；从模式（复位、门控、触发）可以与外部时钟模式 2 同时使用，但此时 TRGI 不能连到 ETRF；当外部时钟模式 1 和外部时钟模式 2 同时使能时，外部时钟的输入是 ETRF。
15	ETPOL	R/W	配置外部触发极性（External Trigger Polarity Configure） 该位决定外部触发 ETR 是否反相。 0：外部触发 ETR 不反相，高电平或上升沿有效 1：外部触发 ETR 反相，低电平或下降沿有效

表格 65 TMRx 内部触发连接

从定时器	ITR1（TS=000）	ITR1（TS=001）	ITR2（TS=010）	ITR3（TS=011）
TMR1	TMR5	TMR2	TMR3	TMR4
TMR8	TMR1	TMR2	TMR4	TMR5

14.6.4 DMA/中断使能寄存器（TMRx_DIEN）

偏移地址：0x0C

复位值：0x0000

位/域	名称	R/W	描述
0	UIEN	R/W	使能更新中断（Update Interrupt Enable） 0：禁止

位/域	名称	R/W	描述
			1：使能
1	CC1IEN	R/W	使能捕获/比较通道 1 中断（Capture/Campare Channel1 Interrupt Enable） 0：禁止 1：使能
2	CC2IEN	R/W	使能捕获/比较通道 2 中断（Capture/Campare Channel2 Interrupt Enable） 0：禁止 1：使能
3	CC3IEN	R/W	使能捕获/比较通道 3 中断（Capture/Campare Channel3 Interrupt Enable） 0：禁止 1：使能
4	CC4IEN	R/W	使能捕获/比较通道 4 中断（Capture/Campare Channel4 Interrupt Enable） 0：禁止 1：使能
5	COMIEN	R/W	使能 COM 中断（COM Interrupt Enable） 0：禁止 1：使能
6	TRGIEN	R/W	使能触发中断（Trigger Interrupt Enable） 0：禁止 1：使能
7	BRKIEN	R/W	使能刹车中断（Break Interrupt Enable） 0：禁止 1：使能
8	UDIEN	R/W	使能更新的 DMA 请求（Update DMA Request Enable） 0：禁止 1：使能
9	CC1DEN	R/W	使能捕获/比较通道 1 的 DMA 请求（Capture/Campare Channel1 DMA Request Enable） 0：禁止 1：使能
10	CC2DEN	R/W	使能捕获/比较通道 2 的 DMA 请求（Capture/Campare Channe2 DMA Request Enable） 0：禁止 1：使能
11	CC3DEN	R/W	使能捕获/比较通道 3 的 DMA 请求（Capture/Campare Channe3 DMA Request Enable） 0：禁止 1：使能
12	CC4DEN	R/W	使能捕获/比较通道 4 的 DMA 请求（Capture/Campare Channe4 DMA Request Enable） 0：禁止 1：使能
13	COMDEN	R/W	使能的 DMA 请求（COM DMA Request Enable）

位/域	名称	R/W	描述
			0：禁止 1：使能
14	TRGDEN	R/W	使能触发 DMA 请求（Trigger DMA Request Enable） 0：禁止 1：使能
15	保留		

14.6.5 状态寄存器（TMRx_STS）

偏移地址：0x10

复位值：0x0000

位/域	名称	R/W	描述
0	UIFLG	RC_W0	产生更新事件中断标志位（Update Event Interrupt Generate Flag） 0：没有发生更新事件中断 1：发生更新事件中断 计数器数值重新装载或重新初始化时，会产生更新事件，该位由硬件置 1，软件清 0；更新事件的产生的情况有以下情况： （1）TMRx_CTRL1 寄存器的 UD=0，重复计数器数值上/下溢时产生更新事件； （2）TMRx_CTRL1 寄存器的 URSSEL=0 和 UD=0，配置 TMRx_CEG 寄存器的 UEG=1 产生更新事件，需要通过软件初始化计数器； （3）TMRx_CTRL1 寄存器的 URSSEL=0 和 UD=0，计数器被触事件初始化时产生更新事件。
1	CC1IFLG	RC_W0	捕获/比较通道 1 中断标志（Captuer/Compare Channel1 Interrupt Flag） **当捕获比较通道 1 配置为输出时：** 0：无匹配发生 1：TMRx_CNT 的值与 TMRx_CC1 的值相匹配 **当捕获比较通道 1 配置为输入时：** 0：没有发生输入捕获 1：发生输入捕获 捕获事件发生时由硬件置 1，可以由软件清 0 或者读 TMRx_CC1 寄存器时清 0。
2	CC2IFLG	RC_W0	捕获/比较通道 2 中断标志（Captuer/Compare Channel2 Interrupt Flag） 参考 STS_CC1IFLG
3	CC3IFLG	RC_W0	捕获/比较通道 3 中断标志（Captuer/Compare Channel3 Interrupt Flag） 参考 STS_CC1IFLG
4	CC4IFLG	RC_W0	捕获/比较通道 4 中断标志（Captuer/Compare Channel4 Interrupt Flag） 参考 STS_CC1IFLG
5	COMIFLG	RC_W0	产生 COM 事件中断标志（COM Event Interrupt Generate Flag） 0：无 COM 事件产生 1：COM 中断等待响应 产生 COM 事件后，该位由硬件置 1，软件清 0。

位/域	名称	R/W	描述
6	TRGIFLG	RC_W0	产生触发事件中断标志（Trigger Event Interrupt Generate Flag） 0：没有发生触发事件中断 1：发生触发事件中断 发生触发事件时，该位由硬件置 1，软件清 0。
7	BRKIFLG	RC_W0	产生刹车事件中断标志（Brake Event Interrupt Generate Flag） 0：没有发生刹车事件 1：发生刹车事件 刹车输入有效的情况下，该位由硬件置 1；无效的情况下，可以通过软件清 0。
8	保留		
9	CC1RCFLG	RC_W0	捕获/比较通道 1 重复捕获标志（Captuer/Compare Channel1 Repetition Capture Flag） 0：没有发生重复捕获 1：发生重复捕获 计数器的值被捕获到 TMRx_CC1 寄存器中，此时 CC1IFLG=1；只有当通道被配置为输入捕获时，该位由硬件置 1，软件清 0。
10	CC2RCFLG	RC_W0	捕获/比较通道 2 重复捕获标志（Captuer/Compare Channel2 Repetition Capture Flag） 参考 STS_CC1RCFLG
11	CC3RCFLG	RC_W0	捕获/比较通道 3 重复捕获标志（Captuer/Compare Channel3 Repetition Capture Flag） 参考 STS_CC1RCFLG
12	CC4RCFLG	RC_W0	捕获/比较通道 4 重复捕获标志（Captuer/Compare Channel4 Repetition Capture Flag） 参考 STS_CC1RCFLG
15:13	保留		

14.6.6 控制事件产生寄存器（TMRx_CEG）

偏移地址：0x14

复位值：0x0000

位/域	名称	R/W	描述
0	UEG	W	产生更新事件（Update Event Generate） 0：无效 1：初始化计数器，产生更新事件 此位由软件置 1，硬件清 0。 注意：产生更新事件时，预分频器的计数器会清 0，但是预分频系数不变。如果在向下计数模式下计数器会读取 TMRx_AUTORLD 的值；如果在中央对齐模式下或者向上计数模式中计数器会被清 0。
1	CC1EG	W	产生捕获/比较通道 1 事件（Capture/Compare Channel1 Event Generation） 0：无效 1：产生捕获/比较事件 该位由软件置 1，硬件自动清 0。 如果通道 1 处于输出模式，

位/域	名称	R/W	描述
			当 CC1IFLG=1 时，如果设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求。 如果通道 1 处于输入模式 捕获计数器的值存储在 TMRx_CC1 寄存器中；配置 CC1IFLG=1,如果还设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求；如果此时 CC1IFLG=1，则需要配置 CC1RCFLG=1。
2	CC2EG	W	产生捕获/比较通道 2 事件（Capture/Compare Channel2 Event Generation） 参考 CC1EG 描述
3	CC3EG	W	产生捕获/比较通道 3 事件（Capture/Compare Channel3 Event Generation） 参考 CC1EG 描述
4	CC4EG	W	产生捕获/比较通道 4 事件（Capture/Compare Channel4 Event Generation） 参考 CC1EG 描述
5	COMG	W	产生捕获/比较控制更新事件（Capture/Compare Control Update Event Generate） 0：无效 1：产生捕获/比较更新事件 该位由软件置 1，硬件自动清 0。 注：COMG 位只有在互补输出的通道有效。
6	TEG	W	产生触发事件（Trigger Event Generate） 0：无效 1：产生触发事件 该位由软件置 1，硬件自动清 0。
7	BEG	W	产生刹车事件（Brake Event Generate） 0：无效 1：产生刹车事件 该位由软件置 1，硬件自动清 0。
15:8	保留		

14.6.7 捕获/比较模式寄存器 1（TMRx_CCM1）

偏移地址：0x18

复位值：0x0000

可通过 CCxSEL 位配置定时器为输入（捕获模式）或输出（比较模式）。该寄存器其它位的作用在输入和输出模式下不同，同一个位在输出模式和输入模式下的功能是不同的。寄存器中的 Ocx 描述了通道在输出模式下的功能，寄存器中的 Icx 描述了通道在输入模式下的功能。

输出比较模式：

位/域	名称	R/W	描述
1:0	CC1SEL	R/W	选择捕获/比较通道 1（Capture/Compare Channel1 Selection） 该位定义了输入/输出的方向以及选择输入引脚。 00：CC1 通道为输出 01：CC1 通道为输入，IC1 映射在 TI1 上 10：CC1 通道为输入，IC1 映射在 TI2 上 11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入

位/域	名称	R/W	描述
			注：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC1EN=0 时）可写。
2	OC1FEN	R/W	快速使能输出比较通道 1（Output Compare Channel1 Fast Enable） 0：禁止 1：使能 该位用来提高捕获/比较输出对触发输入事件的响应。
3	OC1PEN	R/W	使能输出比较通道 1 预装载（Output Compare Channel1 Preload Enable） 0：禁止预装载功能，通过程序写入 TMRx_CC1 寄存器的数值，会马上起作用。 1：启用预装载功能，通过程序写入 TMRx_CC1 寄存器的数值，会在产生更新事件后起作用。 注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。当不确定预装载寄存器情况，仅在单脉冲模式（SPMEN=1）下，可以使用 PWM 模式，否则不确定其接下来的输出比较结果。
6:4	OC1MOD	R/W	配置输出比较通道 1 模式（Output Compare Channel1 Mode Configure） 000：冻结。输出比较对 OC1REF 无影响 001：匹配时输出置为高。计数器 CNT 的值和捕获比较寄存器的值 CCx 生匹配时，强制 OC1REF 为高电平 010：匹配时输出置为低。计数器的值和捕获比较寄存器的值发生匹配时，强制 OC1REF 为低电平 011：匹配时输出翻转。计数器的值和捕获比较寄存器的值发生匹配时，转 OC1REF 的电平 100：强制输出为低。强制 OC1REF 为低电平 101：强制输出为高。强制 OC1REF 为高电平 110：PWM 模式 1（计数器值<输出比较值时置为高，否则反之） 111：PWM 模式 2（计数器值>输出比较值时置为高，否则反之） 注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。在 PWM 模式 1 和 2 中，OC1REF 电平在比较结果改变或者输出比较模式从冻结模式转换到 PWM 模式时改变。
7	OC1CEN	R/W	使能输出比较通道 1 清除（Output Compare Channel1 Clear Enable） 0：OC1REF 不受 ETRF 输入影响。 1：检测到 ETRF 输入高电平时，OC1REF=0
9:8	CC2SEL	R/W	通道 2 模式选择（Capture/Compare Channel2 Select） 该位定义了输入/输出的方向以及选择输入引脚。 00：CC2 通道为输出 01：CC2 通道为输入，IC2 映射在 TI2 上 10：CC2 通道为输入，IC2 映射在 TI1 上 11：CC2 通道为输入，IC2 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC2EN=0 时）可写。
10	OC2FEN	R/W	快速使能输出比较通道 2（Output Compare Channel2 Preload Enable）
11	OC2PEN	R/W	使能输出比较通道 2 缓冲（Output Compare Channel2 Buffer Enable）
14:12	OC2MOD	R/W	输出比较通道 2 模式（Output Compare Channel1 Mode）
15	OC2CEN	R/W	使能输出通道 2 比较清除（Output Compare Channel2 Clear Enable）

输入捕获模式:

位/域	名称	R/W	描述
1:0	CC1SEL	R/W	选择输入/捕获通道 1（Capture/Compare Channel1 Select） 00：CC1 通道为输出 01：CC1 通道为输入，IC1 映射在 TI1 上 10：CC1 通道为输入，IC1 映射在 TI2 上 11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 位的 CC1EN=0 时）可写。
3:2	IC1PSC	R/W	配置输入捕获通道 1 预分频因子（Input Capture Channel1 Perscaler Configure） 00：PSC=1 01：PSC=2 10：PSC=4 11：PSC=8 PSC 是预分频因子，每 PSC 个事件触发一次捕获。
7:4	IC1F	R/W	配置输入捕获通道 1 滤波器（Input Capture Channel1 Filter Configuration） 0000：禁用滤波器，以 f_{DTS} 采样 0001：DIV=1，N=2 0010：DIV=1，N=4 0011：DIV=1，N=8 0100：DIV=2，N=6 0101：DIV=2，N=8 0110：DIV=4，N=6 0111：DIV=4，N=8 1000：DIV=8，N=6 1001：DIV=8，N=8 1010：DIV=16，N=5 1011：DIV=16，N=6 1100：DIV=16，N=8 1101：DIV=32，N=5 1110：DIV=32，N=6 1111：DIV=32，N=8 采样频率=定时器时钟频率/DIV；滤波器长度=N，表示每 N 个事件产生一个跳变。
9:8	CC2SEL	R/W	选择捕获/比较通道 2（Capture/Compare Channel2 Select） 00：CC2 通道为输出 01：CC2 通道为输入，IC2 映射在 TI2 上 10：CC2 通道为输入，IC2 映射在 TI1 上 11：CC2 通道为输入，IC2 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC2EN=0 时）可写。
11:10	IC2PSC	R/W	配置输入捕获通道 2 预分频因子（Input Capture Channel2 Perscaler Configuration）
15:12	IC2F	R/W	配置输入捕获通道 2 滤波器（Input Capture Channel2 Filter Configuration）

14.6.8 捕获/比较模式寄存器 2 （TMRx_CCM2）

偏移地址：0x1C

复位值：0x0000

参看以上 CCM1 寄存器的描述。

输出比较模式：

位/域	名称	R/W	描述
1:0	CC3SEL	R/W	选择捕获/比较通道 3（Capture/Compare Channel1 Selection） 该位定义了输入/输出的方向以及选择输入引脚。 00：CC3 通道为输出 01：CC3 通道为输入，IC3 映射在 TI3 上 10：CC3 通道为输入，IC3 映射在 TI4 上 11：CC3 通道为输入，IC3 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC3EN=0 时）可写。
2	OC3FEN	R/W	快速使能输出比较通道 3（Output Compare Channel3 Fast Enable） 0：禁止 1：使能 该位用来提高捕获/比较输出对触发输入事件的响应。
3	OC3PEN	R/W	使能输出比较通道 3 预装载（Output Compare Channel3 Preload Enable）
6:4	OC3MOD	R/W	配置输出比较通道 3 模式（Output Compare Channel3 Mode Configure）
7	OC3CEN	R/W	使能输出比较通道 3 清除（Output Compare Channel3 Clear Enable） 0：OC3REF 不受 ETRF 输入影响。 1：检测到 ETRF 输入高电平时，OC1REF=0
9:8	CC4SEL	R/W	选择通道 4 模式（Capture/compare Channel4 Selection） 该位定义了输入/输出的方向以及选择输入引脚。 00：CC4 通道为输出 01：CC4 通道为输入，IC4 映射在 TI4 上 10：CC4 通道为输入，IC4 映射在 TI3 上 11：CC4 通道为输入，IC4 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC4EN=0 时）可写。
10	OC4FEN	R/W	快速使能输出比较通道 4（Output Compare Channel4 Preload Enable）
11	OC4PEN	R/W	使能输出比较通道 4 缓冲（Output Compare Channel4 Buffer Enable）
14:12	OC4MOD	R/W	配置输出比较通道 4 模式（Output Compare Channel4 Mode Configure）
15	OC4CEN	R/W	使能输出通道 4 比较清除（Output Compare Channel4 Clear Enable）

输入捕获模式：

位/域	名称	R/W	描述
1:0	CC3SEL	R/W	选择输入/捕获通道 3（Capture/Compare Channel3 Select） 00：CC3 通道为输出 01：CC3 通道为输入，IC3 映射在 TI3 上 10：CC3 通道为输入，IC3 映射在 TI4 上 11：CC3 通道为输入，IC3 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC3EN=0 时）可写。
3:2	IC3PSC	R/W	配置输入捕获通道 3 预分频因子（Input Capture Channel3 Perscaler Configuration）

位/域	名称	R/W	描述
			00：PSC=1 01：PSC=2 10：PSC=4 11：PSC=8 PSC 是预分频因子，每 PSC 个事件触发一次捕获。
7:4	IC3F	R/W	配置输入捕获通道 3 滤波器（Input Capture Channel3 Filter Configuration）
9:8	CC4SEL	R/W	选择捕获/比较通道 4（Capture/Compare Channel4 Select） 00：CC4 通道为输出 01：CC4 通道为输入，IC4 映射在 TI4 上 10：CC4 通道为输入，IC4 映射在 TI3 上 11：CC4 通道为输入，IC4 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC4EN=0 时）可写。
11:10	IC4PSC	R/W	配置输入捕获通道 4 预分频因子（Input Capture Channel4 Perscaler Configuration）
15:12	IC4F	R/W	配置输入捕获通道 4 滤波器（Input Capture Channel4 Filter Configuration）

14.6.9 捕获/比较使能寄存器（TMRx_CCEN）

偏移地址：0x20

复位值：0x0000

位/域	名称	R/W	描述
0	CC1EN	R/W	使能捕获/比较通道 1 输出（Capture/Compare Channel1 Output Enable） **捕获/比较通道 1 配置为输出时：** 0：禁止输出 1：开启输出 **捕获/比较通道 1 配置为输入时：** 该位决定了计数器的值 CNT 是否能捕获进入 TMRx_CC1 寄存器中 0：禁止捕获 1：开启捕获
1	CC1POL	R/W	配置捕获/比较通道 1 输出极性（Capture/Compare Channel1 Output Polarity Configure） **CC1 通道配置为输出时：** 0：OC1 高电平有效 1：OC1 低电平有效 **CC1 通道配置为输入时：** 0：不反相：在 IC1 的上升沿进行捕获，IC1 作为外部触发器时不反相。 1：反相，在 IC1 的下降沿进行捕获，IC1 作为外部触发器时反相。 注：当保护级别为 2 或者 3 时，该位不能被修改
2	CC1NEN	R/W	使能捕获/比较通道 1 互补输出（Capture/Compare Channel1 Complementary Output Enable） 0：禁止 1：开启
3	CC1NPOL	R/W	捕获/比较通道 1 互补输出极性（Capture/Compare Channel1 Complementary Output Polarity）

位/域	名称	R/W	描述
			0：OC1N 高电平有效 1：OC1N 低电平有效 注：当保护级别为 2 或者 3 时，该位不能被修改
4	CC2EN	R/W	使能捕获/比较通道 2 输出（Capture/Compare Channel2 Output Enable） 参考 CCEN_CC1EN
5	CC2POL	R/W	配置捕获/比较通道 2 输出极性（Capture/Compare Channel2 Output Polarity Configure） 参考 CCEN_CC1POL
6	CC2NEN	R/W	使能捕获/比较通道 1 互补输出（Capture/Compare Channel1 Complementary Output Enable） 参考 CCEN_CC1NEN
7	CC2NPOL	R/W	配置捕获/比较通道 2 互补输出极性（Capture/Compare Channel2 Complementary Output Polarity Configure） 参考 CCEN_CC1NPOL
8	CC3EN	R/W	使能捕获/比较通道 3 输出（Capture/Compare Channel3 Output Enable） 参考 CCEN_CC1EN
9	CC3POL	R/W	配置捕获/比较通道 3 输出极性（Capture/Compare Channel3 Output Polarity Configure） 参考 CCEN_CC1POL
10	CC3NEN	R/W	使能捕获/比较通道 3 互补输出（Capture/Compare Channel3 Complementary Output Enable） 参考 CCEN_CC1NEN
11	CC3NPOL	R/W	配置捕获/比较通道 3 互补输出极性（Capture/Compare Channel3 Complementary Output Polarity Configure） 参考 CCEN_CC1NPOL
12	CC4EN	R/W	使能捕获/比较通道 4 输出（Capture/Compare Channel4 Output Enable） 参考 CCEN_CC1EN
13	CC4POL	R/W	捕获/比较通道 4 输出极性（Capture/Compare Channel4 Output Polarity） 参考 CCEN_CC1POL
15:14	保留		

14.6.10 计数器寄存器（TMRx_CNT）

偏移地址：0x24

复位值：0x0000

位/域	名称	R/W	描述
15:0	CNT	R/W	计数器数值（Counter Value）

14.6.11 预分频寄存器（TMRx_PSC）

偏移地址：0x28

复位值：0x0000

位/域	名称	R/W	描述
15:0	PSC	R/W	预分频器数值（Prescaler Value） 计数器的时钟频率（CK_CNT）＝f_{CK_PSC}/（PSC+1）

14.6.12 自动重装载寄存器（TMRx_AUTORLD）

偏移地址：0x2C

复位值：0xFFFF FFFF (TMR2/5)

0x0000 FFFF (TMR3/4)

位/域	名称	R/W	描述
15:0	AUTORLD	R/W	自动重装载数值（Auto Reload Value） 自动重装载的值为空时，计数器不进行计数。

14.6.13 重复计数寄存器（TMRx_REPCNT）

偏移地址：0x30

复位值：0x0000

位/域	名称	R/W	描述
7:0	REPCNT	R/W	重复计数数值（Repetition Counter Value） 当重复计数器计数值减为 0 时产生更新事件，计数器重新从 REPCNT 数值开始计数；新写入该寄存器的新值只有在下次周期更新事件发生时才有效。
15:8	保留		

14.6.14 通道 1 捕获/比较寄存器（TMRx_CC1）

偏移地址：0x34

复位值：0x0000

位/域	名称	R/W	描述
15:0	CC1	R/W	捕获/比较通道 1 数值（Capture/Compare Channel1 Value） **捕获/比较通道 1 配置为输入模式：** CC1 包含上次输入捕获通道 1 事件传输的计数器数值。 **捕获/比较通道 1 配置为输出模式：** CC1 包含了当前装入捕获/比较寄存器数值 捕获比较通道 1 的值 CC1 与计数器的值 CNT 比较，在 OC1 上产生输出信号。 当输出比较预装载禁止（TMRx_CCM1 寄存器的 OC1PEN=0）时，写入的数值会立即影响输出比较结果； 当输出比较预装载使能（TMRx_CCM1 寄存器的 OC1PEN=1）时，写入的值会在产生更新事件时影响输出比较结果。

14.6.15 通道 2 捕获/比较寄存器（TMRx_CC2）

偏移地址：0x38

复位值：0x0000

位/域	名称	R/W	描述
15:0	CC2	R/W	捕获/比较通道 2 数值（Capture/Compare Channel2 Value） 参考 TMRx_CC1

14.6.16 通道 3 捕获/比较寄存器（TMRx_CC3）

偏移地址：0x3C

复位值：0x0000

位/域	名称	R/W	描述
15:0	CC3	R/W	捕获/比较通道 3 数值（Capture/Compare Channel3 Value） 参考 TMRx_CC1

14.6.17 通道 4 捕获/比较寄存器（TMRx_CC4）

偏移地址：0x40

复位值：0x0000

位/域	名称	R/W	描述
15:0	CC4	R/W	捕获/比较通道 4 数值（Capture/Compare Channel4 Value） 参考 TMRx_CC1

14.6.18 刹车和死区寄存器（TMRx_BDT）

偏移地址：0x44

复位值：0x0000

注：根据锁定设置，AOEN、BRKPOL、BRKEN、IMOS、RMOS 和 DTS[7:0]位均可被写保护，有必要在第一次写入 TMRx_BDT 寄存器时对它们进行配置。

位/域	名称	R/W	描述
7:0	DTS	R/W	设置互补输出通道的死区持续时间（Dead Time Setup） DT 为死区持续时间，DT 与寄存器 DTS 的关系如下： DTS[7:5]=0xx=>DT=DTS[7:0]×T_{DTS}，T_{DTS}=TDTS； DTS[7:5]=10x=>DT=（64+DTS[5:0]）×T_{DTS}，T_{DTS}=2×T_{DTS}； DTS[7:5]=110=>DT=（32+DTS[4:0]）×T_{DTS}，T_{DTS}=8×T_{DTS}； DTS[7:5]=111=>DT=（32+DTS[4:0]）×T_{DTS}，T_{DTS}=16×T_{DTS}； 例：假设 T_{DTS}=125ns（8MHZ），死区时间设置如下： 若步长时间为 125ns，可设置死区时间范围是 0 到 15875ns； 若步长时间为 250ns，可设置死区时间范围是 16us 到 31750ns； 若步长时间为 1us，可设置死区时间范围是 32us 到 63us； 若步长时间为 2us，可设置死区时间范围是 64us 到 126us。 注：一旦 LOCK 级别（TMRx_BDT 寄存器中的 LOCKCFG 位）设为 1、2 或 3，则不能修改这些位。
9:8	LOCKCFG	R/W	配置锁定写保护模式（Lock Write Protection Mode Configuration） 00：无锁定写保护，可直接写寄存器 01：锁定写保护级别 1 不能写入 TMRx_BDT 的 DTS、BRKEN、BRKPOL、AOEN 位和 TMRx_CTRL2 寄存器的 OCxOIS 和 OCxNOIS 位。 10：锁定写保护级别保护级别 2 不能写入保护级别 1 的所有位，也不能写入 TMRx_CCEN 寄存器中的 CCxPOL 和 OCxNPOL 位、TMRx_BDT 寄存器的 RMOS 和 IMOS 位。 11：锁定写保护级别保护级别 3 不能写入保护级别 2 的所有位，也不能写入 TMRx_CCMx 的寄存器的 OCxMOD 和 OCxPEN 位。 注意：在系统复位后，只能写一次锁定写保护位。
10	IMOS	R/W	配置空闲模式下的关闭状态（Idle Mode Off-state Configure）

位/域	名称	R/W	描述
			空闲模式指 MOEN=0，关闭是指 CcxEN=0；该位描述的是在 MOEN=0，CcxEN 由 0 变为 1，配置该位不同的数值，对输出波形的影响。 0：禁止 Ocx/OcxN 输出 1：若 CcxEN=1，先在死区期间输出无效电平（具体电平数值受极性配置影响），在死区结束后，输出空闲电平
11	RMOS	R/W	配置运行模式下的关闭状态（Run Mode Off-state Configure） 运行模式指 MOEN=1，关闭是指 CcxEN=0；该位描述的是在 MOEN=1，CcxEN 由 0 变为 1 时，配置该位不同的数值，对输出波形的影响。 0：禁止 Ocx/OcxN 输出 1：Ocx/OcxN 先输出无效电平（具体电平数值受极性配置影响）
12	BRKEN	R/W	使能刹车功能（Brake Function Enable） 0：禁止 1：使能 注：当保护级别为 1 时，该位不能修改。
13	BRKPOL	R/W	配置刹车输入极性（Brake Polarity Configure） 0：刹车输入 BRK 在低电平有效 1：刹车输入 BRK 在高电平有效 注：当保护级别为 1 时，该位不能被修改。对该位的写操作需要一个 APB 时钟延迟后才能使用。
14	AOEN	R/W	使能自动输出（Automatic Output Enable） 0：MOEN 只能被软件置 1 1：MOEN 可以被软件置 1 或者在下一个更新事件时自动值置 1（刹车输入无效） 注：当保护级别为 1 时，该位不能修改。
15	MOEN	R/W	使能 PWM 主输出（PWM Main Output Enable） 0：禁止 Ocx 和 OcxN 输出或者强制输出空闲状态 1：当设置了 TMRx_CCEN 寄存器的 CcxEN 和 CCxNEN 位，开启 Ocx 和 OcxN 输出 刹车输入有效时硬件异步清 0。 注：由软件置 1 还是自动置 1 取决于 TMRx_BDT 寄存器的 AOEN 位。

14.6.19 DMA 控制寄存器（TMRx_DCTRL）

偏移地址：0x48

复位值：0x0000

位/域	名称	R/W	描述
4:0	DBADDR	R/W	设置 DMA 基地址（DMA Base Address Setup） 这些位定义了 DMA 在连续模式下的基地址（当对 TMRx_DMADDR 寄存器进行读或写时），DBADDR 定义为从 TMRx_CTRL1 寄存器所在地址开始的偏移量： 00000：TMRx_CTRL1 00001：TMRx_CTRL2 00010：TMRx_SMCTRL ……
7:5	保留		
12:8	DBLEN	R/W	设置 DMA 突发传送长度（DMA Burst Transfer Length Setup）

位/域	名称	R/W	描述
			这些位定义 DMA 在连续模式下的传送长度、传输的次数，其中传输的数据可以是 16 位和 8 位。 当读写 TMRx_DMADDR 寄存器时，定时器进行一次连续传输传送； 00000：1 次传输 00001：2 次传输 00010：3 次传输 …… 10001：18 次传输 传输的地址公式如下： 传输的地址=TMRx_CTRL1 的地址（从地址）+DBADDR+DMA 索引； DMA 索引=DBLEN 例如：DBLEN=7，DBADDR=TMR2_CTRL1（从地址）表示待传输数据的地址，则 TMRx_CTRL1 的地址+DBADDR+7，表示了将要写入/读出数据的地址， 数据的传输将发生在：TMRx_CTRL1 的地址+从 DBADDR 开始的 7 个寄存器。 根据设置的 DMA 数据长度不同，数据传输也会发生变化： (1) 当传输数据设置为 16 位时，数据会传输给 7 个寄存器 (2) 当传输数据设置为 8 位时，第一个寄存器的数据是第一个的数据的 MSB 位，第二个寄存器的数据是第一个数据的 LSB 位，数据仍然会传输给 7 个寄存器。
15:13	保留		

14.6.20 连续模式的 DMA 地址寄存器（TMRx_DMADDR）

偏移地址：0x4C

复位值：0x0000

位/域	名称	R/W	描述
15:0	DMADDR	R/W	DMA 突发传送寄存器（DMA Register for Burst Transfer） TMRx_DMADDR 寄存器的读或写操作访问会导致对以下地址所在寄存器的存取操作： TMRx_CTRL1 地址+（DBADDR+DMA 索引）×4 其中： “TMRx_CTRL1 地址”是控制寄存器 1（TMRx_CTRL1）所在的地址； “DBADDR”是 TMRx_DCTRL 寄存器中定义的基地址； “DMA 索引”是由 DMA 自动控制的偏移量，它取决于 TMRx_DCTRL 寄存器中定义的 DBLEN。

15 通用定时器（TMR2/3/4/5）

15.1 简介

通用定时器以时基单元为核心，拥有输入捕获和输出比较等功能，可以用来测量脉冲宽度、频率和占空比，以及产生输出波形。含有一个 16 位或 32 位的自动重装载计数器（实现向上、向下和中央对齐计数）。

定时器和定时器之间是相互独立的，它们可以实现同步和级联。

15.2 主要特征

（1） 时基单元
- 计数器：16 位或 32 位计数器，可以向上、向下和中央对齐计数。
- 预分频器：16 位可编程预分频器
- 自动重装载功能

（2） 时钟源选择
- 内部时钟
- 外部输入
- 外部触发
- 内部触发

（3） 输入捕获功能
- 计数功能
- PWM 输入
- 编码器接口模式

（4） 输出比较功能
- PWM 输出模式
- 强制输出模式
- 单脉冲模式

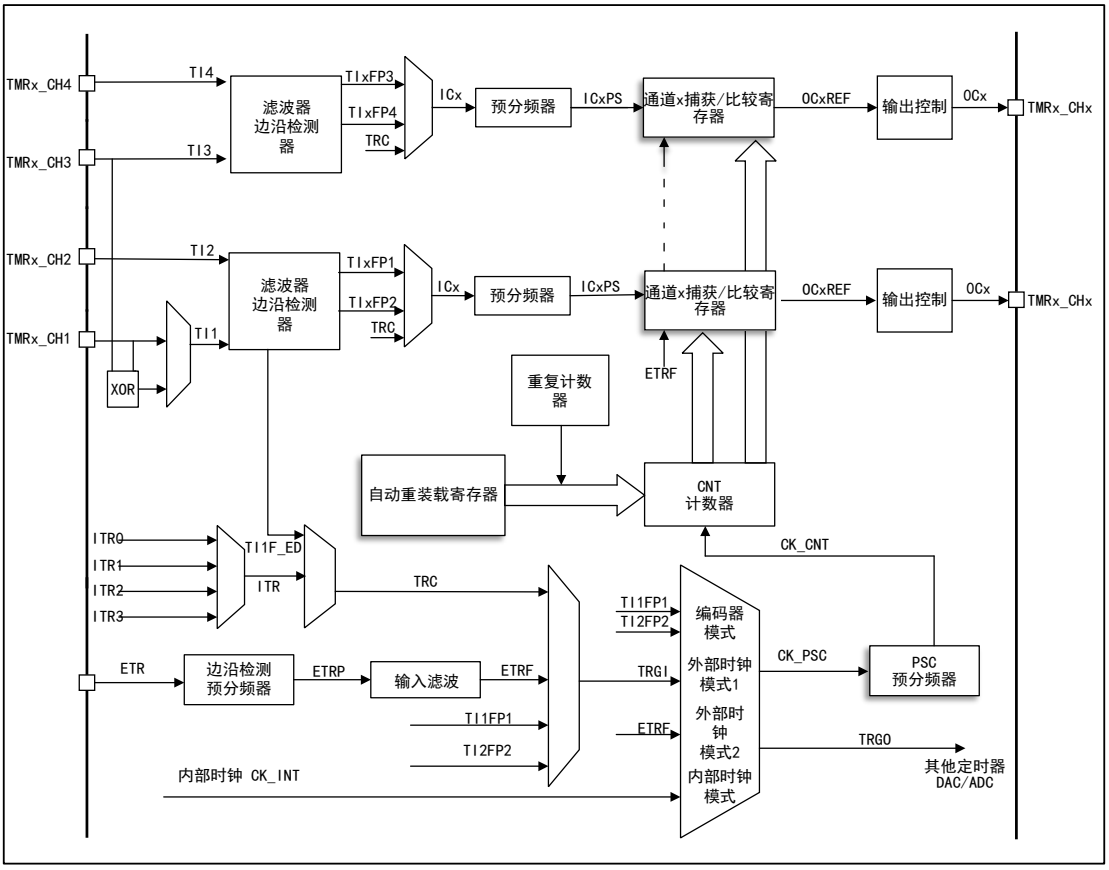
（5） 定时器的主/从模式控制器
- 定时器之间可以同步和级联
- 支持多种从模式、同步信号

（6） 中断和 DMA 请求事件
- 更新事件（计数器上/下溢出，计数器初始化）
- 触发事件（计数器启动、停止、内/外部触发）
- 输入捕获
- 输出比较

（7） 支持定位用增量（正交）编码器和霍尔传感器电路

15.3 结构框图

图 38 通用定时器结构框图



15.4 功能描述

15.4.1 时钟源选择

通用定时器一共有四种时钟源。

内部时钟

是来自 RCM 的 TMRx_CLK，即定时器本身的驱动时钟，当禁止从模式控制器，则预分频的时钟源 CK_PSC 由内部时钟 CK_INT 驱动。

外部时钟模式 1

来自定时器自身的输入通道 TI1/2/3/4，经过极性选择和滤波以后生成的触发信号，连接到从模式控制器，进而控制计数器的工作。其中通道 1 的输入经过上升沿、下降沿双沿检测而生成的脉冲信号进行逻辑相或以后的信号就是 TI1F_ED 信号，即 TIF_ED 双边沿信号。特别的是 PWM 输入只能由 TI1/2 输入。

外部时钟模式 2

来自于外部触发接口（ETR）经过极性选择、分频、滤波以后的信号，经过触发输入选择器，连接到从模式控制器，从而控制计数器的工作。

内部触发输入

设置定时器工作于从模式，时钟源为其他定时器的输出信号，此时钟源没有滤波，可以实现定时器之间的同步或级联。主模式的定时器可以对从模式定时器执行复位、启动、停止或提供时钟。

15.4.2 时基单元

通用定时器里的时基单元包含三个寄存器

- 16 位计数器寄存器（CNT）
- 16 位自动重装载寄存器（AUTORLD）
- 16 位预分频寄存器（PSC）

计数器 CNT

通用定时器中的计数器中一共有三种计数模式

- 向上计数模式
- 向下计数模式
- 中央对齐模式

向上计数模式

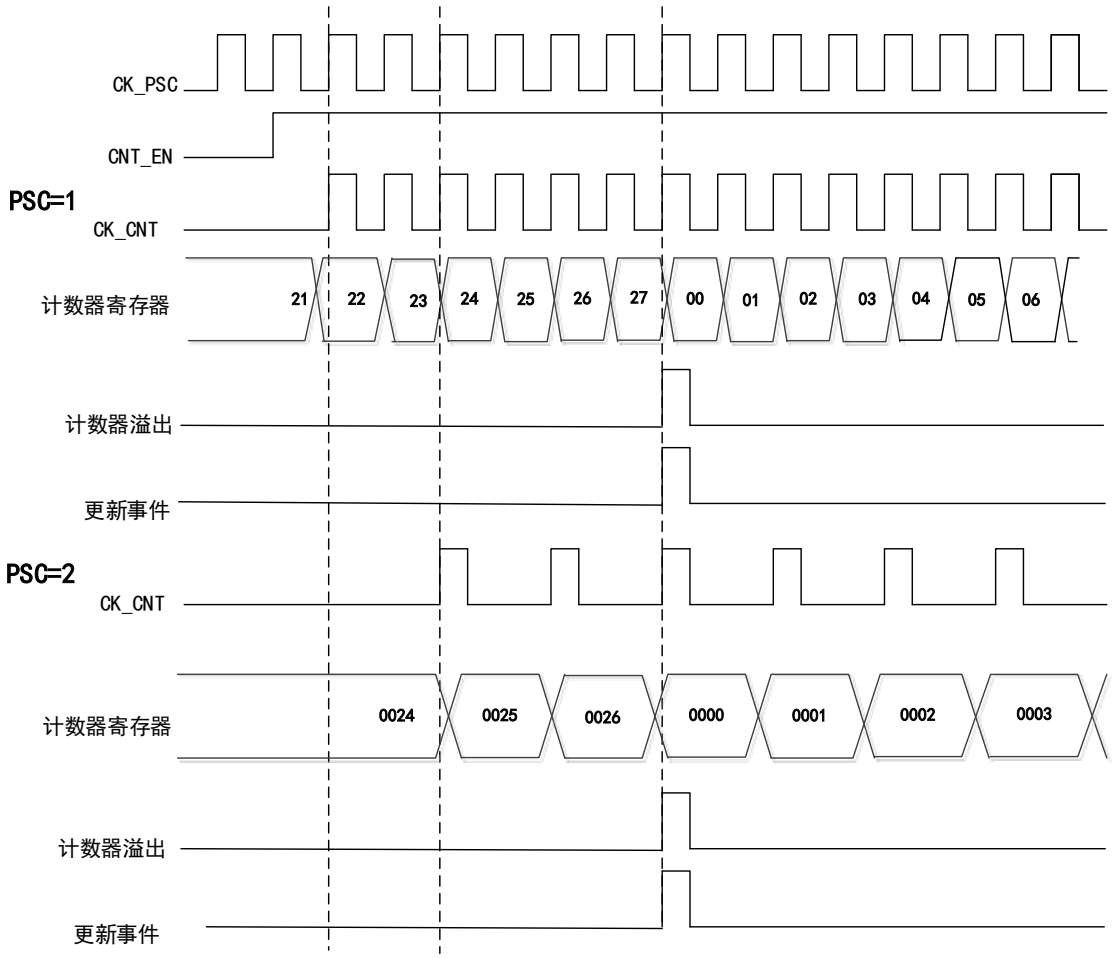
通过配置控制寄存器（TMRx_CTRL1）中的 CNTDIR 位，设置为向上计数模式。

当计数器处于向上计数模式时，计数器从 0 开始向上计数，当每来一个脉冲计数器就会增加 1，一直到计数器（TMRx_CNT）值与自动重装载（TMRx_AUTORLD）的值相等时，计数器会再次从 0 开始计数，此时产生一个计数器向上溢出事件，其中自动重装载的值（TMRx_AUTORLD）是提前写入的。

当计数器溢出时，会产生更新事件，此时自动重装载的影子寄存器和预分频的缓冲区都将会被更新。可以通过配置控制寄存器 TMRx_CTRL1 中的 UD 位，禁止更新事件。

下图为向上计数模式下，分频因子为 1 或 2 的时序图

图 39 向上计数模式下，分频因子为 1 或 2 的时序图



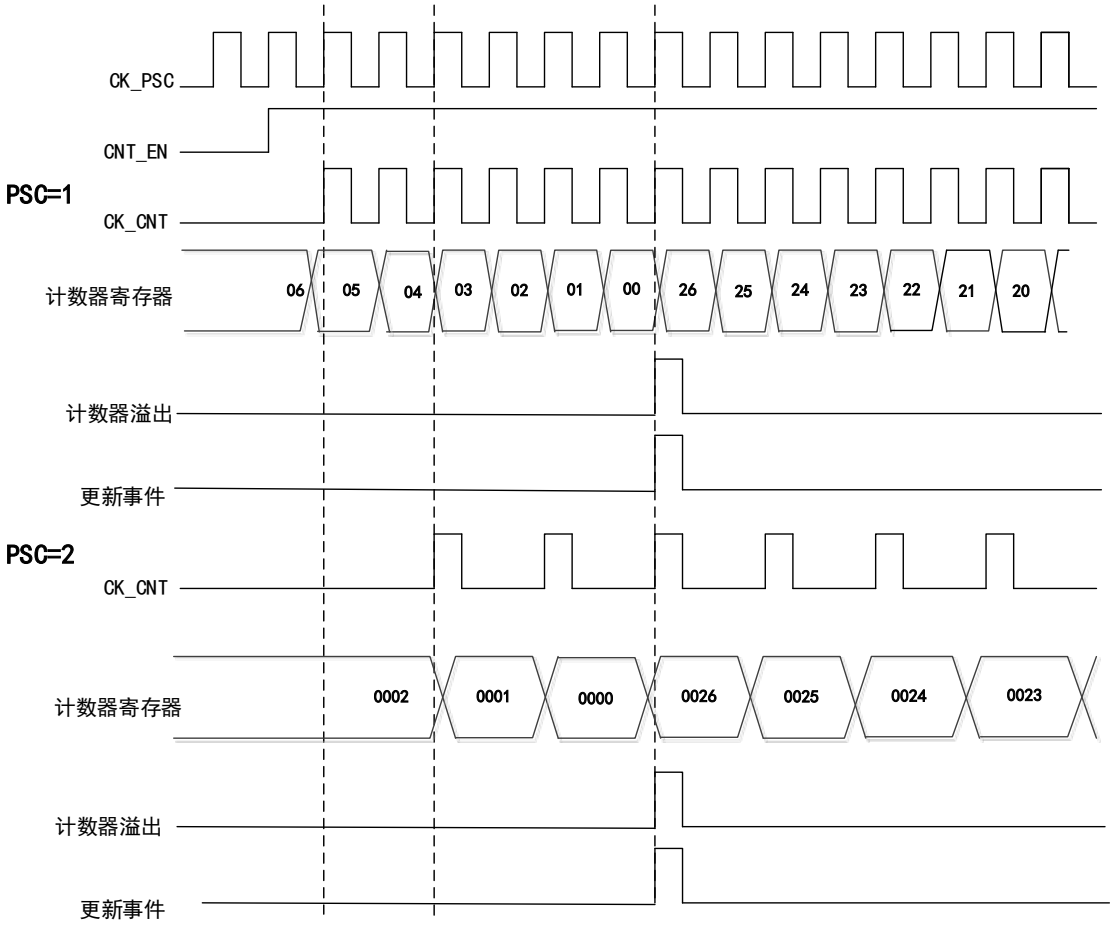
向下计数模式

通过配置控制寄存器（TMRx_CTRL1）中的 CNTDIR 位，设置为向下计数模式。

当计数器处于向下计数模式时，计数器从自动重装载的值（TMRx_AUTORLD）开始向下计数，当每来一个脉冲计数器就会减 1，一直减到 0 时，计数器会重新从（TMRx_AUTORLD）开始计数，与此同时便会产生一个计数器向下溢出事件，自动重装载的值（TMRx_AUTORLD）是提前写入的。

计数器溢出时，会产生更新事件，此时，自动重装载的影子寄存器和预分频的缓冲区都将会被更新。可以配置 TMRx_CTRL1 寄存器中的 UD 位，禁止更新事件。

图 40 向下计数模式下，分频因子为 1 或 2 的时序图

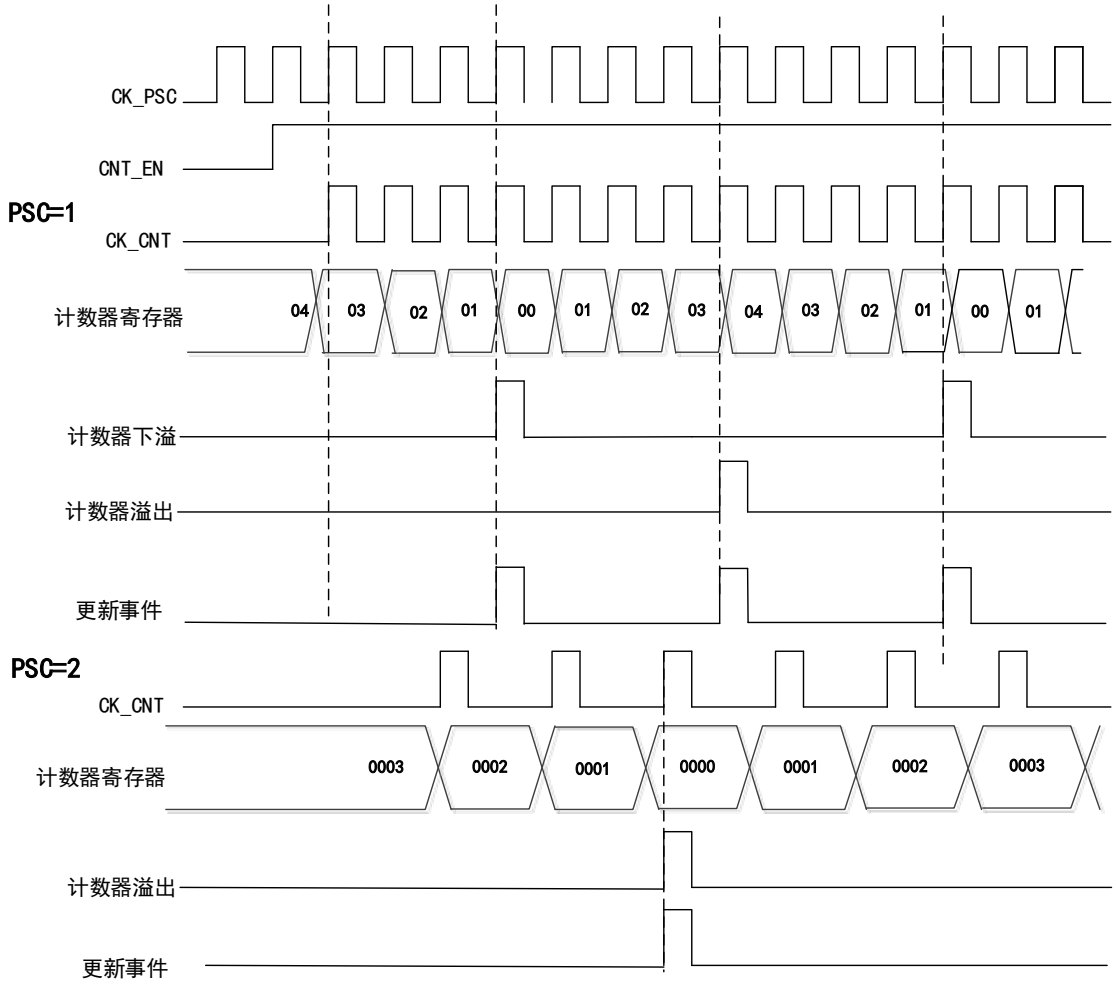


中央对齐模式

通过配置控制寄存器（TMRx_CTRL1）中的 CNTDIR 位，设置为中央对齐模式。

当计数器处于中央对齐模式时，计数器从 0 开始向上计数到自动重装载的值（TMRx_AUTORLD），然后从自动重装载的值（TMRx_AUTORLD）再向下计数到 0，以此往复；在向上计数时，当计数器的值为（AUTORLD-1）时会产生一个计数器上溢事件；在向下计数时，计数器的值为 1 时会产生一个计数器下溢事件。

图 41 中央对齐模式下，分频因子为 1 或 2 的时序图



预分频器 PSC

预分频器是 16 位的且是可编程的，它可以将计数器的时钟频率进行 1~65536 之间任意值的分频（由 TMRx_PSC 寄存器控制），经过分频后的时钟将会驱动计数器 CNT 计数。预分频器带有缓冲器，它能够在运行中被改变。

15.4.3 输入捕获

输入捕获通道

通用定时器有四个独立的捕获/比较独立通道，每一个捕获/比较的通道都围绕着一个捕获/比较寄存器。

在输入捕获中，被测量的信号会从定时器的外部引脚 T1/2/3/4 进入首先经过边沿检测器和输入滤波器，然后进入捕获通道，每个捕获通道都有相对应的捕获寄存器，当发生捕获时，计数器 CNT 的值将会被锁存在捕获寄存器 CCx 中。在进入捕获寄存器之前，信号还会经过预分频器，用于设定经过多少事件进行一次捕获。

输入捕获应用

输入捕获用来捕获外部事件，并且可以赋予时间标记表明事件的发生时刻，可以测量脉冲跳变沿事件（测量频率或者脉宽），如：在输入引脚上如果出现了被选择的边沿，TMRx_CCx 寄存器会捕获计数器当前的值，同时状态寄存器 TMRx_STS 的 CCxIFLG 位被置 1，如果 CCxIEN=1，便会产生中断。

捕获模式下可以测量一个波形的时序、频率、周期和占空比。在输入捕获模式中将边沿选择设定为上升沿检测，当捕获通道出现上升沿时，发生第一次捕获，此时计数器 CNT 的值会被锁存在捕获寄存器 CCx 中，同时会进入捕获中断，在中断服务程序中记录一次捕获，记下此时的值，当检测到下一个上升沿时，发生第二次捕获，计数器 CNT 的值会再次锁存在捕获寄存器 CCx 中，此时再次进入捕获中断，读取捕获寄存器的值，通过捕获就会得出此脉冲信号的周期。

15.4.4 输出比较

输出比较一共有八种模式：冻结、匹配时通道 x 为有效电平、匹配时通道 x 为无效电平、翻转、强制为无效、强制为有效、PWM 模式 1 和 PWM 模式 2，由 TMRx_CCMx 寄存器中的 OCxMOD 位配置，在输出比较模式中可以控制输出信号的波形。

输出比较应用

输出比较模式中，定时器产生脉冲的位置、极性、频率和时间都是可以控制的。

当计数器的值和捕获/比较寄存器的值相等时，通过配置 TMRx_CCMx 寄存器中的 OCxMOD 位和输出极性 TMRx_CCEN 寄存器中的 CCxPOL 位，通道的输出可以被置高电平、低电平或者翻转。

在 TMRx_STS 寄存器中的 CCxIFLG=1 时，如果 TMRx_DIEN 寄存器中的 CCxIEN=1 产生中断；TMRx_CTRL2 寄存器中的 CCDSEL=1 产生 DMA 请求。

15.4.5 PWM 输出模式

PWM 模式是定时器对外输出可以调节的脉冲信号，其中信号的脉宽是由比较寄存器 CCx 的值决定，周期是由自动重装载 AUTORLD 的值决定。

PWM 输出模式分为 PWM 模式 1 和 PWM 模式 2；PWM 模式 1 和 PWM 模式 2 分为向上计数和向下计数和边沿对齐计数；PWM 模式 1 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出有效电平，否则反之。

设置 CCx=5,AUTORLD=7,在 PWM 模式 1 下的时序图：

图 42 PWM1 向上计数模式的时序图

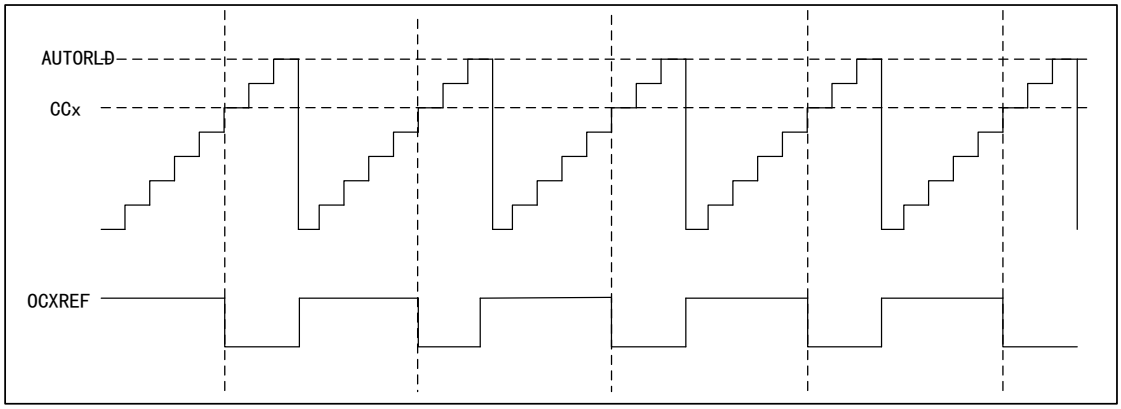


图 43 PWM1 向下计数模式的时序图

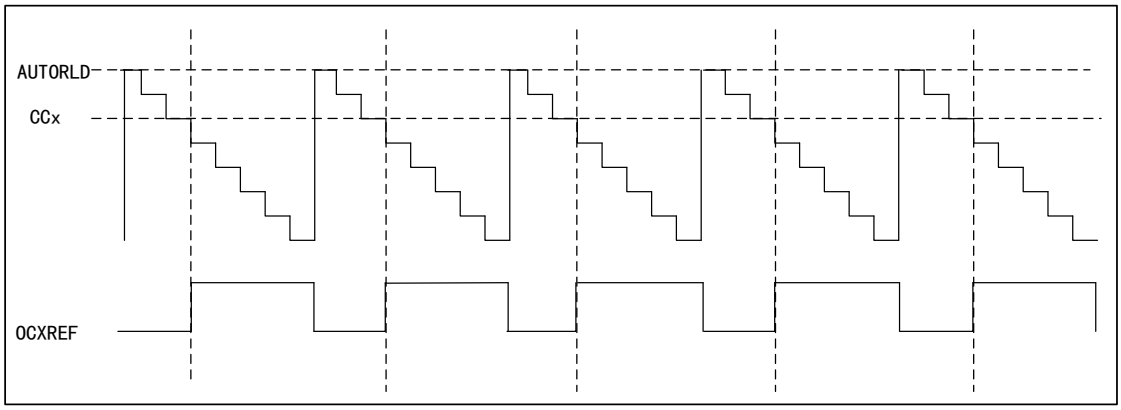
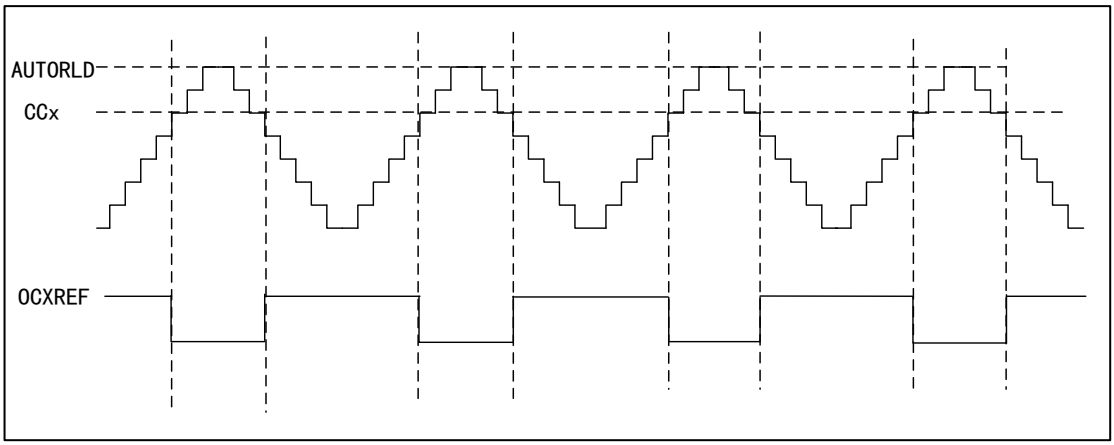


图 44 PWM1 中央对齐模式的时序图



PWM 模式 2 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出无效电平，否则反之。

设置 CCx=5,AUTORLD=7,在 PWM 模式 2 下的时序图

图 45 PWM2 向上计数模式的时序图

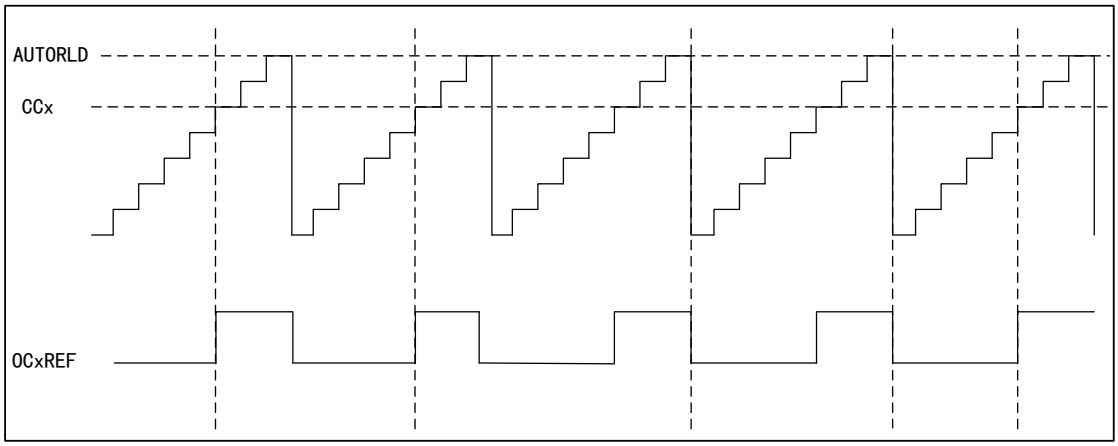


图 46 PWM2 向下计数模式的时序图

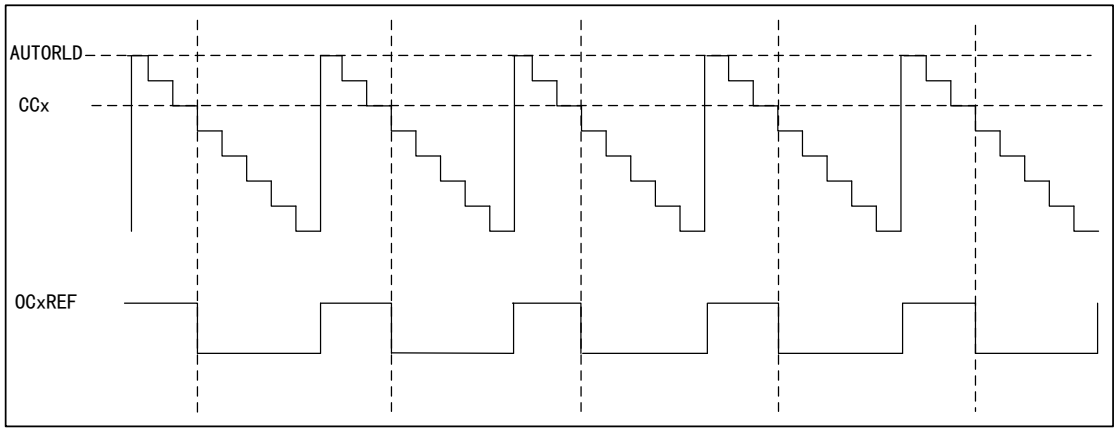
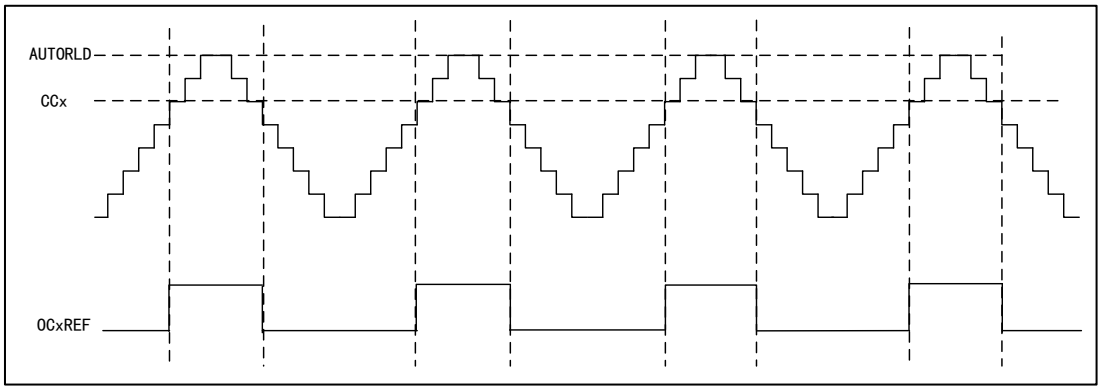


图 47 PWM2 中央对齐模式的时序图



15.4.6 PWM 输入模式

PWM 输入模式是输入捕获的一个特例。

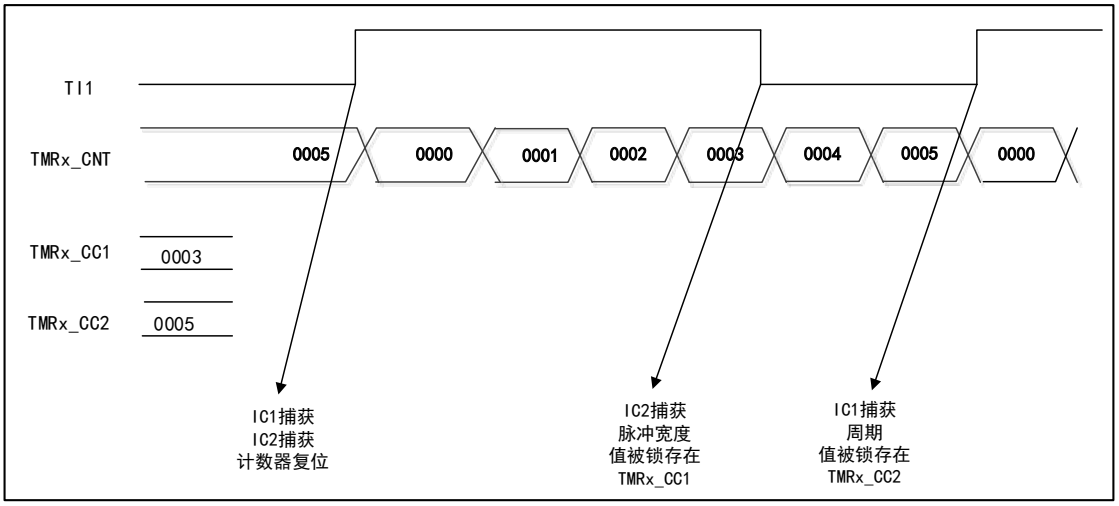
PWM 输入模式，只有 TI1FP1、TI1FP2 连接到了从模式控制器，所以只能从通道 TMRx_CH1 和 TMRx_CH2 输入，且需要占用 CH1、CH2 的捕获寄存器。

在 PWM 输入模式中，PWM 信号从 TMRx_CH1 进入，信号会被分成两路，一路可以测量周期，一路可以测量占空比。在配置中只需设置其中一路的极性，另一

路会自动配置会相反的极性。

在此模式中，从模式控制器要配置成复位模式（TMRx_SMCTRL 寄存器的 SMFSEL 位）

图 48 PWM 输入模式时序图



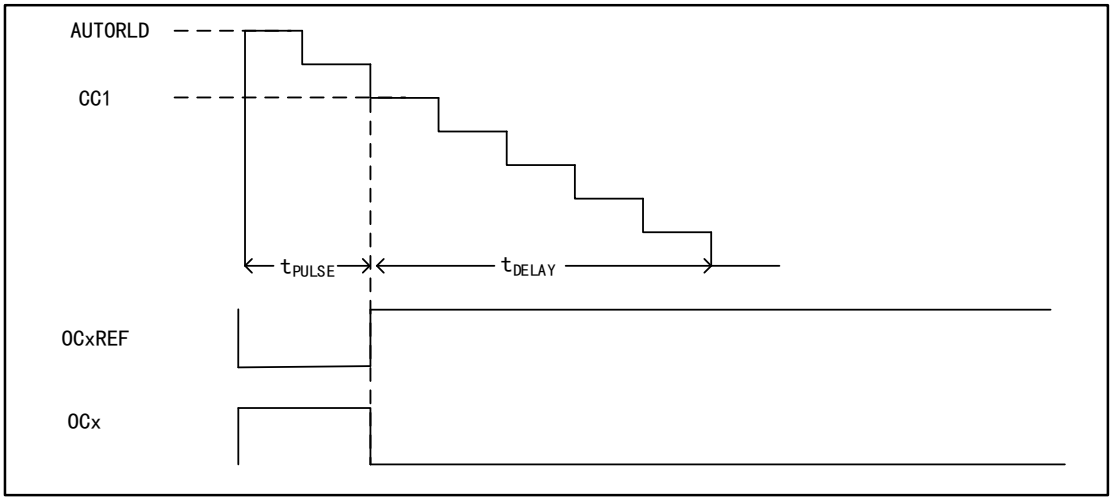
15.4.7 单脉冲模式

单脉冲模式是定时器比较输出中一种特殊情况，也是 PWM 输出模式的特例。

设置 TMRx_CTRL1 寄存器的 SPMEN 位选择单脉冲模式，计数器启动后，在未发生更新事件之前有一定个数的脉冲输出，当发生更新事件后计数器停止计数，后续不再有变化的 PWM 波形输出。

单脉冲模式通过程序在一定可控延迟后，产生一个脉宽可控的脉冲，延时时间由 TMRx_CCx 寄存器的值定义；在增计数模式下延时时间为 CCx，脉冲宽度为 AUTORLD-CCx；在减计数模式下延时时间为 AUTORLD-CCx，脉冲宽度为 CCx。

图 49 单脉冲模式下的时序图



15.4.8 强制输出模式

强制输出模式下无视比较结果，直接根据配置指令输出相应电平。

- TMRx_CCMx 寄存器的 CCxSEL=00,设定 CCx 通道为输出
- TMRx_CCMx 寄存器的 OCxMOD=100/101,设定强制 OCxREF 信号为无效/有效状态

在此模式中仍旧会产生相应的中断和 DMA 请求。

15.4.9 编码器接口模式

编码器接口模式相当于是一个带有方向选择的外部时钟，在编码器接口模式中，计时器的内容可一直指示编码器的位置。

选择编码器接口的方法如下：

- 通过设置 TMRx_SMCTRL 寄存器的 SMFSEL 位，可以设定计数器是在 TI1 通道/TI2 通道边沿计数，或者同时在 TI1 和 TI2 的边沿计数。
- 通过设置 TMRx_CCEN 寄存器中的 CC1POL 和 CC2POL 位，可以选择 TI1 和 TI2 的极性。
- 通过设置 TMRx_CCM1 寄存器中的 IC1F 和 IC2F 位，可以选择是否进行滤波。

两个输入 TI1 和 TI2 可以作为增量编码器的接口，计数器由在 TI1 和 TI2 经过滤波和边沿选择后的信号 TI1FP1 和 TI2FP2 的有效跳变驱动。

根据 TI1 和 TI2 的输入信号，产生计数脉冲和方向信号

- 根据输入信号的跳变顺序,计数器会向上/向下计数
- 将控制寄存器 TMRx_CTRL1 的 CNTDIR 设置为只读（任一输入端的跳变都会重新计算 CNTDIR）

计数器计数方向改变机制如下图：

表格 66 计数方向与编码器的关系

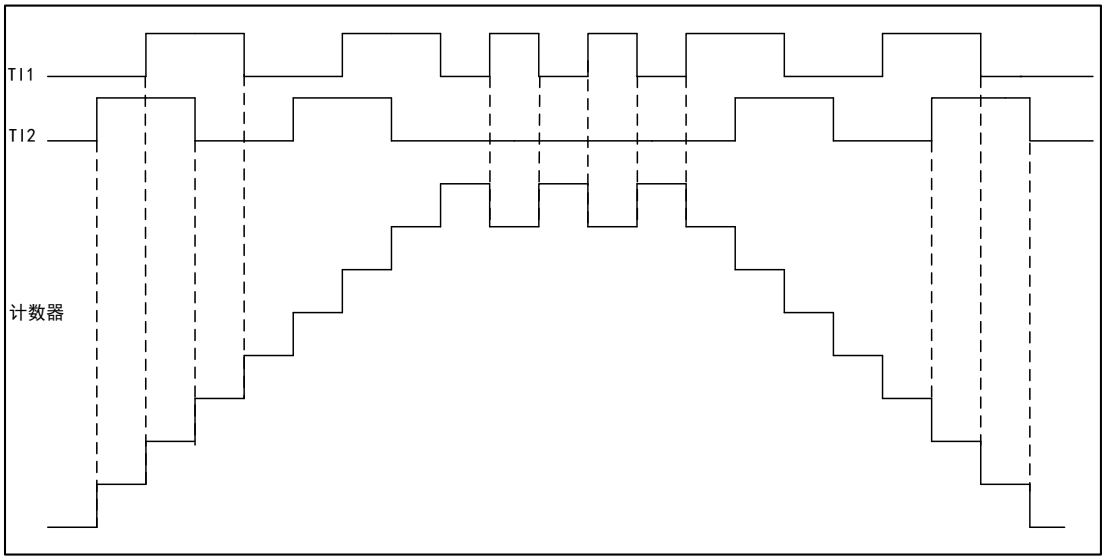
有效边沿		**仅在 TI1 计数**		**仅在 TI2 计数**		**在 TI1 和 TI2 计数**	
相对信号的电平		高	低	高	低	高	低
TI1FP1	上升沿	—		向下计数	向上计数	向下计数	向上计数
	下降沿			向上计数	向下计数	向上计数	向下计数
TI2FP2	上升沿	向上计数	向下计数	—		向上计数	向下计数
	下降沿	向下计数	向上计数			向下计数	向上计数

外部的增量编码器可以不用外部接口逻辑直接与 MCU 连接，所以使用比较器将编码器的差动输出转换到数字信号来增加抗噪声干扰。

在下图的实例中：

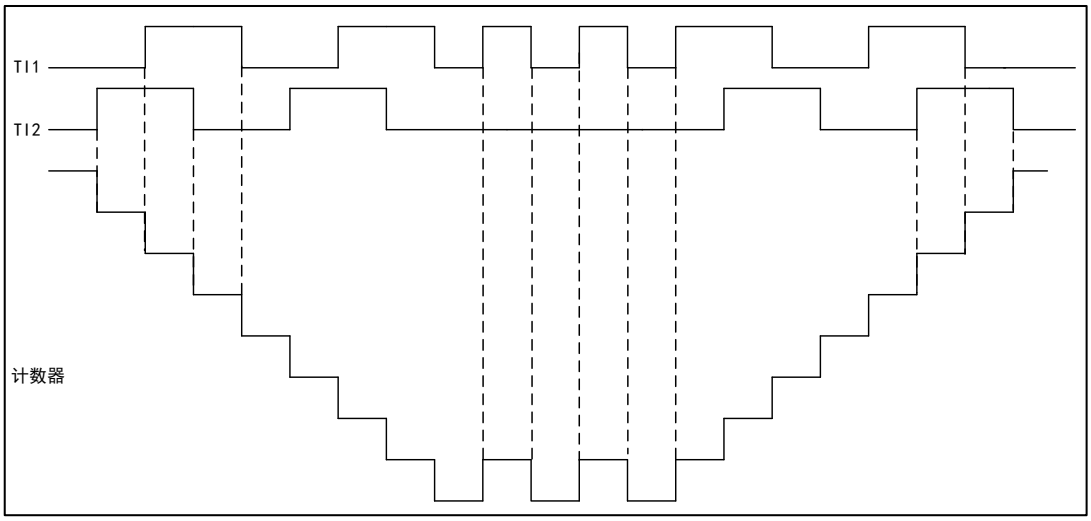
- 将 IC1FP1 映射到 TI1
- 将 IC2FP2 映射到 TI2
- IC1FP1 和 IC2FP2 都不反相
- 输入信号在上升沿和下降沿有效
- 使能计数器

图 50 编码器模式下的计数器操作实例



例如：当 TI1 处在低电平时，如果 TI2 出现上升沿状态，计数器向上计数。

图 51 IC1FP1 反相的编码器接口模式实例



例如：当 TI1 处于低电平时，TI2 发生上升沿跳变，计数器向下计数。

15.4.10 从模式

TMRx 定时器可以进行外部的触发同步

- 复位模式
- 门控模式
- 触发模式

可设置 TMRx_SMCTRL 寄存器中的 SMFSEL 位来选择是哪种模式

SMFSEL=100 设定复位模式，SMFSEL=101 设定门控模式，SMFSEL=110 设定触发模式。

复位模式下，在发生一个触发输入事件时，计数器和预分频器会被初始化，选中

的触发输入（TRGI）的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。

门控模式下，计数器的使能依赖于选中的输入端的高电平，当触发输入为高时，计数器的时钟开启，一旦触发输入变为低，则计数器停止（但不复位），计数器的启动和停止都是受控制的。

触发模式下，计数器的使能依赖于选中的输入端上的事件，计数器在触发输入的上升沿启动（但不复位），只有计数器的启动是受控制的。

15.4.11 定时器互连

详情见“14.4.14 定时器互连”章节。

15.4.12 中断和 DMA 请求

定时器在工作时产生事件时会发生中断

- 更新事件（计数器上/下溢出，计数器初始化）
- 触发事件（计数器启动、停止、内/外部触发）
- 捕获/比较事件

其中一些内部中断事件可以产生 DMA 请求，还有专门的接口允许或者禁止触发 DMA 请求。

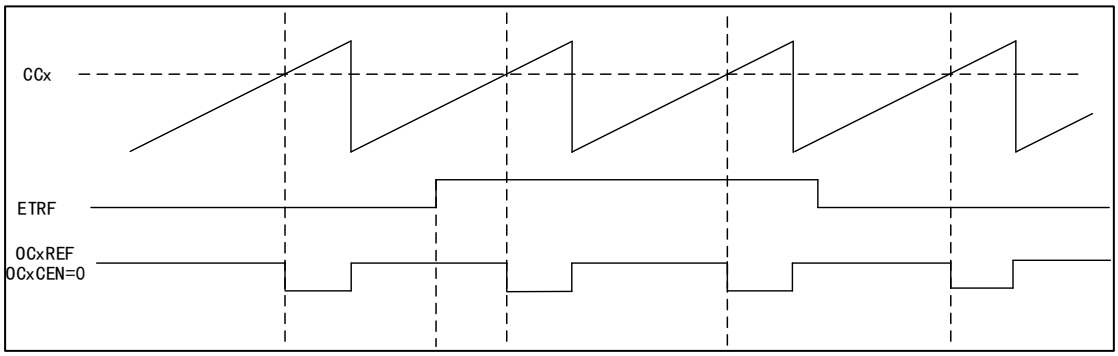
15.4.13 在外部事件时清除 OCxREF 信号

此功能是用于输出比较和 PWM 模式。

在一个通道中，用 ETRF 输入端口的高电平将 OCxREF 的信号降为低电平，捕获/比较寄存器 TMRx_CCMx 中的 OCxCEN 的位置 1，OCxREF 信号会保持为低电平直到下一次发生更新事件。

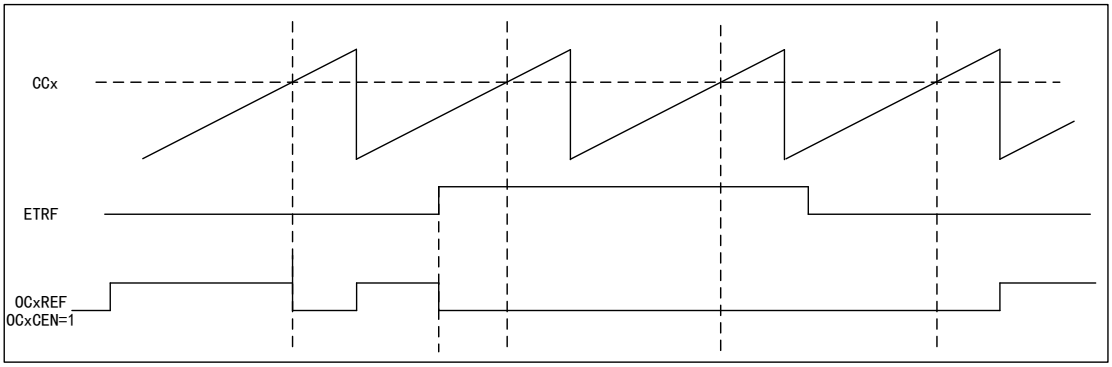
将 TMRx 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=0，输出的 OCxREF 信号如下图。

图 52 OCxREF 时序图



将 TMRx 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=1，输出的 OCxREF 信号如下图。

图 53 OCxREF 时序图



15.5 寄存器地址映射

下表中将通用定时器的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 67 通用定时器寄存器地址映射

寄存器名	描述	偏移地址
TMRx_CTRL1	控制寄存器 1	0x00
TMRx_CTRL2	控制寄存器 2	0x04
TMRx_SMCTRL	从模式控制寄存器	0x08
TMRx_DIEN	DMA/中断使能寄存器	0x0C
TMRx_STS	状态寄存器	0x10
TMRx_CEG	控制事件产生寄存器	0x14
TMRx_CCM1	捕获/比较模式寄存器 1	0x18
TMRx_CCM2	捕获/比较模式寄存器 2	0x1C
TMRx_CCEN	使能捕获/比较通道寄存器	0x20
TMRx_CNT	计数器寄存器	0x24
TMRx_PSC	预分频寄存器	0x28
TMRx_AUTORLD	自动重装载寄存器	0x2C
TMRx_CC1	通道 1 捕获/比较寄存器	0x34
TMRx_CC2	通道 2 捕获/比较寄存器	0x38
TMRx_CC3	通道 3 捕获/比较寄存器	0x3C
TMRx_CC4	通道 4 捕获/比较寄存器	0x40
TMRx_DCTRL	DMA 控制寄存器	0x48
TMRx_DMADDR	连续模式的 DMA 地址寄存器	0x4C
TMR2_OPT	TMR2 选项寄存器	0x50
TMR5_OPT	TMR5 选项寄存器	0x50

15.6 寄存器功能描述

15.6.1 控制寄存器 1（TMRx_CTRL1）

偏移地址：0x00

复位值：0x0000

位/域	名称	R/W	描述
0	CNTEN	R/W	使能计数器（Counter Enable） 0：禁止 1：使能 定时器配置为外部时钟、门控模式和编码器模式时，需要通过软件对该位写 1 启动定期工作；配置为触发模式时，可硬件写 1。
1	UD	R/W	禁止更新（Update Disable） 更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。 0：允许更新事件（UEV） 更新事件可以由以下任一情况产生： 计数器溢出/下溢； 设置 UEG 位； 从模式控制器产生的更新。 1：禁止更新事件
2	URSSEL	R/W	更新请求源（Update Request Source Select） 如果使能了中断或 DMA，更新事件可产生更新中断或 DMA 请求，通过该位可选择不同的更新请求源。 0：计数器上溢或下溢 设置 UEG 位 通过从模式控制器产生的更新 1：计数器上溢或下溢
3	SPMEN	R/W	使能单脉冲模式（Single Pulse Mode Enable） 产生更新事件时，可改变通道的输出电平；在该模式下，会清除 CNTEN 位，停止计数器，后续不再改变通道的输出电平。 0：禁用 1：使能
4	CNTDIR	R/W	配置计数器计数方向（Counter Direction） 当计数器配置为中央对齐模式或编码器模式时，该位为只读。 0：向上计数 1：向下计数
6:5	CAMSEL	R/W	选择中央对齐模式（Center Aligned Mode Select）， 中央对齐模式下，计数器交替的向上向下计数；否则只向上或向下计数。不同的中央对齐模式，影响输出输出通道的输出比较中断标志位置 1 的时机；在计数器禁止时（CNTEN=0）时，选择中央对齐模式。 00：边沿对齐模式 01：中心对齐模式 1（在向下计数时，输出通道的输出比较中断标志位置 1） 10：中心对齐模式 2（在向上计数时，输出通道的输出比较中断标志位置 1） 11：中心对齐模式 3（在向上/下计数时，输出通道的输出比较中断标志位置 1）
7	ARPEN	R/W	TMRx_AUTORLD 寄存器自动重装载缓冲使能（Auto-reload Preload Enable）

位/域	名称	R/W	描述
			禁止缓存区时，程序修改 TMRx_AUTORLD 会立刻修改装入计数器的数值；使能缓存区时，程序修改 TMRx_AUTORLD 会在下一个更新事件修改装入计数器的数值。 0：禁止 1：使能
9:8	CLKDIV	R/W	时钟分频系数（Clock Division） 死区、数字滤波器的配置由 CK_INT 提供时钟，通过设置改位可调整死区时间、数字滤波器的采用时钟。 00：$t_{DTS}=t_{CK_INT}$ 01：$t_{DTS}=2\times t_{CK_INT}$ 10：$t_{DTS}=4\times t_{CK_INT}$ 11：保留
15:10	保留		

15.6.2 控制寄存器 2（TMRx_CTRL2）

偏移地址：0x04

复位值：0x0000

位/域	名称	R/W	描述
2:0	保留		
3	CCDSEL	R/W	选择发出捕获/比较的 DMA 请求（Capture/compare DMA Select） 0：当发生 CCx 事件时，送出 CCx 的 DMA 请求 1：当发生更新事件时，送出 CCx 的 DMA 请求
6:4	MMSEL	R/W	选择定时器主模式下用于 TRGO 的信号（Master Mode Signal Select） 工作在主模式的定时器的信号可用于 TRGO，从而影响处在从模式且与主定时器级联的的定时器工作，具体影响可从模式的定时器配置有关。 000：复位，主模式定时器的复位信号用于 TRGO 001：使能，主模式定时器的计数器使能信号用于 TRGO 010：更新，主模式定时器的更新事件用于 TRGO 011：比较脉冲，主模式定时器捕获/比较成功（CCxIFLG=1）时输出一个脉冲信号用于 TRGO 100：比较模式 1，OC1REF 用于触发 TRGO 101：比较模式 2，OC2REF 用于触发 TRGO 110：比较模式 3，OC3REF 用于触发 TRGO 111：比较模式 4，OC4REF 用于触发 TRGO
7	TI1SEL	R/W	TI1 选择（Timer Input 1 Selection） 0：TMRx_CH1 引脚连到 TI1 输入 1：TMRx_CH1、TMRx_CH2 和 TMRx_CH3 引脚经异或后连到 TI1 输入
15:8	保留		

15.6.3 从模式控制寄存器（TMRx_SMCTRL）

偏移地址：0x08

复位值：0x0000

位/域	名称	R/W	描述
2:0	SMFSEL	R/W	选择从模式功能（Slave Mode Function Select） 000：禁止从模式，定时器可作为主模式定时器影响从模式定时器的工作；如果 CTRL1_CNTEN=1，则预分频器直接由内部时钟驱动。 001：编码器模式 1，根据 TI1FP1 的电平，计数器在 TI2FP2 的边沿计数。 010：编码器模式 2，根据 TI2FP2 的电平，计数器在 TI1FP1 的边沿计数。 011：编码器模式 3，根据另一个信号的输入电平，计数器在 TI1FP1、TI2FP2 的边沿计数。 100：复位模式，从模式定时器在收到 TRGI 的上升沿信号后复位计数器，并产生更新寄存器的信号。 101：门控模式，从模式定时器在收到 TRGI 高电平信号时，启动计数器工作；收到 TRGI 低电平时停止计数器工作；再收到 TRGI 高电平信号时，继续工作；整个期间不复位计数器。 110：触发模式，从模式定时器在收到 TRGI 的上升沿信号后，启动计数器工作。 111：外部时钟模式 1，选择 TRGI 的上升沿信号作为时钟源驱动计数器工作。
3	保留		
6:4	TRGSEL	R/W	选择触发输入信号（Trigger Input Signal Select） 为了避免在改变该位值时产生错误的边沿检测，须在 SMFSEL=0 时改变。 000：内部触发 ITR0 001：内部触发 ITR1 010：内部触发 ITR2 011：内部触发 ITR3 100：通道 1 输入边沿检测器 TIF_ED 101：通道 1 滤波后定时器输入 TI1FP1 110：通道 2 滤波后的定时器输入 TI2FP2 111：外部触发输入（ETRF）
7	MSMEN	R/W	使能主/从模式（Master/slave Mode Enable） 0：无效 1：使能主/从模式
11:8	ETFCFG	R/W	配置外部触发滤波器（External Trigger Filter Configure） 0000：禁用滤波器，以 f_{DTS} 采样 0001：DIV=1，N=2 0010：DIV=1，N=4 0011：DIV=1，N=8 0100：DIV=2，N=6 0101：DIV=2，N=8 0110：DIV=4，N=6 0111：DIV=4，N=8 1000：DIV=8，N=6 1001：DIV=8，N=8 1010：DIV=16，N=5 1011：DIV=16，N=6 1100：DIV=16，N=8 1101：DIV=32，N=5

位/域	名称	R/W	描述
			1110：DIV=32，N=6 1111：DIV=32，N=8 采样频率=定时器时钟频率/DIV；滤波长度=N，每 N 个事件产生一个跳变。
13:12	ETPCFG	R/W	配置外部触发信号预分频器（External Trigger Prescaler Configure） ETR（外部触发输入）的信号经过分频后为 ETRP，ETRP 的信号频率最多是 TMRxCLK 频率的 1/4；当 ETR 频率过高时，须经过分频降低 ETRP 的频率。 00：禁用预分频器； 01：ETR 信号 2 分频 10：ETR 信号 4 分频 11：ETR 信号 8 分频
14	ECEN	R/W	使能外部时钟模式 2（External Clock Enable Mode2） 0：禁止 1：使能 设置 ECEN 位与选择外部时钟模式 1 将 TRG1 连接到 ETRF 具有相同作用；从模式（复位、门控、触发）可以与外部时钟模式 2 同时使用，但此时 TRGI 不能连到 ETRF；当外部时钟模式 1 和外部时钟模式 2 同时使能时，外部时钟的输入是 ETRF。
15	ETPOL	R/W	配置外部触发极性（External Trigger Polarity Configure） 该位决定外部触发 ETR 是否反相。 0：外部触发 ETR 不反相，高电平或上升沿有效 1：外部触发 ETR 反相，低电平或下降沿有效

表格 68 TMRx 内部触发连接

从定时器	ITR0（TS=000）	ITR1（TS=001）	ITR2（TS=010）	ITR3（TS=011）
TMR2	TMR1	TMR8	TMR3	TMR4
TMR3	TMR1	TMR2	TMR5	TMR4
TMR4	TMR1	TMR2	TMR3	TMR8
TMR5	TMR2	TMR3	TMR4	TMR8

15.6.4 DMA/中断使能寄存器（TMRx_DIEN）

偏移地址：0x0C

复位值：0x0000

位/域	名称	R/W	描述
0	UIEN	R/W	使能更新中断（Update Interrupt Enable） 0：禁止 1：使能
1	CC1IEN	R/W	使能捕获/比较通道 1 中断（Capture/Campare Channel1 Interrupt Enable） 0：禁止 1：使能
2	CC2IEN	R/W	使能捕获/比较通道 2 中断（Capture/Campare Channel2 Interrupt Enable） 0：禁止

位/域	名称	R/W	描述
			1：使能
3	CC3IEN	R/W	使能捕获/比较通道 3 中断（Capture/Campare Channel3 Interrupt Enable） 0：禁止 1：使能
4	CC4IEN	R/W	使能捕获/比较通道 4 中断（Capture/Campare Channel4 Interrupt Enable） 0：禁止 1：使能
5	保留		
6	TRGIEN	R/W	使能触发中断（Trigger Interrupt Enable） 0：禁止 1：使能
7	保留		
8	UDIEN	R/W	使能更新的 DMA 请求（Update DMA Request Enable） 0：禁止 1：使能
9	CC1DEN	R/W	使能捕获/比较通道 1 的 DMA 请求（Capture/Campare Channel1 DMA Request Enable） 0：禁止 1：使能
10	CC2DEN	R/W	使能捕获/比较通道 2 的 DMA 请求（Capture/Campare Channe2 DMA Request Enable） 0：禁止 1：使能
11	CC3DEN	R/W	使能捕获/比较通道 3 的 DMA 请求（Capture/Campare Channe3 DMA Request Enable） 0：禁止 1：使能
12	CC4DEN	R/W	使能捕获/比较通道 4 的 DMA 请求（Capture/Campare Channe4 DMA Request Enable） 0：禁止 1：使能
13	保留		
14	TRGDEN	R/W	使能触发 DMA 请求（Trigger DMA Request Enable） 0：禁止 1：使能
15	保留		

15.6.5 状态寄存器（TMRx_STS）

偏移地址：0x10

复位值：0x0000

位/域	名称	R/W	描述
0	UIFLG	RC_W0	产生更新事件中断标志位（Update Event Interrupt Generate Flag） 0：没有发生更新事件中断 1：发生更新事件中断 计数器数值重新装载或重新初始化时，会产生更新事件，该位由硬件置 1，软件清 0；更新事件的产生的情况有以下情况： （1）TMRx_CTRL1 寄存器的 UD=0，重复计数器数值上/下溢时产生更新事件； （2）TMRx_CTRL1 寄存器的 URSEL=0 和 UD=0，配置 TMRx_CEG 寄存器的 UG=1 产生更新事件，需要通过软件初始化计数器； （3）TMRx_CTRL1 寄存器的 URSEL=0 和 UD=0，计数器被触事件初始化时产生更新事件。
1	CC1IFLG	RC_W0	捕获/比较通道 1 中断标志（Captuer/Compare Channel1 Interrupt Flag） **当捕获比较通道 1 配置为输出时：** 0：无匹配发生 1：TMRx_CNT 的值与 TMRx_CC1 的值相匹配 **当捕获比较通道 1 配置为输入时：** 0：没有发生输入捕获 1：发生输入捕获 捕获事件发生时由硬件置 1，可以由软件清 0 或者读 TMRx_CC1 寄存器时清 0。
2	CC2IFLG	RC_W0	捕获/比较通道 2 中断标志（Captuer/Compare Channel2 new Interrupt Flag） 参考 STS_CC1IFLG
3	CC3IFLG	RC_W0	捕获/比较通道 3 中断标志（Captuer/Compare Channel3 Interrupt Flag） 参考 STS_CC1IFLG
4	CC4IFLG	RC_W0	捕获/比较通道 4 中断标志（Captuer/Compare Channel4 Interrupt Flag） 参考 STS_CC1IFLG
5	保留		
6	TRGIFLG	RC_W0	产生触发事件中断标志（Trigger Event Interrupt Generate Flag） 0：没有发生触发事件中断 1：发生触发事件中断 发生触发事件时，该位由硬件置 1，软件清 0。
8:7	保留		
9	CC1RCFLG	RC_W0	捕获/比较通道 1 重复捕获标志（Captuer/Compare Channel1 Repetition Capture Flag） 0：没有发生重复捕获 1：发生重复捕获 计数器的值被捕获到 TMRx_CC1 寄存器中，此时 CC1IFLG=1；只有当通道被配置为输入捕获时，该位由硬件置 1，软件清 0。

位/域	名称	R/W	描述
10	CC2RCFLG	RC_W0	捕获/比较通道 2 重复捕获标志（Captuer/compare Channel2 Repetition Capture Flag） 参考 STS_CC1RCFLG
11	CC3RCFLG	RC_W0	捕获/比较通道 3 重复捕获标志（Captuer/compare Channel3 Repetition Capture Flag） 参考 STS_CC1RCFLG
12	CC4RCFLG	RC_W0	捕获/比较通道 4 重复捕获标志（Captuer/compare Channel4 Repetition Capture Flag） 参考 STS_CC1RCFLG
15:13	保留		

15.6.6 控制事件产生寄存器（TMRx_CEG）

偏移地址：0x14

复位值：0x0000

位/域	名称	R/W	描述
0	UEG	W	产生更新事件（Update Event Generate） 0：无效 1：初始化计数器，产生更新事件 此位由软件置 1，硬件清 0。 注意：产生更新事件时，预分频器的计数器会清 0，但是预分频系数不变。如果在向下计数模式下计数器会读取 TMRx_AUTORLD 的值；如果在中央对齐模式下或者向上计数模式中计数器会被清 0。
1	CC1EG	W	产生捕获/比较通道 1 事件（Capture/Compare Channel1 Event Generation） 0：无效 1：产生捕获/比较事件 该位由软件置 1，硬件自动清 0。 如果通道 1 处于输出模式 当 CC1IFLG=1 时，如果设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求。 如果通道 1 处于输入模式 捕获计数器的值存储在 TMRx_CC1 寄存器中；配置 CC1IFLG=1,如果还设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求；如果此时 CC1IFLG=1，则需要配置 CC1RCFLG=1。
2	CC2EG	W	产生捕获/比较通道 2 事件（Capture/Compare Channel2 Event Generation） 参考 CC1EG 描述
3	CC3EG	W	产生捕获/比较通道 3 事件（Capture/Compare Channel3 Event Generation） 参考 CC1EG 描述
4	CC4EG	W	产生捕获/比较通道 4 事件（Capture/Compare Channel4 Event Generation） 参考 CC1EG 描述
5	保留		
6	TEG	W	产生触发事件（Trigger Event Generate） 0：无效

位/域	名称	R/W	描述
			1：产生触发事件 该位由软件置 1，硬件自动清 0。
15:7	保留		

15.6.7 捕获/比较模式寄存器 1（TMRx_CCM1）

偏移地址：0x18

复位值：0x0000

可通过 CCxSEL 位配置定时器为输入（捕获模式）或输出（比较模式）。该寄存器其它位的作用在输入和输出模式下不同，同一个位在输出模式和输入模式下的功能是不同的。寄存器中的 Ocx 描述了通道在输出模式下的功能，寄存器中的 Icx 描述了通道在输入模式下的功能。

输出比较模式：

位/域	名称	R/W	描述
1:0	CC1SEL	R/W	选择捕获/比较通道 1（Capture/Compare Channel1 Selection） 该位定义了输入/输出的方向以及选择输入引脚。 00：CC1 通道为输出 01：CC1 通道为输入，IC1 映射在 TI1 上 10：CC1 通道为输入，IC1 映射在 TI2 上 11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入 注：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC1EN=0 时）可写。
2	OC1FEN	R/W	快速使能输出比较通道 1（Output Compare Channel1 Fast Enable） 0：禁止 1：使能 该位用来提高捕获/比较输出对触发输入事件的响应。
3	OC1PEN	R/W	使能输出比较通道 1 预装载（Output Compare Channel1 Preload Enable） 0：禁止预装载功能，通过程序写入 TMRx_CC1 寄存器的数值，会马上起作用。 1：启用预装载功能，通过程序写入 TMRx_CC1 寄存器的数值，会在产生更新事件后起作用。 注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。当不确定预装载寄存器情况，仅在单脉冲模式（SPMEN=1）下，可以使用 PWM 模式，否则不确定其接下来的输出比较结果。
6:4	OC1MOD	R/W	配置输出比较通道 1 模式（Output Compare Channel1 Mode Configure） 000：冻结。输出比较对 OC1REF 无影响 001：匹配时输出置为高。计数器 CNT 的值和捕获比较寄存器的值 CCx 发生匹配时，强制 OC1REF 为高电平 010：匹配时输出置为低。计数器的值和捕获比较寄存器的值发生匹配时，强制 OC1REF 为低电平 011：匹配时输出翻转。计数器的值和捕获比较寄存器的值发生匹配时，翻转 OC1REF 的电平 100：强制输出为低。强制 OC1REF 为低电平 101：强制输出为高。强制 OC1REF 为高电平 110：PWM 模式 1（计数器值<输出比较值时置为高，否则反之） 111：PWM 模式 2（计数器值>输出比较值时置为高，否则反之）

位/域	名称	R/W	描述
			注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。在 PWM 模式 1 和 2 中，OC1REF 电平在比较结果改变或者输出比较模式从冻结模式转换到 PWM 模式时改变。
7	OC1CEN	R/W	使能输出比较通道 1 清除（Output Compare Channel1 Clear Enable） 0：OC1REF 不受 ETRF 输入影响。 1：检测到 ETRF 输入高电平时，OC1REF=0
9:8	CC2SEL	R/W	通道 2 模式选择（Capture/Compare Channel2 Select） 该位定义了输入/输出的方向以及选择输入引脚。 00：CC2 通道为输出 01：CC2 通道为输入，IC2 映射在 TI2 上 10：CC2 通道为输入，IC2 映射在 TI1 上 11：CC2 通道为输入，IC2 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC2EN=0 时）可写。
10	OC2FEN	R/W	快速使能输出比较通道 2（Output Compare Channel2 Preload Enable）
11	OC2PEN	R/W	使能输出比较通道 2 缓冲（Output Compare Channel2 Buffer Enable）
14:12	OC2MOD	R/W	输出比较通道 2 模式（Output Compare Channel1 Mode）
15	OC2CEN	R/W	使能输出通道 2 比较清除（Output Compare Channel2 Clear Enable）

输入捕获模式:

位/域	名称	R/W	描述
1:0	CC1SEL	R/W	选择输入/捕获通道 1（Capture/Compare Channel1 Select） 00：CC1 通道为输出 01：CC1 通道为输入，IC1 映射在 TI1 上 10：CC1 通道为输入，IC1 映射在 TI2 上 11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC1EN=0 时）可写。
3:2	IC1PSC	R/W	配置输入捕获通道 1 预分频因子（Input Capture Channel1 Perscaler Configure） 00：PSC=1 01：PSC=2 10：PSC=4 11：PSC=8 PSC 是预分频因子，每 PSC 个事件触发一次捕获。
7:4	IC1F	R/W	配置输入捕获通道 1 滤波器（Input Capture Channel1 Filter Configuration） 0000：禁用滤波器，以 f_{DTS} 采样 0001：DIV=1，N=2 0010：DIV=1，N=4 0011：DIV=1，N=8 0100：DIV=2，N=6 0101：DIV=2，N=8 0110：DIV=4，N=6 0111：DIV=4，N=8 1000：DIV=8，N=6

位/域	名称	R/W	描述
			1001：DIV=8，N=8 1010：DIV=16，N=5 1011：DIV=16，N=6 1100：DIV=16，N=8 1101：DIV=32，N=5 1110：DIV=32，N=6 1111：DIV=32，N=8 采样频率=定时器时钟频率/DIV；滤波器长度=N，表示每 N 个事件产生一个跳变。
9:8	CC2SEL	R/W	选择捕获/比较通道 2（Capture/Compare Channel2 Select） 00：CC2 通道为输出 01：CC2 通道为输入，IC2 映射在 TI2 上 10：CC2 通道为输入，IC2 映射在 TI1 上 11：CC2 通道为输入，IC2 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC2EN=0 时）可写。
11:10	IC2PSC	R/W	配置输入捕获通道 2 预分频因子（Input Capture Channel2 Perscaler Configuration）
15:12	IC2F	R/W	配置输入捕获通道 2 滤波器（Input Capture Channel2 Filter Configuration）

15.6.8 捕获/比较模式寄存器 2 （TMRx_CCM2）

偏移地址：0x1C

复位值：0x0000

参看以上 CCM1 寄存器的描述。

输出比较模式：

位/域	名称	R/W	描述
1:0	CC3SEL	R/W	选择捕获/比较通道 3（Capture/Compare Channel1 Selection） 该位定义了输入/输出的方向以及选择输入引脚。 00：CC3 通道为输出 01：CC3 通道为输入，IC3 映射在 TI3 上 10：CC3 通道为输入，IC3 映射在 TI4 上 11：CC3 通道为输入，IC3 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC3EN=0 时）可写。
2	OC3FEN	R/W	快速使能输出比较通道 3（Output Compare Channel3 Fast Enable） 0：禁止 1：使能 该位用来提高捕获/比较输出对触发输入事件的响应。
3	OC3PEN	R/W	使能输出比较通道 3 预装载（Output Compare Channel3 Preload Enable）
6:4	OC3MOD	R/W	配置输出比较通道 3 模式（Output Compare Channel3 Mode Configure）
7	OC3CEN	R/W	使能输出比较通道 3 清除（Output Compare Channel3 Clear Enable） 0：OC3REF 不受 ETRF 输入影响。 1：检测到 ETRF 输入高电平时，OC1REF=0
9:8	CC4SEL	R/W	选择通道 4 模式（Capture/compare Channel4 Selection）

位/域	名称	R/W	描述
			该位定义了输入/输出的方向以及选择输入引脚。 00：CC4 通道为输出 01：CC4 通道为输入，IC4 映射在 TI4 上 10：CC4 通道为输入，IC4 映射在 TI3 上 11：CC4 通道为输入，IC4 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC4EN=0 时）可写。
10	OC4FEN	R/W	快速使能输出比较通道 4（Output Compare Channel4 Preload Enable）
11	OC4PEN	R/W	使能输出比较通道 4 缓冲（Output Compare Channel4 Buffer Enable）
14:12	OC4MOD	R/W	配置输出比较通道 4 模式（Output Compare Channel4 Mode Configure）
15	OC4CEN	R/W	使能输出通道 4 比较清除（Output Compare Channel4 Clear Enable）

输入捕获模式：

位/域	名称	R/W	描述
1:0	CC3SEL	R/W	选择输入/捕获通道 3（Capture/Compare Channel3 Select） 00：CC3 通道为输出 01：CC3 通道为输入，IC3 映射在 TI3 上 10：CC3 通道为输入，IC3 映射在 TI4 上 11：CC3 通道为输入，IC3 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC3EN=0 时）可写。
3:2	IC3PSC	R/W	配置输入捕获通道 3 预分频因子（Input Capture Channel3 Perscaler Configuration） 00：PSC=1 01：PSC=2 10：PSC=4 11：PSC=8 PSC 是预分频因子，每 PSC 个事件触发一次捕获。
7:4	IC3F	R/W	配置输入捕获通道 3 滤波器（Input Capture Channel3 Filter Configuration）
9:8	CC4SEL	R/W	选择捕获/比较通道 4（Capture/Compare Channel4 Select） 00：CC4 通道为输出 01：CC4 通道为输入，IC4 映射在 TI4 上 10：CC4 通道为输入，IC4 映射在 TI3 上 11：CC4 通道为输入，IC4 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC4EN=0 时）可写。
11:10	IC4PSC	R/W	配置输入捕获通道 4 预分频因子（Input Capture Channel4 Perscaler Configuration）
15:12	IC4F	R/W	配置输入捕获通道 4 滤波器（Input Capture Channel4 Filter Configuration）

15.6.9 使能捕获/比较通道寄存器（TMRx_CCEN）

偏移地址：0x20

复位值：0x0000

位/域	名称	R/W	描述
0	CC1EN	R/W	使能捕获/比较通道 1 输出（Capture/Compare Channel1 Output Enable） **捕获/比较通道 1 配置为输出时：** 0：禁止输出 1：开启输出 **捕获/比较通道 1 配置为输入时：** 该位决定了计数器的值 CNT 是否能捕获进入 TMRx_CC1 寄存器中 0：禁止捕获 1：开启捕获
1	CC1POL	R/W	配置捕获/比较通道 1 输出极性（Capture/Compare Channel1 Output Polarity Configure） **CC1 通道配置为输出时：** 0：OC1 高电平有效 1：OC1 低电平有效 **CC1 通道配置为输入时：** 0：不反相：在 IC1 的上升沿进行捕获，IC1 作为外部触发器时不反相。 1：反相，在 IC1 下降沿进行捕获，IC1 作为外部触发器时反相。 注：当保护级别为 2 或者 3 时，该位不能被修改
3:2	保留		
4	CC2EN	R/W	使能捕获/比较通道 2 输出（Capture/Compare Channel2 Output Enable） 参考 CCEN_CC1EN
5	CC2POL	R/W	配置捕获/比较通道 2 输出极性（Capture/Compare Channel2 Output Polarity Configure） 参考 CCEN_CC1POL
7:6	保留		
8	CC3EN	R/W	使能捕获/比较通道 3 输出（Capture/Compare Channel3 Output Enable） 参考 CCEN_CC1EN
9	CC3POL	R/W	配置捕获/比较通道 3 输出极性（Capture/Compare Channel3 Output Polarity Configure） 参考 CCEN_CC1POL
11:10	保留		
12	CC4EN	R/W	使能捕获/比较通道 4 输出（Capture/Compare Channel4 Output Enable） 参考 CCEN_CC1EN
13	CC4POL	R/W	捕获/比较通道 4 输出极性（Capture/Compare Channel4 Output Polarity） 参考 CCEN_CC1POL
15:14	保留		

表格 69 标准 Ocx 通道的输出控制位

CcxEN 位	Ocx 输出状态
0	禁止输出（Ocx=0，Ocx_EN=0）

CcxEN 位	Ocx 输出状态
1	Ocx=OCxREF+极性，Ocx_EN=1

注意：连接到标准 Ocx 通道的外部 I/O 引脚状态，取决于 Ocx 通道状态和 GPIO 以及 AFIO 寄存器。

15.6.10 计数器寄存器（TMRx_CNT）

偏移地址：0x24

复位值：0x0000

位/域	名称	R/W	描述
15:0	CNT	R/W	计数器数值（Counter Value）
31:16	CNT	R/W	计数器数值（Counter Value）（仅 TMR2/TMR5）

15.6.11 预分频寄存器（TMRx_PSC）

偏移地址：0x28

复位值：0x0000

位/域	名称	R/W	描述
15:0	PSC	R/W	预分频器数值（Prescaler Value） 计数器的时钟频率（CK_CNT）＝f_{CK_PSC}/（PSC+1）

15.6.12 自动重装载寄存器（TMRx_AUTORLD）

偏移地址：0x2C

复位值：0xFFFF FFFF (TMR2/5)

0x0000 FFFF (TMR3/4)

位/域	名称	R/W	描述
15:0	AUTORLD	R/W	自动重装载数值（Auto Reload Value） 自动重装载的值为空时，计数器不进行计数。
31:16	AUTORLD	R/W	自动重装载数值（Auto Reload Value）（仅 TMR2/TMR5）

15.6.13 通道 1 捕获/比较寄存器（TMRx_CC1）

偏移地址：0x34

复位值：0x0000

位/域	名称	R/W	描述
15:0	CC1	R/W	捕获/比较通道 1 数值（Capture/Compare Channel1 Value） **捕获/比较通道 1 配置为输入模式：** CC1 包含上次输入捕获通道 1 事件传输的计数器数值。 **捕获/比较通道 1 配置为输出模式：** CC1 包含了当前装入捕获/比较寄存器数值 捕获比较通道 1 的值 CC1 与计数器的值 CNT 比较，在 OC1 上产生输出信号。 当输出比较预装载禁止（TMRx_CCM1 寄存器的 OC1PEN=0）时，写入的数值会立即影响输出比较结果； 当输出比较预装载使能（TMRx_CCM1 寄存器的 OC1PEN=1）时，写入的值会在产生更新事件时影响输出比较结果。
31:16	CC1	R/W	捕获/比较通道 1 数值（Capture/Compare Channel1 Value）（仅 TMR2/TMR5）

15.6.14 通道 2 捕获/比较寄存器（TMRx_CC2）

偏移地址：0x38

复位值：0x0000

位/域	名称	R/W	描述
15:0	CC2	R/W	捕获/比较通道 2 数值（Capture/Compare Channel2 Value） 参考 TMRx_CC1
31:16	CC2	R/W	捕获/比较通道 2 数值（Capture/Compare Channel2 Value）（仅 TMR2/TMR5） 参考 TMRx_CC1

15.6.15 通道 3 捕获/比较寄存器（TMRx_CC3）

偏移地址：0x3C

复位值：0x0000

位/域	名称	R/W	描述
15:0	CC3	R/W	捕获/比较通道 3 数值（Capture/Compare Channel3 Value） 参考 TMRx_CC1
31:16	CC3	R/W	捕获/比较通道 3 数值（Capture/Compare Channel3 Value）（仅 TMR2/TMR5） 参考 TMRx_CC1

15.6.16 通道 4 捕获/比较寄存器（TMRx_CC4）

偏移地址：0x40

复位值：0x0000

位/域	名称	R/W	描述
15:0	CC4	R/W	捕获/比较通道 4 数值（Capture/Compare Channel4 Value） 参考 TMRx_CC1
31:16	CC4	R/W	捕获/比较通道 4 数值（Capture/Compare Channel4 Value）（仅 TMR2/TMR5） 参考 TMRx_CC1

15.6.17 DMA 控制寄存器（TMRx_DCTRL）

偏移地址：0x48

复位值：0x0000

位/域	名称	R/W	描述
4:0	DBADDR	R/W	设置 DMA 基地址（DMA Base Address Setup） 这些位定义了 DMA 在连续模式下的基地址（当对 TMRx_DMADDR 寄存器进行读或写时），DBADDR 定义为从 TMRx_CTRL1 寄存器所在地址开始的偏移量： 00000：TMRx_CTRL1 00001：TMRx_CTRL2 00010：TMRx_SMCTRL …….
7:5	保留		
12:8	DBLEN	R/W	设置 DMA 突发传送长度（DMA Burst Transfer Length Setup） 这些位定义 DMA 在连续模式下的传送长度、传输的次数，其中传输的数据可以是 16 位和 8 位。

位/域	名称	R/W	描述
			当读写 TMRx_DMADDR 寄存器时，定时器进行一次连续传输传送； 00000：1 次传输 00001：2 次传输 00010：3 次传输 …… 10001：18 次传输 传输的地址公式如下： 传输的地址=TMRx_CTRL1 的地址（从地址）+DBADDR+DMA 索引； DMA 索引=DBLEN 例如：DBLEN=7，DBADDR=TMR2_CTRL1（从地址）表示待传输数据的地址，则 TMRx_CTRL1 的地址+DBADDR+7，表示了将要写入/读出数据的地址， 数据的传输将发生在：TMRx_CTRL1 的地址+从 DBADDR 开始的 7 个寄存器。 根据设置的 DMA 数据长度不同，数据传输也会发生变化： 1) 当传输数据设置为 16 位时，数据会传输给 7 个寄存器 2) 当传输数据设置为 8 位时，第一个寄存器的数据是第一个的数据的 MSB 位，第二个寄存器的数据是第一个数据的 LSB 位，数据仍然会传输给 7 个寄存器。
15:13	保留		

15.6.18 连续模式的 DMA 地址寄存器（TMRx_DMADDR）

偏移地址：0x4C

复位值：0x0000

位/域	名称	R/W	描述
15:0	DMADDR	R/W	DMA 突发传送寄存器（DMA Register for Burst Transfer） TMRx_DMADDR 寄存器的读或写操作访问会导致对以下地址所在寄存器的存取操作： TMRx_CTRL1 地址+（DBADDR+DMA 索引）×4 其中： “TMRx_CTRL1 地址”是控制寄存器 1（TMRx_CTRL1）所在的地址； “DBADDR”是 TMRx_DCTRL 寄存器中定义的基地址； “DMA 索引”是由 DMA 自动控制的偏移量，它取决于 TMRx_DCTRL 寄存器中定义的 DBLEN。

15.6.19 TMR2 选项寄存器（TMR2_OPT）

偏移地址：0x50

复位值：0x0000

位/域	名称	R/W	描述
9:0	保留		
11:10	RMPSEL	R/W	定时器 2 内部触发 1 重映射选择（Timer2 Internal Trigger 1 Remap Select） 00：TMR8_TRGOUT 01：PTP 触发输出连接到 TMR2_ITR1 10：OTG_FS SOF 连接到 TMR2_ITR1 输入 11：OTG_HS1 SOF 连接到 TMR2_ITR1 输入 注意：通过软件清除

位/域	名称	R/W	描述
15:12	保留		

15.6.20 TMR5 选项寄存器（TMR5_OPT）

偏移地址：0x50

复位值：0x0000

位/域	名称	R/W	描述
5:0	保留		
7:6	RMPSEL	R/W	定时器 5 通道 4 输入重映射选择（Timer5 Channel4 Input Remap Select） 00：TMR5 通道 4 连接到 GPIO 01：LSICLK 内部时钟与 TMR5_CH4 输入连接，用于校准 10：LSECLK 内部时钟与 TMR5_CH4 输入连接，用于校准 11：RTC 唤醒中断连接到 TMR5_CH4 输入连接，用于校准 注意：通过软件清除
15:8	保留		

16 通用定时器（TMR9/10/11/12/13/14）

16.1 简介

通用定时器以时基单元为核心，拥有输入捕获和输出比较等功能，可以用来测量脉冲宽度、频率和占空比，以及产生输出波形。含有一个 16 位的自动重装载计数器（实现向上、向下和中央对齐计数）。

16.2 TMR9/12 主要特征

（1） 时基单元
- 计数器：16 位计数器，可以向上、向下和中央对齐计数
- 预分频器：16 位可编程预分频器
- 自动重装载功能

（2） 时钟源
- 内部时钟

（3） 定时器功能
- 输入捕获
- 输出比较
- PWM 输出模式
- 强制输出模式
- 单脉冲模式输出

（4） 定时器的主/从模式控制器
- 定时器之间可以同步和级联
- 支持多种从模式、同步信号

（5） 中断和 DMA 请求事件
- 更新事件（计数器上/下溢出，计数器初始化）
- 输入捕获
- 输出比较

16.3 TMR10/11/13/14 主要特征

（1） 时基单元
- 计数器：16 位计数器，可以向上、向下和中央对齐计数
- 预分频器：16 位可编程预分频器
- 自动重装载功能

（2） 时钟源
- 内部时钟

（3） 定时器功能
- 输入捕获

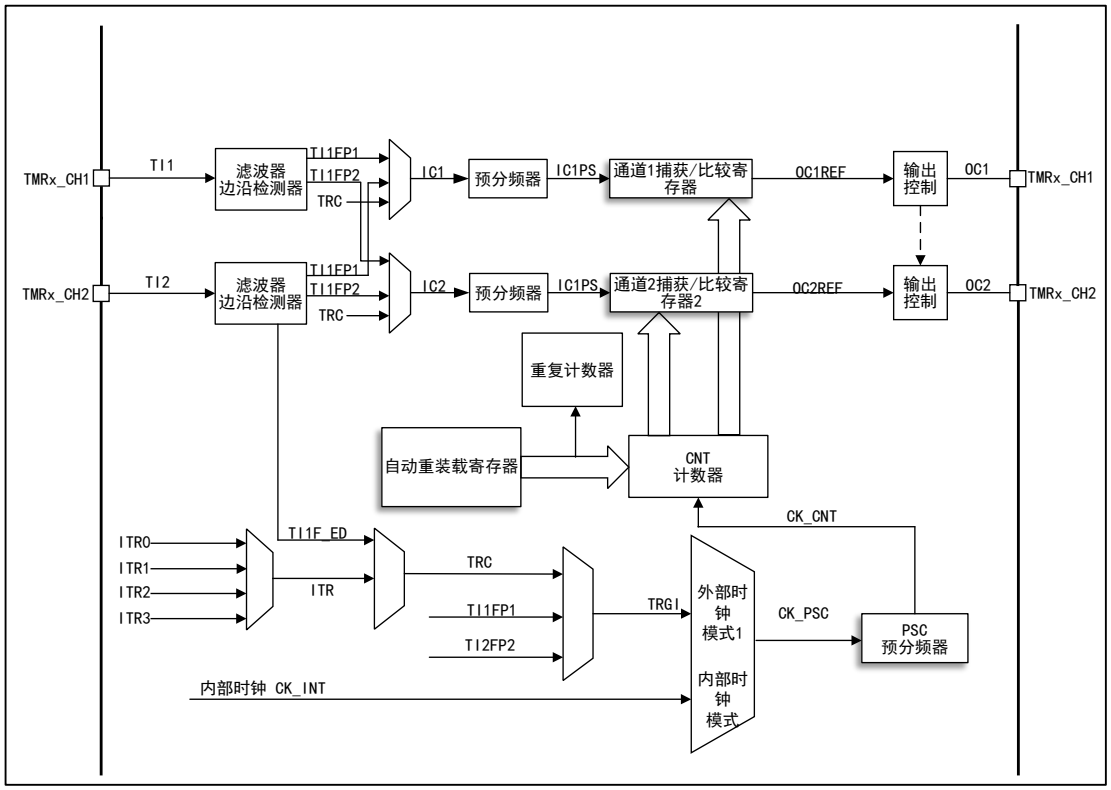
- 输出比较
- PWM 输出模式
- 强制输出模式
- 单脉冲模式输出

（4） 中断和 DMA 请求事件

- 更新事件（计数器上/下溢出，计数器初始化）
- 输入捕获
- 输出比较

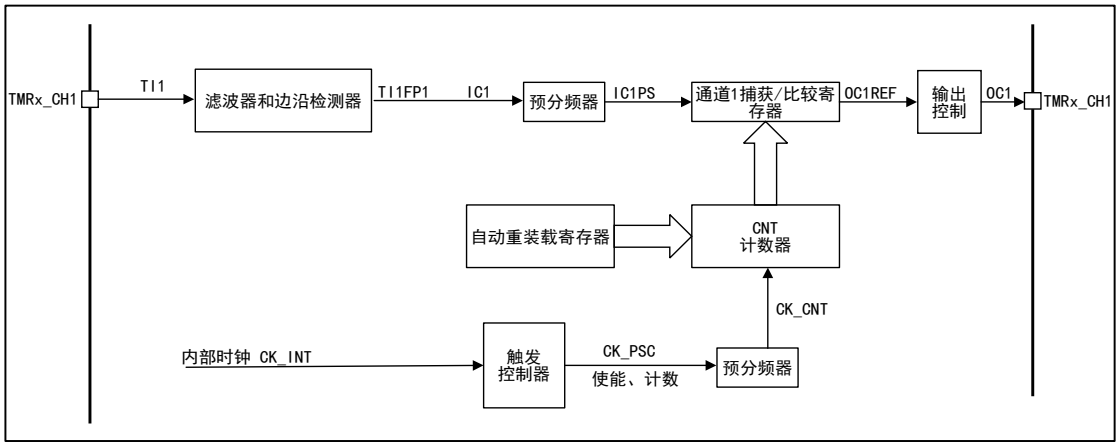
16.4 TMR9/12 结构框图

图 54 通用定时器 TMR9/12 结构框图



16.5 TMR10/11/13/14 结构框图

图 55 通用定时器 TMR10/11/13/14 结构框图



16.6 功能描述

16.6.1 时钟源

内部时钟

是来自 RCM 的 TMRx_CLK，即定时器本身的驱动时钟，当禁止从模式控制器，则预分频的时钟源 CK_PSC 由内部时钟 CK_INT 驱动。

16.6.2 时基单元

通用定时器里的时基单元包含三个寄存器

- 16 位计数器寄存器（CNT）
- 16 位自动重装载寄存器（AUTORLD）
- 16 位预分频寄存器（PSC）

计数器 CNT

通用定时器中的计数器中一共有三种计数模式

- 向上计数模式
- 向下计数模式
- 中央对齐模式

向上计数模式

通过配置控制寄存器（TMRx_CTRL1）中的 CNTDIR 位，设置为向上计数模式。

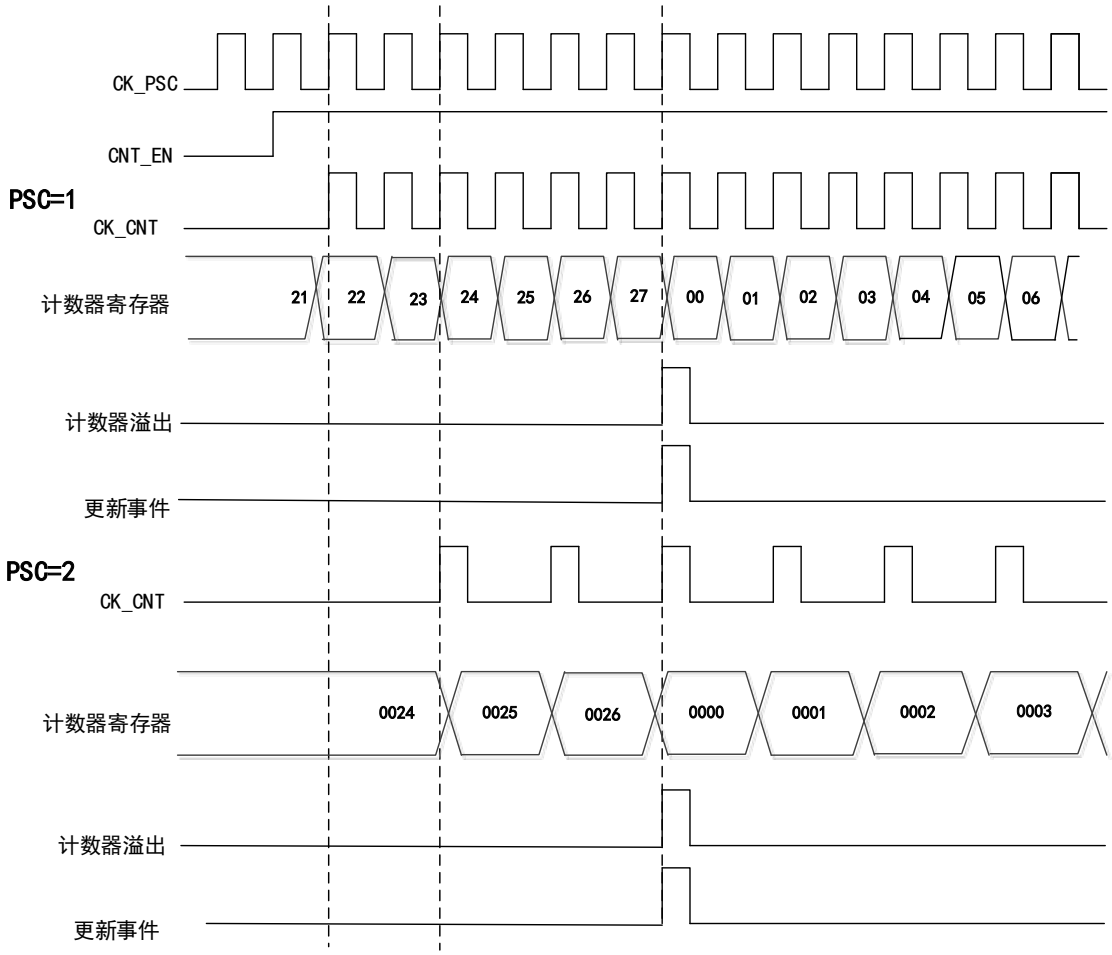
当计数器处于向上计数模式时，计数器从 0 开始向上计数，当每来一个脉冲计数器就会增加 1，一直到计数器（TMRx_CNT）值与自动重装载（TMRx_AUTORLD）的值相等时，计数器会再次从 0 开始计数，此时产生一个

计数器向上溢出事件，其中自动重装载的值（TMRx_AUTORLD）是提前写入的。

当计数器溢出时，会产生更新事件，此时重复计数寄存器、自动重装载寄存器和预分频寄存器都将会被更新。可以通过配置控制寄存器 TMRx_CTRL1 中的 UD 位，禁止更新事件。

下图为向上计数模式下，分频因子为 1 或 2 的时序图

图 56 向上计数模式下，分频因子为 1 或 2 的时序图



向下计数模式

通过配置控制寄存器（TMRx_CTRL1）中的 CNTDIR 位，设置为向下计数模式。

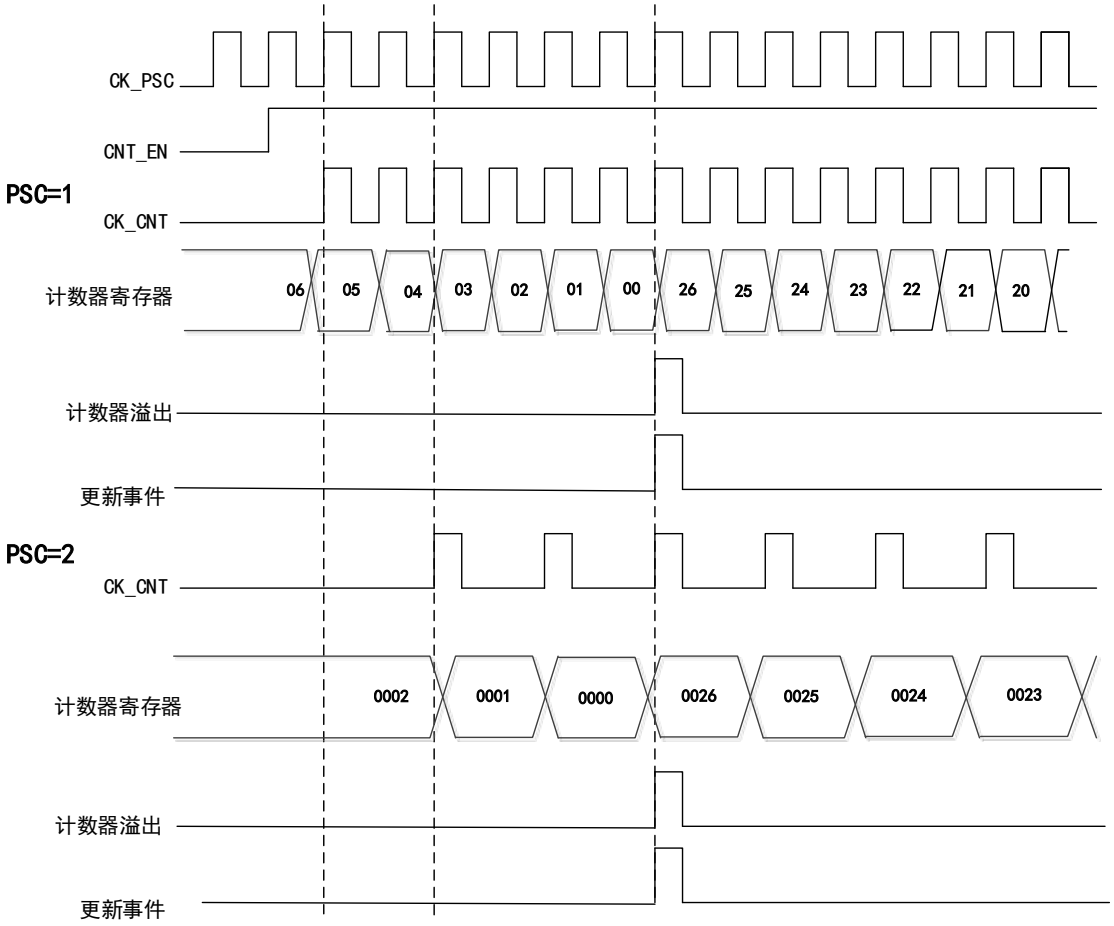
当计数器处于向下计数模式时，计数器从自动重装载的值（TMRx_AUTORLD）开始向下计数，当每来一个脉冲计数器就会减 1，一直减到 0 时，计数器会重新从（TMRx_AUTORLD）开始计数，与此同时便会产生一个计数器向下溢出事件，自动重装载的值（TMRx_AUTORLD）是提前写入的。

计数器溢出时，会产生更新事件，此时，重复计数寄存器、自动重装载寄存器和预分频寄存器都将会更新。可以配置 TMRx_CTRL1 寄存器中的 UD 位，禁止更

新事件。

下图为向下计数模式下，分频因子为 1 或 2 的时序图 。

图 57 向下计数模式下，分频因子为 1 或 2 的时序图



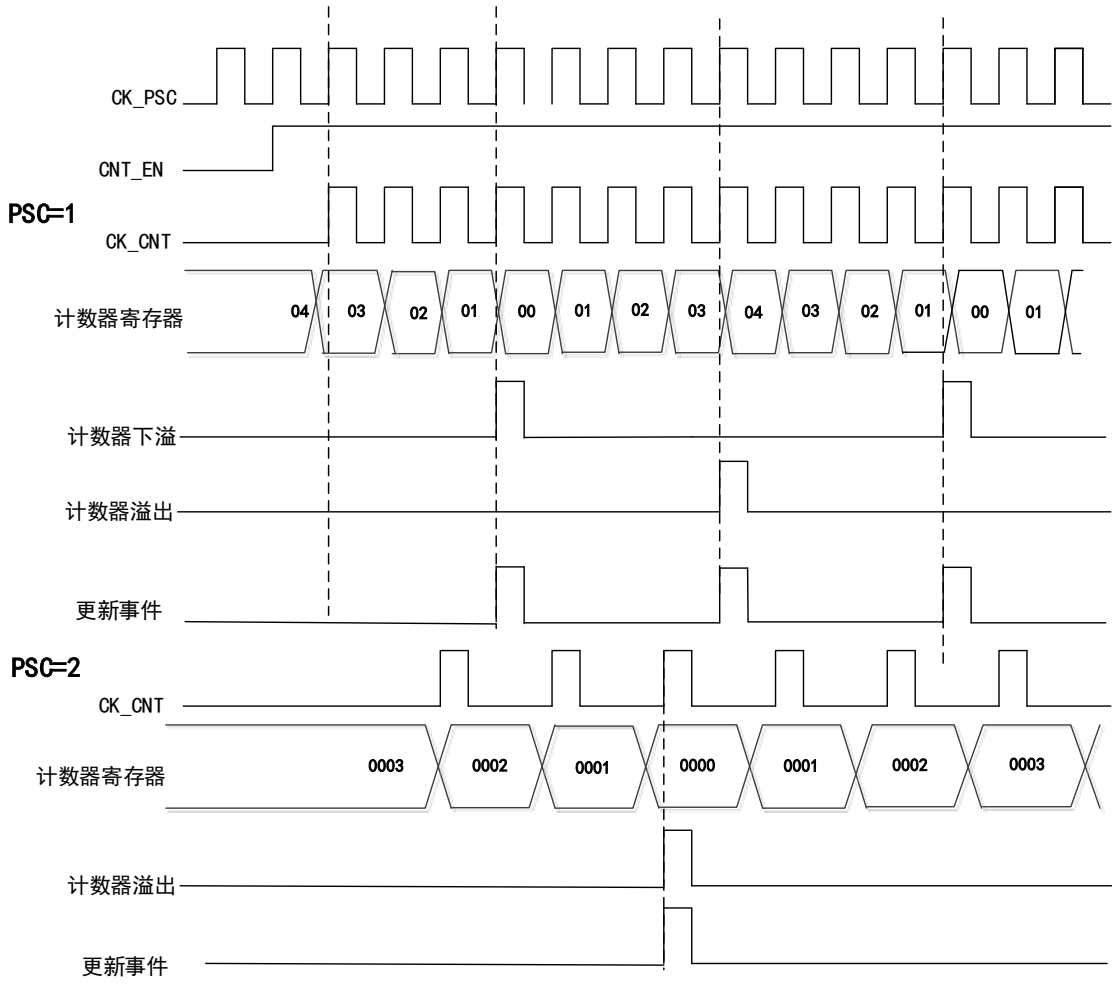
中央对齐模式

通过配置控制寄存器（TMRx_CTRL1）中的 CNTDIR 位，设置为中央对齐模式。

当计数器处于中央对齐模式时，计数器从 0 开始向上计数到自动重装载的值（TMRx_AUTORLD），然后从自动重装载的值（TMRx_AUTORLD）再向下计数到 0，以此往复，在向上计数时当计数器的值为（AUTORLD-1）时会产生一个计数器上溢事件，在向下计数时计数器的值为 1 时会产生一个计数器下溢事件。

下图为中央对齐模式下，分频因子为 1 或 2 的时序图

图 58 中央对齐模式下，分频因子为 1 或 2 的时序图



预分频器 PSC

预分频器是 16 位的且是可编程的，它可以将计数器的时钟频率进行 1~65536 之间任意值的分频（由 TMRx_PSC 寄存器控制），经过分频后的时钟将会驱动计数器 CNT 计数。预分频器带有缓冲器，它能够在运行中被改变。

16.6.3 输入捕获

输入捕获通道

通用定时器有四个独立的捕获/比较独立通道，每一个捕获/比较的通道都围绕着一个捕获/比较寄存器。

在输入捕获中，被测量的信号会从定时器的外部引脚 T1/2/3/4 进入首先经过边沿检测器和输入滤波器，然后进入捕获通道，每个捕获通道都有相对应的捕获寄存器，当发生捕获时，计数器 CNT 的值将会被锁存在捕获寄存器 CCx 中。在进入捕获寄存器之前，信号还会经过预分频器，用于设定经过多少事件进行一次捕获。

输入捕获应用

输入捕获用来捕获外部事件，并且可以赋予时间标记表明事件的发生时刻，可以测量脉冲跳变沿事件（测量频率或者脉宽），如：在输入引脚上如果出现了被选择的边沿，TMRx_CCx 寄存器会捕获计数器当前的值，同时状态寄存器 TMRx_STS 的 CCxIFLG 位被置 1，如果 CCxIEN=1，便会产生中断。

捕获模式下可以测量一个波形的时序、频率、周期和占空比。在输入捕获模式中将边沿选择设定为上升沿检测，当捕获通道出现上升沿时，发生第一次捕获，此时计数器 CNT 的值会被锁存在捕获寄存器 CCx 中，同时会进入捕获中断，在中断服务程序中记录一次捕获，记下此时的值，当检测到下一个上升沿时，发生第二次捕获，计数器 CNT 的值会再次锁存在捕获寄存器 CCx 中，此时再次进入捕获中断，读取捕获寄存器的值，通过捕获就会得出此脉冲信号的周期。

16.6.4 输出比较

输出比较一共有八种模式：冻结，匹配时通道 x 为有效电平、匹配时通道 x 为无效电平、翻转、强制为无效、强制为有效、PWM 模式 1 和 PWM 模式 2，由 TMRx_CCMx 寄存器中的 OCxMOD 位配置，在输出比较模式中可以控制输出信号的波形。

输出比较应用

输出比较模式中，定时器产生脉冲的位置、极性、频率和时间都是可以控制的。

当计数器的值和捕获/比较寄存器的值相等时，通过配置 TMRx_CCMx 寄存器中的 OCxMOD 位和输出极性 TMRx_CCEN 寄存器中的 CCxPOL 位，通道的输出可以被置高电平、低电平或者翻转。

在 TMRx_STS 寄存器中的 CCxIFLG=1 时，如果 TMRx_DIEN 寄存器中的 CCxIEN=1 产生中断；TMRx_CTRL2 寄存器中的 CCDSEL=1 产生 DMA 请求。

16.6.5 PWM 输入模式（仅用于 TMR9/12）

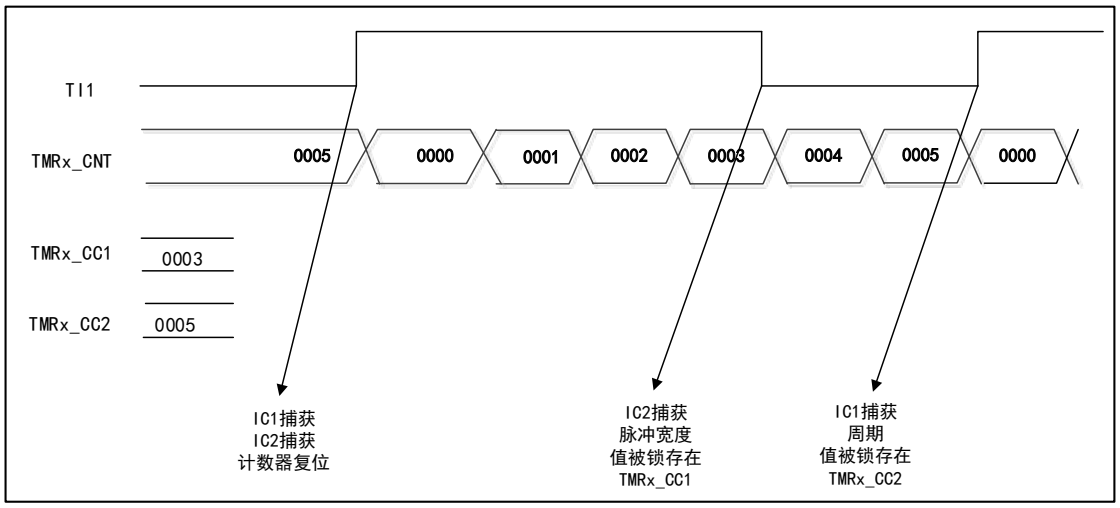
PWM 输入模式是输入捕获的一个特例。

PWM 输入模式，只有 TI1FP1、TI1FP2 连接到了从模式控制器，所以只能从通道 TMRx_CH1 和 TMRx_CH2 输入，且需要占用 CH1、CH2 的捕获寄存器。

在 PWM 输入模式中，PWM 信号从 TMRx_CH1 进入，信号会被分成两路，一路可以测量周期，一路可以测量占空比.在配置中只需设置其中一路的极性，另一路会自动配置会相反的极性。

在此模式中，从模式控制器要配置成复位模式（TMRx_SMCTRL 寄存器的 SMFSEL 位）。

图 59 PWM 输入模式时序图



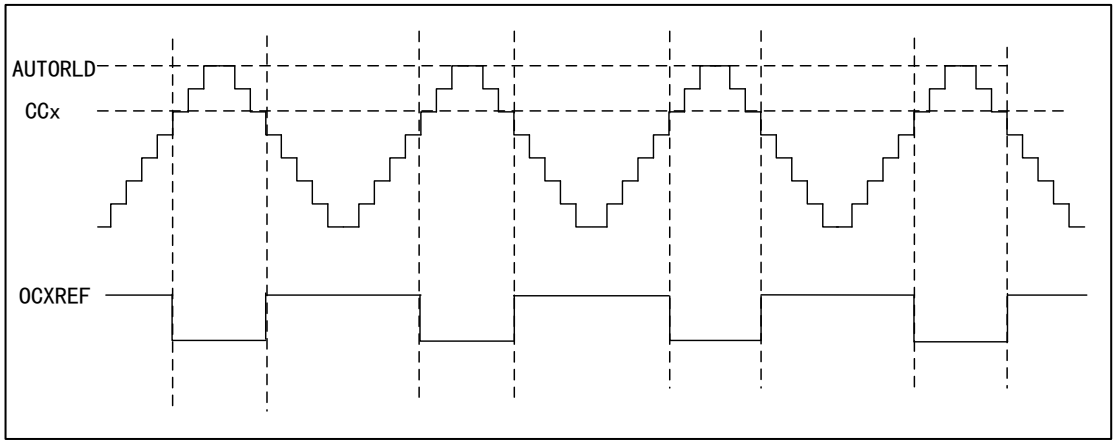
16.6.6 PWM 输出模式

PWM 模式是定时器对外输出可以调节的脉冲信号，其中信号的脉宽是由比较寄存器 CCx 的值决定，周期是由自动重装载 AUTORLD 的值决定。

PWM 输出模式分为 PWM 模式 1 和 PWM 模式 2；PWM 模式 1 和 PWM 模式 2 分为向上计数和向下计数和边沿对齐计数；PWM 模式 1 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出有效电平，否则反之。

设置 CCx=5,AUTORLD=7,在 PWM 模式 1 下的时序图。

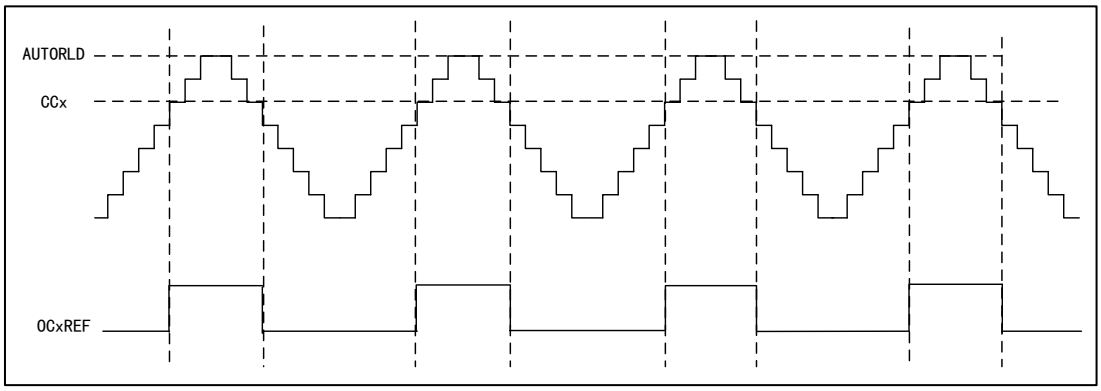
图 60 PWM1 中央对齐模式的时序图



PWM 模式 2 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出无效电平，否则反之。

设置 CCx=5,AUTORLD=7,在 PWM 模式 2 模式下的时序图

图 61 PWM2 中央对齐模式的时序图



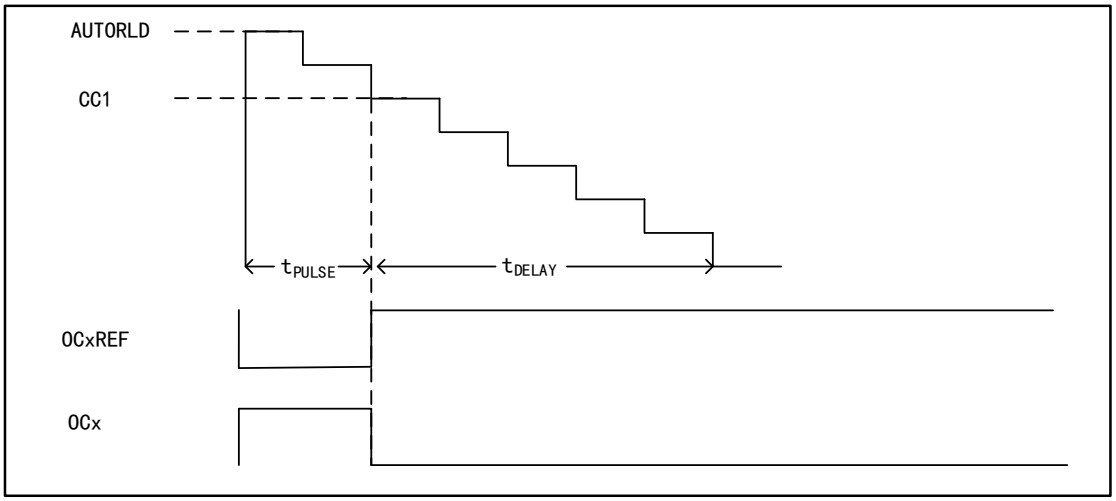
16.6.7 单脉冲模式

单脉冲模式是定时器比较输出中一种特殊情况，也是 PWM 输出模式的特例。

设置 TMRx_CTRL1 寄存器的 SPMEN 位选择单脉冲模式，计数器启动后，在未发生更新事件之前有一定个数的脉冲输出，当发生更新事件后计数器停止计数，后续不再有变化的 PWM 波形输出。

单脉冲模式通过程序在一定可控延迟后，产生一个脉宽可控的脉冲，延时时间由 TMRx_CCx 寄存器的值定义；在增计数模式下延时时间为 CCx，脉冲宽度为 AUTORLD-CCx；在减计数模式下延时时间为 AUTORLD-CCx，脉冲宽度为 CCx。

图 62 单脉冲模式下的时序图



16.6.8 强制输出模式

强制输出模式下无视比较结果，直接根据配置指令输出相应电平。

- TMRx_CCMx 寄存器的 CCxSEL=00,设定 CCx 通道为输出
- TMRx_CCMx 寄存器的 OCxMOD=100/101,设定强制 OCxREF 信号为无效/有效状态

在此模式中仍旧会产生相应的中断和 DMA 请求。

16.7 TMR9/12 寄存器地址映射

下表中将 TMR9/12 的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 70 TMR9/12 寄存器地址映射

寄存器名	描述	偏移地址
TMRx_CTRL1	控制寄存器 1	0x00
TMRx_CTRL2	控制寄存器 2	0x04
TMRx_SMCTRL	从模式控制寄存器	0x08
TMRx_DIEN	DMA/中断使能寄存器	0x0C
TMRx_STS	状态寄存器	0x10
TMRx_CEG	控制事件产生寄存器	0x14
TMRx_CCM1	捕获/比较模式寄存器 1	0x18
TMRx_CCEN	捕获/比较使能寄存器	0x20
TMRx_CNT	计数器寄存器	0x24
TMRx_PSC	预分频寄存器	0x28
TMRx_AUTORLD	自动重装载寄存器	0x2C
TMRx_CC1	通道 1 捕获/比较寄存器	0x34
TMRx_CC2	通道 2 捕获/比较寄存器	0x38

16.8 TMR9/12 寄存器功能描述

16.8.1 控制寄存器 1（TMRx_CTRL1）

偏移地址：0x00

复位值：0x0000

位/域	名称	R/W	描述
0	CNTEN	R/W	使能计数器（Counter Enable） 0：禁止 1：使能 定时器配置为外部时钟、门控模式和编码器模式时，需要通过软件对该位写 1 启动定期工作；配置为触发模式时，可硬件写 1。
1	UD	R/W	禁止更新（Update Disable） 更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。 0：允许更新事件（UEV） 更新事件可以由以下任一情况产生： 计数器溢出/下溢； 设置 UEG 位； 从模式控制器产生的更新。 1：禁止更新事件
2	URSSEL	R/W	更新请求源（Update Request Source Select）

位/域	名称	R/W	描述
			如果使能了中断或 DMA，更新事件可产生更新中断或 DMA 请求，通过该位可选择不同的更新请求源。 0：计数器上溢或下溢 设置 UEG 位 通过从模式控制器产生的更新 1：计数器上溢或下溢
3	SPMEN	R/W	使能单脉冲模式（Single Pulse Mode Enable） 产生更新事件时，可改变通道的输出电平；在该模式下，会清除 CNTEN 位，停止计数器，后续不再改变通道的输出电平。 0：禁用 1：使能
6:4	保留		
7	ARPEN	R/W	TMRx_AUTORLD 寄存器自动重装载缓冲使能（Auto-reload Preload Enable） 禁止缓存区时，程序修改 TMRx_AUTORLD 会立刻修改装入计数器的数值；使能缓存区时，程序修改 TMRx_AUTORLD 会在下一个更新事件修改装入计数器的数值。 0：禁止 1：使能
9:8	CLKDIV	R/W	时钟分频系数（Clock Division） 死区、数字滤波器的配置由 CK_INT 提供时钟，通过设置改位可调整死区时间、数字滤波器的采用时钟。 00：$t_{DTS}=t_{CK_INT}$ 01：$t_{DTS}=2\times t_{CK_INT}$ 10：$t_{DTS}=4\times t_{CK_INT}$ 11：保留
15:10	保留		

16.8.2 控制寄存器 2（TMRx_CTRL2）

偏移地址：0x04

复位值：0x0000

位/域	名称	R/W	描述
3:0	保留		
6:4	MMSEL	R/W	选择定时器主模式下用于 TRGO 的信号（Master Mode Signal Select） 工作在主模式的定时器的信号可用于 TRGO，从而影响处在从模式且与主定时器级联的的定时器工作，具体影响可从模式的定时器配置有关。 000：复位，主模式定时器的复位信号用于 TRGO 001：使能，主模式定时器的计数器使能信号用于 TRGO 010：更新，主模式定时器的更新事件用于 TRGO 011：比较脉冲，主模式定时器捕获/比较成功（CCxIFLG=1）时输出一个脉冲信号用于 TRGO 100：比较模式 1，OC1REF 用于触发 TRGO 101：比较模式 2，OC2REF 用于触发 TRGO 110：比较模式 3，OC3REF 用于触发 TRGO

位/域	名称	R/W	描述
			111：比较模式 4，OC4REF 用于触发 TRGO
15:7	保留		

16.8.3 从模式控制寄存器（TMRx_SMCTRL）

偏移地址：0x08

复位值：0x0000

位/域	名称	R/W	描述
2:0	SMFSEL	R/W	选择从模式功能（Slave Mode Function Select） 000：禁止从模式，定时器可作为主模式定时器影响从模式定时器的工作；如果 CTRL1_CNTEN=1，则预分频器直接由内部时钟驱动。 001：编码器模式 1，根据 TI1FP1 的电平，计数器在 TI2FP2 的边沿计数。 010：编码器模式 2，根据 TI2FP2 的电平，计数器在 TI1FP1 的边沿计数。 011：编码器模式 3，根据另一个信号的输入电平，计数器在 TI1FP1、TI2FP2 的边沿计数。 100：复位模式，从模式定时器在收到 TRGI 的上升沿信号后复位计数器，并产生更新寄存器的信号。 101：门控模式，从模式定时器在收到 TRGI 高电平信号时，启动计数器工作；收到 TRGI 低电平时停止计数器工作；再收到 TRGI 高电平信号时，继续工作；整个期间不复位计数器。 110：触发模式，从模式定时器在收到 TRGI 的上升沿信号后，启动计数器工作。 111：外部时钟模式 1，选择 TRGI 的上升沿信号作为时钟源驱动计数器工作。
3	保留		
6:4	TRGSEL	R/W	选择触发输入信号（Trigger Input Signal Select） 为了避免在改变该位值时产生错误的边沿检测，须在 SMFSEL=0 时改变。 000：内部触发 ITR0 001：内部触发 ITR1 010：内部触发 ITR2 011：内部触发 ITR3 100：通道 1 输入边沿检测器 TIF_ED 101：通道 1 滤波后定时器输入 TI1FP1 110：通道 2 滤波后的定时器输入 TI2FP2 111：外部触发输入（ETRF）
7	MSMEN	R/W	使能主/从模式（Master/slave Mode Enable） 0：无效 1：使能主/从模式
15:8	保留		

16.8.4 DMA/中断使能寄存器（TMRx_DIEN）

偏移地址：0x0C

复位值：0x0000

位/域	名称	R/W	描述
0	UIEN	R/W	使能更新中断（Update Interrupt Enable） 0：禁止 1：使能
1	CC1IEN	R/W	使能捕获/比较通道 1 中断（Capture/Campare Channel1 Interrupt Enable） 0：禁止 1：使能
2	CC2IEN	R/W	使能捕获/比较通道 2 中断（Capture/Campare Channel2 Interrupt Enable） 0：禁止 1：使能
5:3	保留		
6	TRGIEN	R/W	使能触发中断（Trigger Interrupt Enable） 0：禁止 1：使能
15:7	保留		

16.8.5 状态寄存器（TMRx_STS）

偏移地址：0x10

复位值：0x0000

位/域	名称	R/W	描述
0	UIFLG	RC_W0	产生更新事件中断标志位（Update Event Interrupt Generate Flag） 0：没有发生更新事件中断 1：发生更新事件中断 计数器数值重新装载或重新初始化时，会产生更新事件，该位由硬件置 1，软件清 0；更新事件的产生的情况有以下情况： （1）TMRx_CTRL1 寄存器的 UD=0，重复计数器数值上/下溢时产生更新事件； （2）TMRx_CTRL1 寄存器的 URSEL=0 和 UD=0，配置 TMRx_CEG 寄存器的 UG=1 产生更新事件，需要通过软件初始化计数器； （3）TMRx_CTRL1 寄存器的 URSEL=0 和 UD=0，计数器被触事件初始化时产生更新事件。
1	CC1IFLG	RC_W0	捕获/比较通道 1 中断标志（Captuer/Compare Channel1 Interrupt Flag） 当捕获比较通道 1 配置为输出时： 0：无匹配发生 1：TMRx_CNT 的值与 TMRx_CC1 的值相匹配 当捕获比较通道 1 配置为输入时： 0：没有发生输入捕获 1：发生输入捕获 捕获事件发生时由硬件置 1，可以由软件清 0 或者读 TMRx_CC1 寄存器时清 0。
2	CC2IFLG	RC_W0	捕获/比较通道 2 中断标志（Captuer/Compare Channel2 new Interrupt Flag） 参考 STS_CC1IFLG

位/域	名称	R/W	描述
5:3	保留		
6	TRGIFLG	RC_W0	产生触发事件中断标志（Trigger Event Interrupt Generate Flag） 0：没有发生触发事件中断 1：发生触发事件中断 发生触发事件时，该位由硬件置 1，软件清 0。
8:7	保留		
9	CC1RCFLG	RC_W0	捕获/比较通道 1 重复捕获标志（Captuer/Compare Channel1 Repetition Capture Flag） 0：没有发生重复捕获 1：发生重复捕获 计数器的值被捕获到 TMRx_CC1 寄存器中，此时 CC1IFLG=1；只有当通道被配置为输入捕获时，该位由硬件置 1，软件清 0。
10	CC2RCFLG	RC_W0	捕获/比较通道 2 重复捕获标志（Captuer/compare Channel2 Repetition Capture Flag） 参考 STS_CC1RCFLG
15:11	保留		

16.8.6 控制事件产生寄存器（TMRx_CEG）

偏移地址：0x14

复位值：0x0000

位/域	名称	R/W	描述
0	UEG	W	产生更新事件（Update Event Generate） 0：无效 1：初始化计数器，产生更新事件 此位由软件置 1，硬件清 0。 注意：产生更新事件时，预分频器的计数器会清 0，但是预分频系数不变。如果在向下计数模式下计数器会读取 TMRx_AUTORLD 的值；如果在中央对齐模式下或者向上计数模式中计数器会被清 0。
1	CC1EG	W	产生捕获/比较通道 1 事件（Capture/Compare Channel1 Event Generation） 0：无效 1：产生捕获/比较事件 该位由软件置 1，硬件自动清 0。 如果通道 1 处于输出模式： 当 CC1IFLG=1 时，如果设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求。 如果通道 1 处于输入模式： 捕获计数器的值存储在 TMRx_CC1 寄存器中；配置 CC1IFLG=1,如果还设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求；如果此时 CC1IFLG=1，则需要配置 CC1RCFLG=1。
2	CC2EG	W	产生捕获/比较通道 2 事件（Capture/Compare Channel2 Event Generation） 参考 CC1EG 描述
5:3	保留		

位/域	名称	R/W	描述
6	TEG	W	产生触发事件（Trigger Event Generate） 0：无效 1：产生触发事件 该位由软件置 1，硬件自动清 0。
15:7	保留		

16.8.7 捕获/比较模式寄存器 1（TMRx_CCM1）

偏移地址：0x18

复位值：0x0000

可通过 CCxSEL 位配置定时器为输入（捕获模式）或输出（比较模式）。该寄存器其它位的作用在输入和输出模式下不同，同一个位在输出模式和输入模式下的功能是不同的。寄存器中的 Ocx 描述了通道在输出模式下的功能，寄存器中的 Icx 描述了通道在输入模式下的功能。

输出比较模式：

位/域	名称	R/W	描述
1:0	CC1SEL	R/W	选择捕获/比较通道 1（Capture/Compare Channel1 Select） 该位定义了输入/输出的方向以及选择输入引脚。 00：CC1 通道为输出 01：CC1 通道为输入，IC1 映射在 TI1 上 10：CC1 通道为输入，IC1 映射在 TI2 上 11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入 注：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC1EN=0 时）可写。
2	OC1FEN	R/W	快速使能输出比较通道 1（Output Compare Channel1 Fast Enable） 0：禁止 1：使能 该位用来提高捕获/比较输出对触发输入事件的响应。
3	OC1PEN	R/W	使能输出比较通道 1 预装载（Output Compare Channel1 Preload Enable） 0：禁止预装载功能，通过程序写入 TMRx_CC1 寄存器的数值，会马上起作用。 1：启用预装载功能，通过程序写入 TMRx_CC1 寄存器的数值，会在产生更新事件后起作用。 注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。当不确定预装载寄存器情况，仅在单脉冲模式（SPMEN=1）下，可以使用 PWM 模式，否则不确定其接下来的输出比较结果。
6:4	OC1MOD	R/W	配置输出比较通道 1 模式（Output Compare Channel1 Mode Configure） 000：冻结。输出比较对 OC1REF 无影响 001：匹配时输出置为高。计数器 CNT 的值和捕获比较寄存器的值 CCx 发生匹配时，强制 OC1REF 为高电平 010：匹配时输出置为低。计数器的值和捕获比较寄存器的值发生匹配时，强制 OC1REF 为低电平 011：匹配时输出翻转。计数器的值和捕获比较寄存器的值发生匹配时，翻转 OC1REF 的电平 100：强制输出为低。强制 OC1REF 为低电平 101：强制输出为高。强制 OC1REF 为高电平 110：PWM 模式 1（计数器值<输出比较值时置为高，否则反之）

位/域	名称	R/W	描述
			111：PWM 模式 2（计数器值>输出比较值时置为高，否则反之） 注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。在 PWM 模式 1 和 2 中，OC1REF 电平在比较结果改变或者输出比较模式从冻结模式转换到 PWM 模式时改变。
7	保留		
9:8	CC2SEL	R/W	通道 2 模式选择（Capture/Compare Channel2 Select） 该位定义了输入/输出的方向以及选择输入引脚。 00：CC2 通道为输出 01：CC2 通道为输入，IC2 映射在 TI2 上 10：CC2 通道为输入，IC2 映射在 TI1 上 11：CC2 通道为输入，IC2 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC2EN=0 时）可写。
10	OC2FEN	R/W	快速使能输出比较通道 2（Output Compare Channel2 Preload Enable）
11	OC2PEN	R/W	使能输出比较通道 2 缓冲（Output Compare Channel2 Buffer Enable）
14:12	OC2MOD	R/W	输出比较通道 2 模式（Output Compare Channel2 Mode）
15	保留		

输入捕获模式:

位/域	名称	R/W	描述
1:0	CC1SEL	R/W	选择输入/捕获通道 1（Capture/Compare Channel1 Select） 00：CC1 通道为输出 01：CC1 通道为输入，IC1 映射在 TI1 上 10：CC1 通道为输入，IC1 映射在 TI2 上 11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 位的 CC1EN=0 时）可写。
3:2	IC1PSC	R/W	配置输入捕获通道 1 预分频因子（Input Capture Channel1 Perscaler Configure） 00：PSC=1 01：PSC=2 10：PSC=4 11：PSC=8 PSC 是预分频因子，每 PSC 个事件触发一次捕获。
7:4	IC1F	R/W	配置输入捕获通道 1 滤波器（Input Capture Channel1 Filter Configure） 0000：禁用滤波器，以 f_{DTS} 采样 0001：DIV=1，N=2 0010：DIV=1，N=4 0011：DIV=1，N=8 0100：DIV=2，N=6 0101：DIV=2，N=8 0110：DIV=4，N=6 0111：DIV=4，N=8 1000：DIV=8，N=6 1001：DIV=8，N=8 1010：DIV=16，N=5 1011：DIV=16，N=6

位/域	名称	R/W	描述
			1100：DIV=16，N=8 1101：DIV=32，N=5 1110：DIV=32，N=6 1111：DIV=32，N=8 采样频率=定时器时钟频率/DIV；滤波器长度=N，表示每 N 个事件产生一个跳变。
9:8	CC2SEL	R/W	选择捕获/比较通道 2（Capture/Compare Channel2 Select） 00：CC2 通道为输出 01：CC2 通道为输入，IC2 映射在 TI2 上 10：CC2 通道为输入，IC2 映射在 TI1 上 11：CC2 通道为输入，IC2 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC2EN=0 时）可写。
11:10	IC2PSC	R/W	配置输入捕获通道 2 预分频因子（（Input Capture Channel2 Perscaler Configuration）
15:12	IC2F	R/W	配置输入捕获通道 2 滤波器（Input Capture Channel2 Filter Configuration）

16.8.8 捕获/比较使能寄存器（TMRx_CCEN）

偏移地址：0x20

复位值：0x0000

位/域	名称	R/W	描述
0	CC1EN	R/W	使能捕获/比较通道 1 输出（Capture/Compare Channel1 Output Enable） 捕获/比较通道 1 配置为输出时： 0：禁止输出 1：开启输出 捕获/比较通道 1 配置为输入时： 该位决定了计数器的值 CNT 是否能捕获进入 TMRx_CC1 寄存器中 0：禁止捕获 1：开启捕获
1	CC1POL	R/W	配置捕获/比较通道 1 输出极性（Capture/Compare Channel1 Output Polarity Configure） CC1 通道配置为输出时： 0：OC1 高电平有效 1：OC1 低电平有效 CC1 通道配置为输入时： CC1POL 和 CC1NPOL 同时控制触发或捕获的信号 TI1FP1 和 TI2FP1 的极性 00：不反相/上升沿： TixFP1 不反相（门控、编码器模式下触发），在 TixFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。 01：反相/下降沿： TixFP1 反相（门控、编码器模式下触发），在 TixFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。 10：保留 11：不反相/上升和下降沿： TixFP1 不反相（门控模式下触发，不能用于编码器模式），在 TixFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。

位/域	名称	R/W	描述
2	保留		
3	CC1NPOL	R/W	配置捕获/比较通道 1 输出极性 Capture/Compare Channel1 Output Polarity Configure） CC1 通道配置为输出时： CC1NPOL 一直保持清除状态 CC1 通道配置为输入时： 该位 CC1POL 同时控制触发或捕获的信号 TI1FP1 和 TI2FP1 的极性。
4	CC2EN	R/W	使能捕获/比较通道 2 输出（Capture/Compare Channel2 Output Enable） 参考 CCEN_CC1EN
5	CC2POL	R/W	配置捕获/比较通道 2 输出极性（Capture/Compare Channel2 Output Polarity Configure） 参考 CCEN_CC1POL
6	保留		
7	CC2NPOL	R/W	配置捕获/比较通道 2 输出极性 Capture/Compare Channel2 Output Polarity Configure） 参考 CCEN_CC1NPOL
15:8	保留		

表格 71 标准 Ocx 通道的输出控制位

CcxEN 位	Ocx 输出状态
0	禁止输出（Ocx=0，Ocx_EN=0）
1	Ocx=OCxREF+极性，Ocx_EN=1

注：连接到标准 Ocx 通道的外部 I/O 引脚状态，取决于 Ocx 通道状态和 GPIO 以及 AFIO 寄存器。

16.8.9 计数器寄存器（TMRx_CNT）

偏移地址：0x24

复位值：0x0000

位/域	名称	R/W	描述
15:0	CNT	R/W	计数器数值（Counter Value）

16.8.10 预分频寄存器（TMRx_PSC）

偏移地址：0x28

复位值：0x0000

位/域	名称	R/W	描述
15:0	PSC	R/W	预分频器数值（Prescaler Value） 计数器的时钟频率（CK_CNT）＝f_{CK_PSC}/（PSC+1）

16.8.11 自动重装载寄存器（TMRx_AUTORLD）

偏移地址：0x2C

复位值：0xFFFF

位/域	名称	R/W	描述
15:0	AUTORLD	R/W	自动重装载数值（Auto Reload Value） 自动重装载的值为空时，计数器不进行计数。

16.8.12 通道 1 捕获/比较寄存器（TMRx_CC1）

偏移地址：0x34

复位值：0x0000

位/域	名称	R/W	描述
15:0	CC1	R/W	捕获/比较通道 1 数值（Capture/Compare Channel1 Value） 捕获/比较通道 1 配置为输入模式： CC1 包含上次输入捕获通道 1 事件传输的计数器数值。 捕获/比较通道 1 配置为输出模式： CC1 包含了当前装入捕获/比较寄存器数值 捕获比较通道 1 的值 CC1 与计数器的值 CNT 比较，在 OC1 上产生输出信号。 当输出比较预装载禁止（TMRx_CCM1 寄存器的 OC1PEN=0）时，写入的数值会立即影响输出比较结果； 当输出比较预装载使能（TMRx_CCM1 寄存器的 OC1PEN=1）时，写入的值会在产生更新事件时影响输出比较结果。

16.8.13 通道 2 捕获/比较寄存器（TMRx_CC2）

偏移地址：0x38

复位值：0x0000

位/域	名称	R/W	描述
15:0	CC2	R/W	捕获/比较通道 2 数值（Capture/Compare Channel2 Value） 参考 TMRx_CC1

16.9 TMR10/11/13/14 寄存器地址映射

下表中将 TMR10/11/13/14 的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 72 TMR10/11/13/14 寄存器地址映射

寄存器名	描述	偏移地址
TMRx_CTRL1	控制寄存器 1	0x00
TMRx_DIEN	DMA/中断使能寄存器	0x0C
TMRx_STS	状态寄存器	0x10
TMRx_CEG	控制事件产生寄存器	0x14
TMRx_CCM1	捕获/比较模式寄存器 1	0x18
TMRx_CCEN	捕获/比较使能寄存器	0x20
TMRx_CNT	计数器寄存器	0x24
TMRx_PSC	预分频寄存器	0x28
TMRx_AUTORLD	自动重装载寄存器	0x2C
TMRx_CC1	通道 1 捕获/比较寄存器	0x34
TMR11_OPT	选项寄存器	0x50

16.10 TMR10/11/13/14 寄存器功能描述

16.10.1 控制寄存器 1（TMRx_CTRL1）

偏移地址：0x00

复位值：0x0000

位/域	名称	R/W	描述
0	CNTEN	R/W	使能计数器（Counter Enable） 0：禁止 1：使能 定时器配置为外部时钟、门控模式和编码器模式时，需要通过软件对该位写 1 启动定期工作；配置为触发模式时，可硬件写 1。
1	UD	R/W	禁止更新（Update Disable） 更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。 0：允许更新事件（UEV） 更新事件可以由以下任一情况产生： 计数器溢出/下溢； 设置 UEG 位； 从模式控制器产生的更新。 1：禁止更新事件
2	URSSEL	R/W	更新请求源（Update Request Source Select） 如果使能了中断或 DMA，更新事件可产生更新中断或 DMA 请求，通过该位可选择不同的更新请求源。 0：计数器上溢或下溢 设置 UEG 位 通过从模式控制器产生的更新 1：计数器上溢或下溢
6:3	保留		
7	ARPEN	R/W	TMRx_AUTORLD 寄存器自动重装载缓冲使能（Auto-reload Preload Enable） 禁止缓存区时，程序修改 TMRx_AUTORLD 会立刻修改装入计数器的数值；使能缓存区时，程序修改 TMRx_AUTORLD 会在下一个更新事件修改装入计数器的数值。 0：禁止 1：使能
9:8	CLKDIV	R/W	时钟分频系数（Clock Division） 死区、数字滤波器的配置由 CK_INT 提供时钟，通过设置改位可调整死区时间、数字滤波器的采用时钟。 00：$t_{DTS}=t_{CK_INT}$ 01：$t_{DTS}=2\times t_{CK_INT}$ 10：$t_{DTS}=4\times t_{CK_INT}$ 11：保留
15:10	保留		

16.10.2 DMA/中断使能寄存器（TMRx_DIEN）

偏移地址：0x0C

复位值：0x0000

位/域	名称	R/W	描述
0	UIEN	R/W	使能更新中断（Update Interrupt Enable） 0：禁止 1：使能
1	CC1IEN	R/W	使能捕获/比较通道 1 中断（Capture/Campare Channel1 Interrupt Enable） 0：禁止 1：使能
15:2	保留		

16.10.3 状态寄存器（TMRx_STS）

偏移地址：0x10

复位值：0x0000

位/域	名称	R/W	描述
0	UIFLG	RC_W0	产生更新事件中断标志位（Update Event Interrupt Generate Flag） 0：没有发生更新事件中断 1：发生更新事件中断 计数器数值重新装载或重新初始化时，会产生更新事件，该位由硬件置 1，软件清 0；更新事件的产生的情况有以下情况： （1）TMRx_CTRL1 寄存器的 UD=0，重复计数器数值上/下溢时产生更新事件； （2）TMRx_CTRL1 寄存器的 URSEL=0 和 UD=0，配置 TMRx_CEG 寄存器的 UG=1 产生更新事件，需要通过软件初始化计数器； （3）TMRx_CTRL1 寄存器的 URSEL=0 和 UD=0，计数器被触事件初始化时产生更新事件。
1	CC1IFLG	RC_W0	捕获/比较通道 1 中断标志（Captuer/Compare Channel1 Interrupt Flag） 当捕获比较通道 1 配置为输出时： 0：无匹配发生 1：TMRx_CNT 的值与 TMRx_CC1 的值相匹配 当捕获比较通道 1 配置为输入时： 0：没有发生输入捕获 1：发生输入捕获 捕获事件发生时由硬件置 1，可以由软件清 0 或者读 TMRx_CC1 寄存器时清 0。
8:2	保留		
9	CC1RCFLG	RC_W0	捕获/比较通道 1 重复捕获标志（Captuer/Compare Channel1 Repetition Capture Flag） 0：没有发生重复捕获 1：发生重复捕获 计数器的值被捕获到 TMRx_CC1 寄存器中，此时 CC1IFLG=1；只有当通道被配置为输入捕获时，该位由硬件置 1，软件清 0。
15:10	保留		

16.10.4 控制事件产生寄存器（TMRx_CEG）

偏移地址：0x14

复位值：0x0000

位/域	名称	R/W	描述
0	UEG	W	产生更新事件（Update Event Generate） 0：无效 1：初始化计数器，产生更新事件 此位由软件置 1，硬件清 0。 注意：产生更新事件时，预分频器的计数器会清 0，但是预分频系数不变。如果在向下计数模式下计数器会读取 TMRx_AUTORLD 的值；如果在中央对齐模式下或者向上计数模式中计数器会被清 0。
1	CC1EG	W	产生捕获/比较通道 1 事件（Capture/Compare Channel1 Event Generation） 0：无效 1：产生捕获/比较事件 该位由软件置 1，硬件自动清 0。 如果通道 1 处于输出模式： 当 CC1IFLG=1 时，如果设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求。 如果通道 1 处于输入模式： 捕获计数器的值存储在 TMRx_CC1 寄存器中；配置 CC1IFLG=1,如果还设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求；如果此时 CC1IFLG=1，则需要配置 CC1RCFLG=1。
15:2	保留		

16.10.5 捕获/比较模式寄存器 1（TMRx_CCM1）

偏移地址：0x18

复位值：0x0000

可通过 CCxSEL 位配置定时器为输入（捕获模式）或输出（比较模式）。该寄存器其它位的作用在输入和输出模式下不同，同一个位在输出模式和输入模式下的功能是不同的。寄存器中的 Ocx 描述了通道在输出模式下的功能，寄存器中的 Icxx 描述了通道在输入模式下的功能。

输出比较模式：

位/域	名称	R/W	描述
1:0	CC1SEL	R/W	选择捕获/比较通道 1（Capture/Compare Channel1 Select） 该位定义了输入/输出的方向以及选择输入引脚。 00：CC1 通道为输出 01：CC1 通道为输入，IC1 映射在 TI1 上 10：CC1 通道为输入，IC1 映射在 TI2 上 11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入 注：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC1EN=0 时）可写。
2	OC1FEN	R/W	快速使能输出比较通道 1（Output Compare Channel1 Fast Enable） 0：禁止 1：使能 该位用来提高捕获/比较输出对触发输入事件的响应。

位/域	名称	R/W	描述
3	OC1PEN	R/W	使能输出比较通道 1 预装载（Output Compare Channel1 Preload Enable） 0：禁止预装载功能，通过程序写入 TMRx_CC1 寄存器的数值，会马上起作用。 1：启用预装载功能，通过程序写入 TMRx_CC1 寄存器的数值，会在产生更新事件后起作用。 注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。当不确定预装载寄存器情况，仅在单脉冲模式（SPMEN=1）下，可以使用 PWM 模式，否则不确定其接下来的输出比较结果。
6:4	OC1MOD	R/W	配置输出比较通道 1 模式（Output Compare Channel1 Mode Configure） 000：冻结。输出比较对 OC1REF 无影响 001：匹配时输出置为高。计数器 CNT 的值和捕获比较寄存器的值 CCx 发生匹配时，强制 OC1REF 为高电平 010：匹配时输出置为低。计数器的值和捕获比较寄存器的值发生匹配时，强制 OC1REF 为低电平 011：匹配时输出翻转。计数器的值和捕获比较寄存器的值发生匹配时，翻转 OC1REF 的电平 100：强制输出为低。强制 OC1REF 为低电平 101：强制输出为高。强制 OC1REF 为高电平 110：PWM 模式 1（计数器值<输出比较值时置为高，否则反之） 111：PWM 模式 2（计数器值>输出比较值时置为高，否则反之） 注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。在 PWM 模式 1 和 2 中，OC1REF 电平在比较结果改变或者输出比较模式从冻结模式转换到 PWM 模式时改变。
15:7	保留		

输入捕获模式:

位/域	名称	R/W	描述
1:0	CC1SEL	R/W	选择输入/捕获通道 1（Capture/Compare Channel1 Select） 00：CC1 通道为输出 01：CC1 通道为输入，IC1 映射在 TI1 上 10：CC1 通道为输入，IC1 映射在 TI2 上 11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 位的 CC1EN=0 时）可写。
3:2	IC1PSC	R/W	配置输入捕获通道 1 预分频因子（Input Capture Channel1 Perscaler Configure） 00：PSC=1 01：PSC=2 10：PSC=4 11：PSC=8 PSC 是预分频因子，每 PSC 个事件触发一次捕获。
7:4	IC1F	R/W	配置输入捕获通道 1 滤波器（Input Capture Channel1 Filter Configure） 0000：禁用滤波器，以 f_{DTS} 采样 0001：DIV=1，N=2 0010：DIV=1，N=4 0011：DIV=1，N=8 0100：DIV=2，N=6 0101：DIV=2，N=8

位/域	名称	R/W	描述
			0110：DIV=4，N=6 0111：DIV=4，N=8 1000：DIV=8，N=6 1001：DIV=8，N=8 1010：DIV=16，N=5 1011：DIV=16，N=6 1100：DIV=16，N=8 1101：DIV=32，N=5 1110：DIV=32，N=6 1111：DIV=32，N=8 采样频率=定时器时钟频率/DIV；滤波器长度=N，表示每 N 个事件产生一个跳变。
15:8	保留		

16.10.6 捕获/比较使能寄存器（TMRx_CCEN）

偏移地址：0x20

复位值：0x0000

位/域	名称	R/W	描述
0	CC1EN	R/W	使能捕获/比较通道 1 输出（Capture/Compare Channel1 Output Enable） 捕获/比较通道 1 配置为输出时： 0：禁止输出 1：开启输出 捕获/比较通道 1 配置为输入时： 该位决定了计数器的值 CNT 是否能捕获进入 TMRx_CC1 寄存器中 0：禁止捕获 1：开启捕获
1	CC1POL	R/W	配置捕获/比较通道 1 输出极性（Capture/Compare Channel1 Output Polarity Configure） CC1 通道配置为输出时： 0：OC1 高电平有效 1：OC1 低电平有效 CC1 通道配置为输入时： CC1POL 和 CC1NPOL 同时控制触发或捕获的信号 TI1FP1 和 TI2FP1 的极性 00：不反相/上升沿： TixFP1 不反相（门控、编码器模式下触发），在 TixFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。 01：反相/下降沿： TixFP1 反相（门控、编码器模式下触发），在 TixFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。 10：保留 11：不反相/上升和下降沿： TixFP1 不反相（门控模式下触发，不能用于编码器模式），在 TixFP1 的上升沿捕获（复位触发、捕获、外部时钟和触发模式）。
2	保留		

位/域	名称	R/W	描述
3	CC1NPOL	R/W	配置捕获/比较通道 1 输出极性 Capture/Compare Channel1 Output Polarity Configure） CC1 通道配置为输出时： CC1NPOL 一直保持清除状态 CC1 通道配置为输入时： 该位 CC1POL 同时控制触发或捕获的信号 TI1FP1 和 TI2FP1 的极性。
15:4	保留		

表格 73 标准 Ocx 通道的输出控制位

CcxEN 位	Ocx 输出状态
0	禁止输出（Ocx=0，Ocx_EN=0）
1	Ocx=OCxREF+极性，Ocx_EN=1

注：连接到标准 Ocx 通道的外部 I/O 引脚状态，取决于 Ocx 通道状态和 GPIO 以及 AFIO 寄存器。

16.10.7 计数器寄存器（TMRx_CNT）

偏移地址：0x24

复位值：0x0000

位/域	名称	R/W	描述
15:0	CNT	R/W	计数器数值（Counter Value）

16.10.8 预分频寄存器（TMRx_PSC）

偏移地址：0x28

复位值：0x0000

位/域	名称	R/W	描述
15:0	PSC	R/W	预分频器数值（Prescaler Value） 计数器的时钟频率（CK_CNT）＝f_{CK_PSC}/（PSC+1）

16.10.9 自动重装载寄存器（TMRx_AUTORLD）

偏移地址：0x2C

复位值：0xFFFF

位/域	名称	R/W	描述
15:0	AUTORLD	R/W	自动重装载数值（Auto Reload Value） 自动重装载的值为空时，计数器不进行计数。

16.10.10 通道 1 捕获/比较寄存器（TMRx_CC1）

偏移地址：0x34

复位值：0x0000

位/域	名称	R/W	描述
15:0	CC1	R/W	捕获/比较通道 1 数值（Capture/Compare Channel1 Value） 捕获/比较通道 1 配置为输入模式： CC1 包含上次输入捕获通道 1 事件传输的计数器数值。 捕获/比较通道 1 配置为输出模式： CC1 包含了当前装入捕获/比较寄存器数值 捕获比较通道 1 的值 CC1 与计数器的值 CNT 比较，在 OC1 上产生输出信号。 当输出比较预装载禁止（TMRx_CCM1 寄存器的 OC1PEN=0）时，写入的数值会立即影响输出比较结果； 当输出比较预装载使能（TMRx_CCM1 寄存器的 OC1PEN=1）时，写入的值会在产生更新事件时影响输出比较结果。

16.10.11 选项寄存器（TMR11_OPT）

偏移地址：0x50

复位值：0x0000

位/域	名称	R/W	描述
1:0	RMPSEL	R/W	定时器 11 输入 1 重映射选择（Timer11 Input 1 Remap Select） 00：TMR11 通道 1 连接到 GPIO 01：TMR11 通道 1 连接到 GPIO 10：HSECLK_RTC 时钟连接到 TMR11_CH1 输入 11：TMR11 通道 1 连接到 GPIO
15:2	保留		

17 基本定时器（TMR6/7）

17.1 简介

基本定时器 TMR6 和 TMR7 有一个无符号的 16 位计数器、自动重装载寄存器、预分频器和触发控制器。

基本定时器为通用定时器提供时间基准，还为 DAC 提供时钟，通过配置可以产生 DMA 请求。

17.2 主要特征

（1） 计数器：16 位计数器，只能向上计数

（2） 预分频器：16 位可编程预分频器

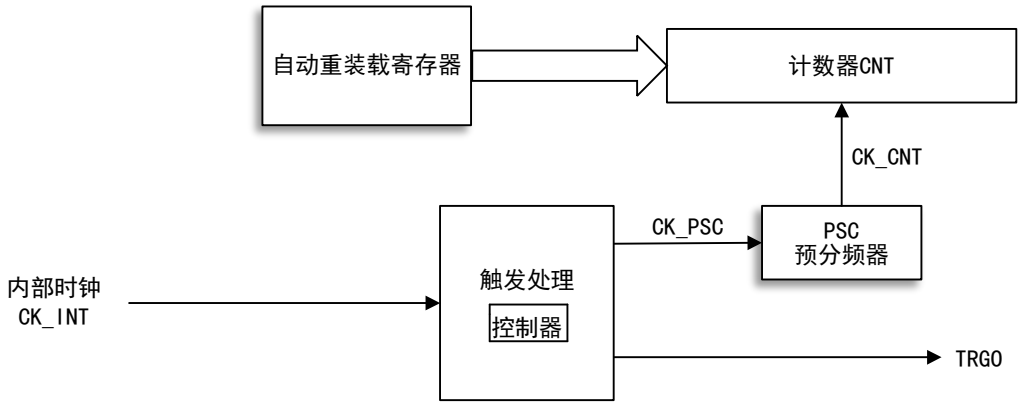
（3） 时钟源：只有内部时钟

（4） 单脉冲模式

（5） 为 DAC 提供时钟

17.3 结构框图

图 63 基本定时器结构框图



17.4 功能描述

17.4.1 时钟源选择

基本定时器由内部时钟源 TMRx_CLK 驱动

配置 TMRx_CTRL1 寄存器的 CNTEN 位使能计数器，置位 CNTEN 位时，内部时钟 CK_INT 经过控制器和预分频器产生 CK_INT 驱动计数器。

17.4.2 时基单元

基本定时器的时基单元包含三个寄存器：

- 16 位计数器寄存器（CNT）
- 16 位自动重装载寄存器（AUTORLD）
- 16 位预分频寄存器（PSC）

计数器 CNT

基本定时器中只有一种计数模式：向上计数模式

向上计数模式

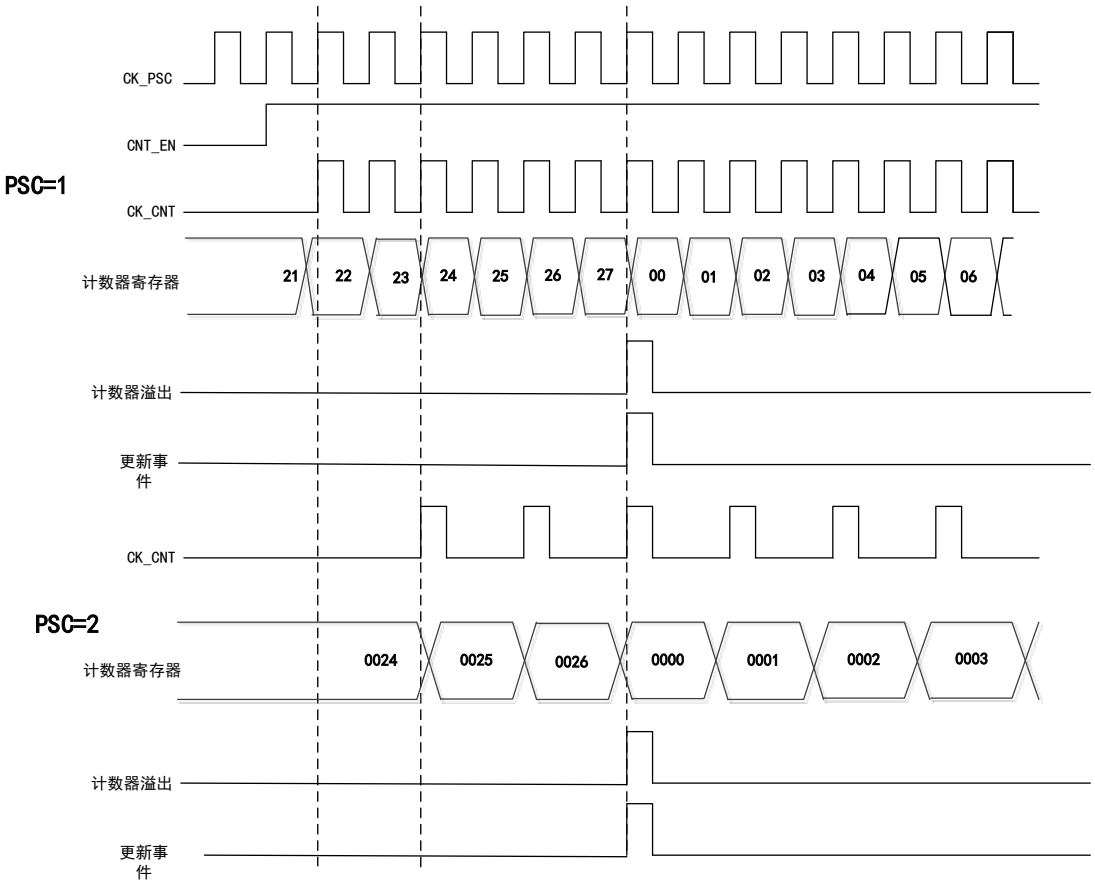
当计数器处于向上计数模式时，计数器从 0 开始向上计数，当每来一个脉冲计数器就会增加 1，一直到计数器（TMRx_CNT）值与自动重装载（TMRx_AUTORLD）的值相等，然后计数器会重新从 0 开始计数，产生一个计数器向上溢出事件，自动重装载的值（TMRx_AUTORLD）是提前写入的。

禁止更新事件，设置 TMRx_CTRL1 寄存器中的 UD 位置 1。

产生更新中断或 DMA 请求，设置 TMRx_CTRL1 寄存器中的 URSSEL 位。

在发生一个更新事件时，自动重装载寄存器和预分频寄存器都将会被更新。

图 64 计数器时序图，内部时钟分频系数为 1 或 2



预分频器 PSC

预分频器是 16 位的且是可编程的，它可以将计数器的时钟频率进行 1~65536 之间任意值的分频（由 TMRx_PSC 寄存器控制），经过分频后的时钟将会驱动计数器 CNT 计数。预分频器带有缓冲器，它能够在运行中被改变。

17.5 寄存器地址映射

下表中将基本定时器的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 74 TMR6/7 寄存器地址映射

寄存器名	描述	偏移地址
TMRx_CTRL1	控制寄存器 1	0x00
TMRx_CTRL2	控制寄存器 2	0x04
TMRx_DIEN	DMA/中断使能寄存器	0x0C
TMRx_STS	状态寄存器	0x10
TMRx_CEG	控制事件产生寄存器	0x14
TMRx_CNT	计数器寄存器	0x24
TMRx_PSC	预分频寄存器	0x28
TMRx_AUTORLD	自动重装载寄存器	0x2C

17.6 寄存器功能描述

17.6.1 控制寄存器 1（TMRx_CTRL1）

偏移地址：0x00

复位值：0x0000

位/域	名称	R/W	描述
0	CNTEN	R/W	使能计数器（Counter Enable） 0：禁止 1：使能 定时器配置为外部时钟、门控模式和编码器模式时，需要通过软件对该位写 1 启动定期工作；配置为触发模式时，可硬件写 1。
1	UD	R/W	禁止更新（Update Disable） 更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。 0：允许更新事件（UEV） 更新事件可以由以下任一情况产生： 计数器溢出/下溢； 设置 UEG 位； 从模式控制器产生的更新。 1：禁止更新事件
2	URSSEL	R/W	更新请求源（Update Request Source Select） 如果使能了中断或 DMA，更新事件可产生更新中断或 DMA 请求，通过该位可选择不同的更新请求源。 0：计数器上溢或下溢

位/域	名称	R/W	描述
			设置 UEG 位 通过从模式控制器产生的更新 1：计数器上溢或下溢
3	SPMEN	R/W	使能单脉冲模式（Single Pulse Mode Enable） 产生更新事件时，可改变通道的输出电平；在该模式下，会清除 CNTEN 位，停止计数器，后续不再改变通道的输出电平。 0：禁用 1：使能
6:4	保留		
7	ARPEN	R/W	TMRx_AUTORLD 寄存器自动重装载缓冲使能（Auto-reload Preload Enable） 禁止缓存区时，程序修改 TMRx_AUTORLD 会立刻修改装入计数器的数值；使能缓存区时，程序修改 TMRx_AUTORLD 会在下一个更新事件修改装入计数器的数值。 0：禁止 1：使能
15:8	保留		

17.6.2 控制寄存器 2（TMRx_CTRL2）

偏移地址：0x04

复位值：0x0000

位/域	名称	R/W	描述
2:0	保留		
3	CCDSEL	R/W	选择发出捕获/比较的 DMA 请求（Capture/compare DMA Select） 0：当发生 CCx 事件时，送出 CCx 的 DMA 请求 1：当发生更新事件时，送出 CCx 的 DMA 请求
6:4	MMSEL	R/W	选择定时器主模式下用于 TRGO 的信号（Master Mode Signal Select） 工作在主模式的定时器的信号可用于 TRGO，从而影响处在从模式且与主定时器级联的的定时器工作，具体影响可从模式的定时器配置有关。 000：复位，主模式定时器的复位信号用于 TRGO 001：使能，主模式定时器的计数器使能信号用于 TRGO 010：更新，主模式定时器的更新事件用于 TRGO 011：比较脉冲，主模式定时器捕获/比较成功（CCxIFLG=1）时输出一个脉冲信号用于 TRGO 100：比较模式 1，OC1REF 用于触发 TRGO 101：比较模式 2，OC2REF 用于触发 TRGO 110：比较模式 3，OC3REF 用于触发 TRGO 111：比较模式 4，OC4REF 用于触发 TRGO
15:7	保留		

17.6.3 DMA/中断使能寄存器（TMRx_DIEN）

偏移地址：0x0C

复位值：0x0000

位/域	名称	R/W	描述
0	UIEN	R/W	使能更新中断（Update Interrupt Enable）

位/域	名称	R/W	描述
			0：禁止 1：使能
7:1	保留		
8	UDIEN	R/W	使能更新的 DMA 请求（Update DMA Request Enable） 0：禁止 1：使能
15:9	保留		

17.6.4 状态寄存器（TMRx_STS）

偏移地址：0x10

复位值：0x0000

位/域	名称	R/W	描述
0	UIFLG	RC_W0	产生更新事件中断标志位（Update Event Interrupt Generate Flag） 0：没有发生更新事件中断 1：发生更新事件中断 计数器数值重新装载或重新初始化时，会产生更新事件，该位由硬件置 1，软件清 0；更新事件的产生的情况有以下情况： （1）TMRx_CTRL1 寄存器的 UD=0，重复计数器数值上/下溢时产生更新事件； （2）TMRx_CTRL1 寄存器的 URSEL=0 和 UD=0，配置 TMRx_CEG 寄存器的 UG=1 产生更新事件，需要通过软件初始化计数器； （3）TMRx_CTRL1 寄存器的 URSEL=0 和 UD=0，计数器被触事件初始化时产生更新事件。
15:1	保留		

17.6.5 控制事件产生寄存器（TMRx_CEG）

偏移地址：0x14

复位值：0x0000

位/域	名称	R/W	描述
0	UEG	W	产生更新事件（Update Event Generate） 0：无效 1：初始化计数器，产生更新事件 此位由软件置 1，硬件清 0。 注意：产生更新事件时，预分频器的计数器会清 0，但是预分频系数不变。如果在向下计数模式下计数器会读取 TMRx_AUTORLD 的值；如果在中央对齐模式下或者向上计数模式中计数器会被清 0。
15:1	保留		

注：连接到标准 Ocx 通道的外部 I/O 引脚状态，取决于 Ocx 通道状态和 GPIO 以及 AFIO 寄存器。

17.6.6 计数器寄存器（TMRx_CNT）

偏移地址：0x24

复位值：0x0000

位/域	名称	R/W	描述
15:0	CNT	R/W	计数器数值（Counter Value）

17.6.7 预分频寄存器（TMRx_PSC）

偏移地址：0x28

复位值：0x0000

位/域	名称	R/W	描述
15:0	PSC	R/W	预分频器数值（Prescaler Value） 计数器的时钟频率（CK_CNT）＝f_{CK_PSC}/（PSC+1）

17.6.8 自动重装载寄存器（TMRx_AUTORLD）

偏移地址：0x2C

复位值：0xFFFF

位/域	名称	R/W	描述
15:0	AUTORLD	R/W	自动重装载数值（Auto Reload Value） 自动重装载的值为空时，计数器不进行计数。

18 看门狗定时器（WDT）

18.1 简介

看门狗是用来监测由软件错误引起的系统故障。片上一共有两个看门狗设备：独立看门狗和窗口看门狗，它们提高了安全性、使时间更加精确以及使用变得更加灵活。

独立看门狗只有在计数器减到 0 时，会复位，在没有减到 0 之前，刷新计数器的值不会发生复位。

窗口看门狗在计数器减到 0x3F 时会发生复位，当计数器计数的值在配置寄存器的窗口值之前，刷新计数器也会发生复位。

18.2 独立看门狗定时器（IWDT）

18.2.1 简介

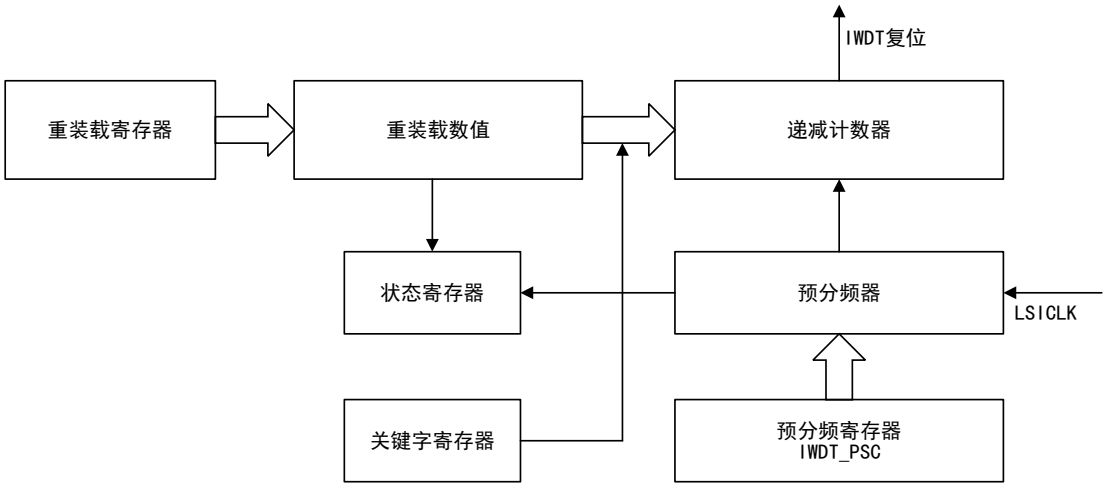
独立看门狗是由一个八位预分频器 IWDT_PSC、12 位递减计数器、12 位重装载寄存器 IWDT_CNTRLD、关键字寄存器 IWDT_KEY 和状态寄存器 IWDT_STS 组成。

独立看门狗有独立的时钟源，即使是在主时钟失效的情况下，它仍然有效。

独立看门狗适用于需要独立的环境但对精确度要求不高的场所。

18.2.2 结构框图

图 65 独立看门狗结构框图



注：看门狗功能处于 V_{DD} 供电区，可以在停机或者待机模式下正常工作。

18.2.3 功能描述

18.2.3.1 关键字寄存器

在关键字寄存器中写入 0xCCCC 开启独立看门狗，此时计数器开始向下计数，当计数器计数到 0x000 时，产生一次复位。

在关键字寄存器中写入 0xAAAA，重装载寄存器的值会被重新加载到计数器，以此来阻止看门狗复位。

在关键字寄存器中写入 0X5555，用来改写预分频寄存器和重装载寄存器的值。

18.2.3.2 寄存器访问保护

预分频寄存器和重装载寄存器具有写保护功能，如果要改写这两个寄存器则需要写 0x5555 到关键字寄存器中，如果将其他的值写入关键字寄存器将会再次启动对寄存器的保护。

写 0xAAAA 到关键字寄存器中，也会启动写保护功能。

18.2.3.3 硬件看门狗

启动了“硬件看门狗”功能之后，当系统上电复位，看门狗会自动运行。如果没有向关键字寄存器中写入 0xAAAA，计数器计数结束后，产生复位。

18.2.3.4 调试模式

独立看门狗可以在调试模式下配置，选择停止还是继续工作。取决于 DBGMCU_CFG 寄存器的 IWDT_STS 位。

表格 75 LSICLK=28kHz 时，最小/最大超时值

PSC	最小超时值	最大超时值
0	0.125ms	512ms
1	0.25ms	1024ms
2	0.5ms	2048ms
3	1ms	4096ms
44	2ms	8192ms
5	4ms	16384ms
6	8ms	32768ms

18.3 窗口看门狗定时器（WWDT）

18.3.1 简介

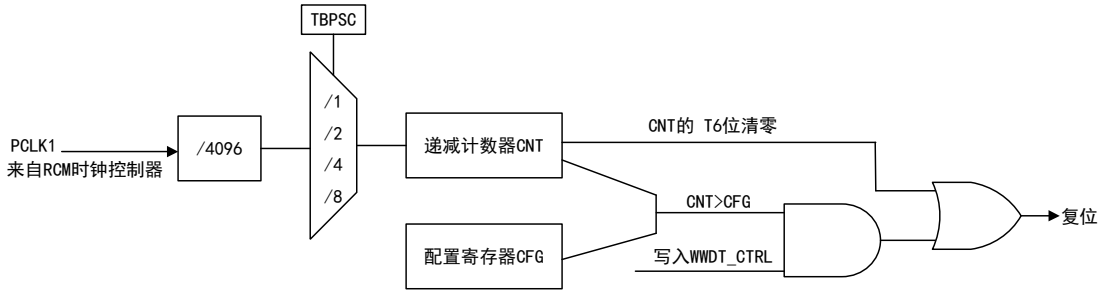
窗口看门狗含有一个 7 位自由运行递减计数器、预分频器、控制寄存器 WWDT_CTRL、配置寄存器 WWDT_CFG 和状态寄存器 WWDT_STS。

窗口看门狗时钟来自 PCLK1，计数器时钟由 CK 计数器时钟经过预分频分频得到（由配置寄存器配置）。

窗口看门狗适用于需要精确计时的场合。

18.3.2 结构框图

图 66 窗口看门狗结构框图



18.3.3 功能描述

使能窗口看门狗定时器，复位条件：

- 计数器计数小于 0x40 时，产生复位。
- 计数器计数到窗口寄存器的值之前，重装载计数器产生复位。

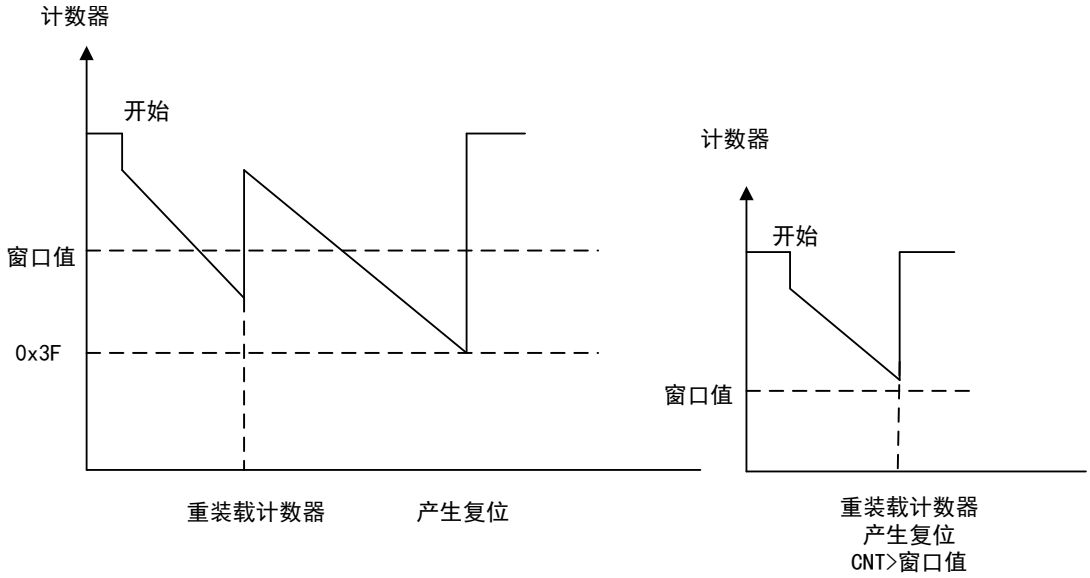
发生复位后，看门狗总是关闭状态，需要设置 WWDT_CTRL 控制寄存器的 WWDTEN 位才能开启看门狗。

窗口看门狗的计数器是自由状态，在看门狗禁止的情况下，计数器仍然继续递减计数。计数器必须要在窗口寄存器的值和 0x40 之间重装载，来避免复位。

设置配置寄存器的 EWIEN 位可以开启提前唤醒中断，当计数到 0x40 会产生中断，进入中断服务程序（ISR）可以用来防止窗口看门狗复位。如果要清除 EWIEN 中断需要在状态寄存器中写入 0。

窗口看门狗特有的窗口可以有效地监测程序是否故障，例如：假定一个程序段运行的时间是 T，设定窗口寄存器的值稍稍小于（TR-T），如果在窗口内没有重装载寄存器，说明程序出现了故障，当计数器计数到 0x3F 时，则会产生复位。

图 67 窗口看门狗时序图



窗口看门狗定时器超时的计算公式：

$$T_{WWDT}=T_{PCLK1}\times 2^{WTB}\times（T[5:0]+1）$$

其中：

- T_{WWDT}：WWDT 超时时间
- T_{PCLK1}：以 APB1（单位为 ms）为时钟周期

在 PCLK1=36MHz 时的最小/最大超时值：

表格 76 PCLK1=30MHz 时，最小/最大超时值

WTB	最小超时值	最大超时值
0	136.53μs	8.74ms
1	273.07μs	17.48ms
2	546.13μs	34.95ms
3	1092.27μs	69.91ms

18.4 IWDT 寄存器地址映射

表格 77 IWDT 寄存器地址映射

寄存器名	描述	偏移地址
IWDT_KEY	关键字寄存器	0x00
IWDT_PSC	预分频寄存器	0x04
IWDT_CNTRLD	计数器重装载寄存器	0x08
IWDT_STS	状态寄存器	0x0C

18.5 IWDT 寄存器功能描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

18.5.1 关键字寄存器（IWDT_KEY）

偏移地址：0x00

复位值：0x0000 0000（在待机模式复位）

位/域	名称	R/W	描述
15:0	KEY	W	允许访问 IWDT 寄存器关键字值（Allow Access IWDT Register Key Value） 写入 0x5555 表示允许访问 IWDT_PSC 和 IWDT_CNTRLD 寄存器； 软件写入 0xAAAA 表示执行重装载计数器，需要一定的间隔写入，防止看门狗复位。 写入 0xCCCC，启动看门狗（硬件看门狗不受此命令字限制）； 该寄存器只写，读出值为 0x0000。
31:16	保留		

18.5.2 预分频寄存器（IWDT_PSC）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
2:0	PSC	R/W	配置预分频系数（Prescaler Factor Configure） 有写保护功能，向 IWDT_KEY 寄存器写入 0x5555 时允许访问该寄存器；写该寄存器过程中，当 IWDT_STS 寄存器的 PSCUFLG=0 时，才能改变预分频因子；读该寄存器过程中，当 PSCUFLG=0 时，读取 PSC 寄存器的数值才有效。 000：PSC=4 001：PSC=8 010：PSC=16 011：PSC=32 100：PSC=64 101：PSC=128 110：PSC=256 111：PSC=256
31:3	保留		

18.5.3 计数器重装载寄存器（IWDT_CNTRLD）

偏移地址：0x08

复位值：0x0000 0FFF（待机模式时复位）

位/域	名称	R/W	描述
11:0	CNTRLD	R/W	设置看门狗计数器重装载值（Watchdog Counter Reload Value Setup） 有写保护功能，定义 IWDT_KEY 寄存器写入 0xAAAA 时载入看门狗计数器的值；在写该寄存器过程中，CNTUFLG=0 时，才能对此寄存器进行修改。在读该寄存器过程中，当 IWDT_STS 寄存器中的 CNTUFLG=0 时，读取的数值才是有效的。 看门狗超时周期可通过此重装载值和时钟预分频值来计算。
31:12	保留		

18.5.4 状态寄存器（IWDT_STS）

偏移地址：0x0C

复位值：0x0000 0000（待机模式时不复位）

位/域	名称	R/W	描述
0	PSCUFLG	R	更新看门狗预分频器系数标志（Watchdog Prescaler Factor Update Flag） 更新预分频器系数时，由硬件置 1；预分频器系数更新结束后，由硬件清 0；预分频器系数只有在 PSCUFLG 位被清 0 时更新。
1	CNTUFLG	R	更新看门狗计数器重装载值标志（Watchdog Counter Reload Value Update Flag） 更新计数器重装载值时，由硬件置 1；计数器重装载值更新结束后，由硬件清 0；计数器重装载值只有在 CNTUFLG 位被清 0 时更新。
31:2	保留		

18.6 WWDT 寄存器地址映射

表格 78 WWDT 寄存器地址映射

寄存器名	描述	偏移地址
WWDT_CTRL	控制寄存器	0x00
WWDT_CFG	配置寄存器	0x04
WWDT_STS	状态寄存器	0x08

18.7 WWDT 寄存器功能描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

18.7.1.1 控制寄存器（WWDT_CTRL）

偏移地址：0x00

复位值：0x0000 007F

位/域	名称	R/W	描述
6:0	CNT	R/W	设置计数器数值（Counter Value Setup） 该计数器是 7 位，CNT6 是最高有效位 这些位用来存储看门狗的计数器值，当计数值从 0x40 减到 0x3F 时，产生 WWDT 复位。
7	WWDTEN	R/S	使能窗口看门狗（Window Watchdog Enable） 该位由软件置 1 且只能在复位后由硬件清除。当 WWDTEN=1,WWDT 可以产生复位。 0：禁止 1：使能
31:8	保留		

18.7.1.2 配置寄存器（WWDT_CFG）

偏移地址：0x04

复位值：0x0000 007F

位/域	名称	R/W	描述
6:0	WIN	R/W	设置窗口值（Window Value Setup） 该窗口值是 7 位，用来和向下计数器作比较。
8:7	TBPSC	R/W	配置时基预分频系数（Timer Base Prescaler Factor Configure） PCLK1/4096 的基础上再分频 00：不分频 01：2 分频 10：4 分频 11：8 分频
9	EWIEN	R/S	使能提前唤醒中断（Early Wakeup Interrupt Enable） 0：无作用 1：则当计数器值达到 0x40 时，即产生中断；此中断在复位后由硬件清除。
31:10	保留		

18.7.1.3 状态寄存器（WWDT_STS）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
0	EWIFLG	RC_W0	发生提前唤醒中断标志（Early Wakeup Interrupt Occur Flag） 0：未发生 1：当计数器值达到 0x40 时由硬件置 1；若中断未被使能，该位也会被置 1；由软件写 0 清除。
31:1	保留		

19 实时时钟（RTC）

19.1 术语全称、缩写描述

表格 79 术语全称、缩写描述

中文全称	英文全称	英文缩写
秒	Second	SEC
闹钟	Alarm	ALR
预分频器	Prescaler	PSC

19.2 简介

拥有采取 BCD 编码的亚秒、时间、日期寄存器，以及相应的闹钟寄存器，结合外部引脚可实现时间戳功能。带时钟校准功能及时间补偿。

19.3 主要特征

（1） 时基单元

（2） 时钟校准

（3） 亚秒、时间、日期

（4） 时间误差补偿

（5） 闹钟（亚秒、时间、日期屏蔽）

（6） 时间戳

（7） 侵入检测

（8） 2 种 RTC 输出

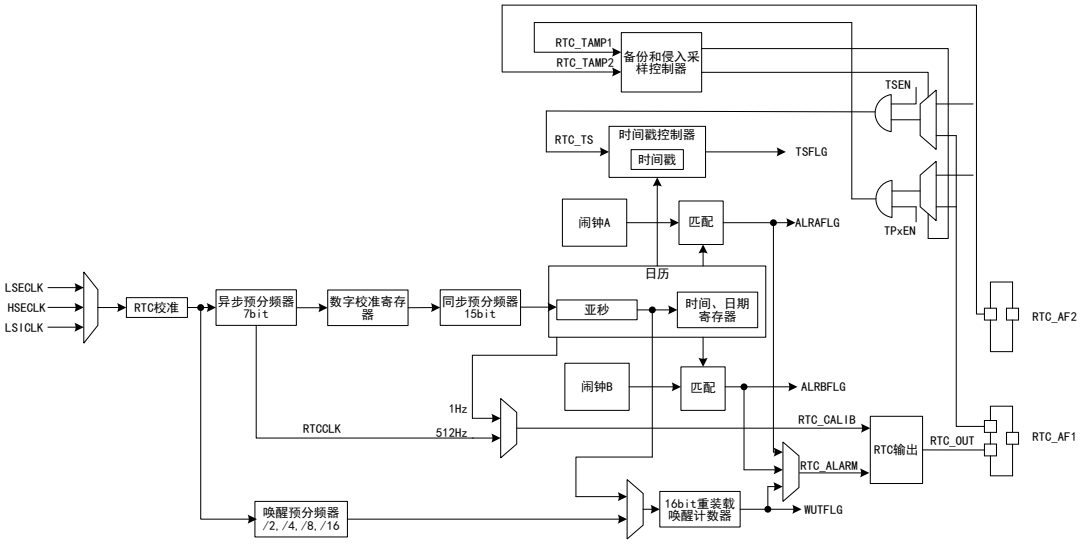
（9） 备份域

（10） 多种中断控制

（11） 低功耗自动唤醒

19.4 结构框图

图 68 RTC 结构框图



注意：

（1）复用功能输出：RTC_OUT 是由以下两种的其中一种形式输出

- RTC_CALIB：通过 RTC_CTRL 寄存器的 CALOEN 位开启此输出，当 LSECLK 的频率是 32.768kHz 时，时钟输出为 512Hz 或者 1Hz。
- RTC_ALARM：通过 RTC_CTRL 寄存器的 OUTSEL 位开启此输出，闹钟 A。

（2）复用功能输入：

- RTC_TS：时间戳事件
- RTC_TAMP1：侵入事件检测 1
- RTC_TAMP2：侵入事件检测 2

（3）RTC_AF1 和 RTC_AF2 复用功能分别与 PC13 和 PI8 相连

19.5 功能描述

19.5.1 时基单元

时钟源

RTC 有 3 个时钟源：

- 外部 LSECLK 晶振
- 外部 HSECLK 晶振
- 内部 LSICLK

通过配置时钟控制器 CCM 的寄存器选择不同的时钟源。

预分频器

在备份电源供电情况下，RTC 外设的功耗需尽量降到最低，为了兼顾功耗问题，RTC 内部采用双预分频器，7 位的异步预分频器 APSC、15 位的同步预分频器 SPSC。

RTCCLK 先经过异步预分频器，分频后的时钟到达同步预分频器，合理配置两个预分频器，能产生 1Hz 的时钟供日期使用。

使用预分频器时，建议异步预分频器尽可能调高，降低功耗。

同步预分频值同时也会用作亚秒计数器重载值。

19.5.2 时钟校准

时钟同步

RTC 根据外部高精度时钟，结合寄存器 RTC_SHIFT 可实现时钟同步。主要通过前后两次获取亚秒时段的时间戳，检测到 RTC 时钟与外部时钟的偏差。由于同步预分频值用作亚秒计数器重载值，而寄存器 RTC_SHIFT 的 SFSEC 位又作用于亚秒计数器，因而调节 SFSEC 位，即可实现对 RTC 时钟的微调，人为增加、减少几个周期。

参考时钟

RTC 内部拥有参考时钟检测，可用来补偿外部 LSECLK 晶振的偏差。设置 RCLKDEN 位使能参考时钟检测，外部 50Hz 或 60Hz 的参考时钟经 RTC_REFIN 引脚与 RTC 内部 1Hz 时钟比较，通过这种机制自动补偿 LSECLK 分频后的 1Hz 时钟。

使能参考时钟检测后，时钟单元的同步、异步预分频器必须配置为默认值。

参考时钟检测不能与时钟同步同时使用，在待机模式下需要禁用参考时钟检测。

RTC 粗略数字校准

RTC_DCAL 寄存器可配置为正校准或负校准，以提前或推迟更新日期，因此可调节有效频率。

RTC 精密数字校准

RTC 默认采用 2^{20} 个 RTCCLK 为一个校准周期，另外也可通过寄存器 CALW16、CALW8 设置为 2^{19}、2^{18} 个 RTCCLK 为一个校准周期。当采用 LSECLK 作 RTCCLK 时钟源，RTC 的校准周期为 32s、16s、8s。

- 16s 校准周期，硬件设定 RECALF[0]为“0”
- 8s 校准周期，硬件设定 RECALF[1:0]为“00”

以 32s 的校准周期为例，校准的机制是在校准周期内，增添或减少一部分 RTCCLK 信号。

- 当使用 RECALF 时，每 2^{20} 个 RTCCLK 减少 RECALF 个 RTCCLK
- 当使用 ICALFEN，ICALFEN=1 时，每 2^{11} 个 RTCCLK 增添 1 个 RTCCLK
- 当使用 RECALF，ICALFEN 时，每 2^{20} 个 RTCCLK 增添（512 * ICALFEN – RECALF）个 RTCCLK

19.5.3 RTC 写保护

为防止意外写入导致 RTC 计数异常，RTC 寄存器采用写保护机制，只有解除写保护，才能对写保护的寄存器进行操作。

上电后，RTC 寄存器进入写保护状态，系统复位不能解除写保护。当需要解除写保护时，通过往寄存器 RTC_WRPROT 依次写入特殊的关键字‘0xCA’、‘0x53’。如果写入错误的关键字，RTC 立马又开启写保护。

19.5.4 日期寄存器

RTC 拥有采用 BCD 编码的亚秒、时间、日期影子寄存器，分别为 RTC_SUBSEC、RTC_TIME、RTC_DATE。访问影子寄存器可以获得当前的日期，或者直接从日期寄存器获取日期。通过配置寄存器 RTC_CTRL 的 TIMEFCFG 位，可选取 24 小时、12 小时的时间制。

RTC 每两个 RTCCLK 周期更新影子寄存器，并将标志位 RSFLG 置起，当从停机或待机唤醒后，一般不会更新影子寄存器，需要等待最多 1-2 个 RTCCLK 周期。系统复位引发影子寄存器的复位。

影子寄存器与 f_{APB1} 同步。

通过配置寄存器 RTC_CTRL 的 RCMCFG 位，可选择读取日期的方式。

RCMCFG=0，从影子寄存器读取日期

该模式下，建议 f_{APB1} 大于 $7*f_{RTCCLK}$，当 f_{APB1} 过小，为确保读取日期值正常，需两次读取影子寄存器，两次获取的日期相同，则日期读取成功。

影子寄存器更新后，标志位 RSFLG 置起，软件必须等待 RSFLG 置位后读取日期，每次读取日期后，需手动清除 RSFLG 标志。

从停机或待机唤醒，由于影子寄存器未更新，因而第一时间需要清除 RSFLG 标志。

RCMCFG=1，从日期寄存器读取日期

当 f_{APB1} 小于 $7*f_{RTCCLK}$, 或者从低功耗唤醒时，建议直接从日期寄存器读取日期。

读取日期时未等待 RSFLG 标志置 1，并且刚好处于日期寄存器变化的阶段，则需读取两次日期。因而也建议读取两次日期寄存器，当两次读取日期值相同时，说明日期读取成功。

19.5.5 时间补偿

由于季节变化，有些时候需要进行时间补偿，使其更适合日常需求。RTC 内部集成时间补偿单元及其夏令时标志，用户可根据自身需求选择是否开启时间补偿。

通过设置寄存器 RTC_CTRL 的 STCCFG 位，令夏季增加 1 小时；设置寄存器 RTC_CTRL 的 WTCCFG 位，令冬季减少 1 小时。BAKP 标志用于记录夏令时是否设置。

19.5.6 可编程的闹钟

作为一个实时时钟，RTC 内部集成闹钟功能，主要通过闹钟配置寄存器、闹钟屏蔽，结合日期寄存器运作。

通过寄存器 RTC_ALRMA/RTC_ALRMASS 和 RTC_ALRMB/RTC_ALRMBSS 配置闹钟及其闹钟屏蔽，闹钟屏蔽告知 RTC 需要关注闹钟的时段。使能闹钟功能后，当关注的时段到了设定值时，闹钟才会触发，此时闹钟标志置起，如果开启了闹钟中断，则触发中断处理。

选取“秒”作为闹钟的时段，同步预分频值需要大于 3，闹钟才能正常运作。

19.5.7 时间戳

RTC 具有时间戳功能，RTC_TS 引脚结合时间戳寄存器工作。

通过寄存器 RTC_CTRL 的 TSETECFG 位设置时间戳检测极性，当 RTC_TS 引脚识别到外部时间戳边沿信号时，RTC 自动将当前日期锁存在亚秒、时间、日期时间戳寄存器中，同时时间戳标志位 TSFLG 置 1。如果开启时间戳中断，则触发时间戳中断处理。

当 TSFLG 标志位置 1 时，此时又有一个时间戳事件，将导致时间戳溢出，标志位 TSOVRFLG 置 1。如果在清除 TSFLG 标志后，又立马检测到时间戳事件，TSFLG、TSOVRFLG 标志都会置 1。

TAMPER 复用功能

RTC_TAMP1 复用功能可映射到 RTC_AF1 或 RTC_AF2，由 RTC_TACFG 寄存器的 TP1MSEL 位决定。修改 TP1MSEL 后需清零 TP1EN 位以避免 TP1FLG 意外置位。RTC_TAMP2 复用功能对应 RTC_TAMP2 引脚。

19.5.8 备份域

备份域寄存器在切断主电源 V_{DD} 后，自动由 V_{BAT} 供电。系统复位、NRST 引脚复位、低功耗模式唤醒后的复位，都不会影响备份域寄存器。当 V_{BAT} 断电或者发生侵入事件时，将导致备份域寄存器复位。

备份域寄存器可用于缓存用户数据，利用其系统复位数据不发生变化的特性，可作为状态标志实现某种功能应用。

19.5.9 侵入检测

侵入检测是一种防止侵入造成数据泄露的数据自毁型保护装置，通过硬件电路设计，把侵入检测信号发送到侵入检测引脚。

侵入检测有多个侵入检测引脚，每个引脚由单独寄存器位使能。为更好地检测到真实的侵入事件，信号滤波可配置，同时每个引脚都可配置侵入检测极性。

侵入检测极性

通过寄存器 RTC_TACFG 中的 TpxAL 位，可选取低电平/上升沿、高电平/下降沿

作为侵入检测极性。

侵入信号滤波器

寄存器 RTC_TACFG 中的 TPSFSEL 位用于配置侵入检测的采样频率，RTC_TACFG 中的 TPFCSEL 位用于配置连续检测多少个有效侵入信号，才产生侵入事件。

特别地，如果在使能侵入检测引脚前，侵入检测引脚上已产生过侵入信号，此时使能侵入检测引脚会立即产生一个侵入事件。

侵入时间戳

某些时刻，为更好地记录侵入检测事件，RTC 能够把当前侵入时间戳锁存，通过寄存器 RTC_TACFG 中的 TPTSEN 位即可快速使能该功能，无需额外使能时间戳功能。

19.5.10 自动唤醒

自动唤醒相对 RTC 闹钟，其硬件结构更简单，也没有 RTC 闹钟繁琐的配置过程，因而用于唤醒低功耗是个不错的方案。

RTC 内部有一个 16 位的自减型重装载计数器，用于自动唤醒装置。

该计数器的时钟由寄存器 RTC_CTRL 的 WUCLKSEL 位选择，通过选取不同的时钟，自动唤醒的周期可配置成 122μs 到 36h 之间。先关闭自动唤醒，即清除 WUTEN，当 WUTWFLG 标志位置 1 时，配置 RTC_CTRL 寄存器的 WUCLKSEL 位和重装载寄存器 RTC_AUTORLD。

当计数器自减到 0 时，产生唤醒事件，WUTFLG 标志位置 1，进入下一轮自动唤醒之前，必须清除该标志位。

19.5.11 RTC 输出

RTC 输出把内部的 RTC 校准时钟、闹钟信号、自动唤醒信号输送给外部。

RTC 校准时钟

校准时钟输出一般用于观察 RTC 时钟源的精度，观测值用于时钟源的校准。通过 RTC_CTRL 寄存器的 CALOSEL 位选取 512Hz、1Hz 信号输出源，RTC_CTRL 寄存器的 CALOEN 位使能校准输出。

校准复用功能输出

当置位 RTC_CTRL 寄存器的 CALOEN 位时，RTC_AF1 会使能校准复用功能。

闹钟、自动唤醒信号

当闹钟或者自动唤醒运行的情况下，二者的事件可作为脉冲信号对外输出。RTC_CTRL 寄存器的 OUTSEL 位选取信号输出源，POLCFG 位配置输出极性。

19.6 寄存器地址映射

表格 80 RTC 寄存器地址映射

寄存器名	描述	偏移地址
RTC_TIME	RTC 时间寄存器	0x00
RTC_DATE	RTC 日期寄存器	0x04
RTC_CTRL	RTC 控制寄存器	0x08
RTC_STS	RTC 状态寄存器	0x0C
RTC_PSC	RTC 预分频寄存器	0x10
RTC_AUTORLD	RTC 自动重装载寄存器	0x14
RTC_DCAL	RTC 粗略校准寄存器	0x18
RTC_ALRMA	RTC 闹钟 A 寄存器	0x1C
RTC_ALRMB	RTC 闹钟 B 寄存器	0x20
RTC_WRPROT	RTC 写保护寄存器	0x24
RTC_SUBSEC	RTC 亚秒寄存器	0x28
RTC_SHIFT	RTC 移位寄存器	0x2C
RTC_TSTIME	RTC 时间戳时间寄存器	0x30
RTC_TSDATE	RTC 时间戳日期寄存器	0x34
RTC_TSSUBSEC	RTC 时间戳亚秒寄存器	0x38
RTC_CAL	RTC 校准寄存器	0x3C
RTC_TACFG	RTC 侵入和复用配置寄存器	0x40
RTC_ALRMASS	RTC 闹钟 A 亚秒寄存器	0x44
RTC_ALRMBSS	RTC 闹钟 B 亚秒寄存器	0x48
RTC_BAKPx	RTC 备份寄存器	0x50-0x9C

19.7 寄存器功能描述

19.7.1 RTC 时间寄存器(RTC_TIME)

RTC_TIME 是时间影子寄存器，该寄存器只能在初始化模式下写入，处于写保护状态。

偏移地址：0x00

备份域复位值：0x0000 0000

系统复位：RCMCFG =0：0x0000 0000；RCMCFG =1：0xXXXX XXXX

位/域	名称	R/W	描述
3:0	SECU	R/W	设置秒个位的值以 BCD 格式存储（Second Ones Unit in BCD Format Setup）

位/域	名称	R/W	描述
6:4	SECT	R/W	设置秒十位的值以 BCD 格式存储（Second Ten's Place in BCD Format Setup）
7	保留		
11:8	MINU	R/W	设置分个位的值以 BCD 格式存储（Minute Ones Unit in BCD Format Setup）
14:12	MINT	R/W	设置分十位的值以 BCD 格式存储（Minute Ten's Place in BCD Format Setup）
15	保留		
19:16	HRU	R/W	设置小时个位的值以 BCD 格式存储（Hour Ones Unit in BCD Format Setup）
21:20	HRT	R/W	设置小时十位的值以 BCD 格式存储（Hour Ten's Place in BCD Format Setup）
22	TIMEFCFG	R/W	配置时间格式（Time Format Configure） 0：AM 或 24 小时制 1：PM
31:23	保留		

19.7.2 RTC 日期寄存器(RTC_DATE)

RTC_DATE 是日期影子寄存器，该寄存器只能在初始化模式下写入，处于写保护状态。

偏移地址：0x04

备份域复位值：0x0000 2101

系统复位：RCMCFG =0：0x0000 0000；RCMCFG =1：0xXXXX XXXX

位/域	名称	R/W	描述
3:0	DAYU	R/W	设置日个位的值以 BCD 格式存储（Day Ones Unit in BCD Format Setup）
5:4	DAYT	R/W	设置日十位的值以 BCD 格式存储（Day Ten's Place in BCD Format Setup）
7:6	保留		
11:8	MONU	R/W	设置月个位的值以 BCD 格式存储（Month Ones Unit in BCD Format Setup）
12	MONT	R/W	设置月十位的值以 BCD 格式存储（Month Ten's Place in BCD Format Setup）
15:13	WEEKSEL	R/W	选择日期单位（Week Day Units Select） 000：禁止 001：星期一 … 111：星期日
19:16	YRU	R/W	设置年个位的值以 BCD 格式存储（Year Ones Unit in BCD Format Setup）
23:20	YRT	R/W	设置年十位的值以 BCD 格式存储（Year Ten's Place in BCD Format Setup）
31:24	保留		

19.7.3 RTC 控制寄存器(RTC_CTRL)

（1） 该寄存器的位 7，6 和 4 只能在初始化模式下写入。

（2） 不建议在日期的小时数在增加的时候去改写此寄存器，因为可能会屏蔽正确的小时增量。

（3） 改写 STCCFG 和 WTCCFG 的值将在下一秒生效。

（4） 该寄存器处于写保护下。

偏移地址：0x08

备份域复位值：0x0000 0000

系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
2:0	WUCLKSEL	R/W	选择唤醒时钟（Wakeup Clock Select） 000：RTC/16 001：RTC/8 010：RTC/4 011：RTC/2 10x：clk_spre(通常是 1Hz) 11x：clk_spre(通常是 1Hz)和将 216 加到 WUAUTORE 计数器值
3	TSETECFG	R/W	配置时间戳事件触发边沿（Time Stamp Event Trigger Edge Configure） 该位表示 RTC_TS 是在上升沿还是下降沿生成一个时间戳事件。 0：上升沿 1：下降沿 该位要在 TSEN=0 时才能改变。
4	RCLKDEN	R/W	使能 RTC_REFIN 参考时钟检测（RTC_REFIN reference clock detection enable） 0：禁止 1：使能 SPSC 必须为 0x00FF。
5	RCMCFG	R/W	配置读取日期值模式（Read Calendar Value Mode Configure） 0：从影子寄存器读取日期值，影子寄存器每两个 RTCCLK 周期更新一次 1：从日期寄存器读取日期值 如果 APB1 时钟频率低于 RTCCLK 频率的 7 倍，RCMCFG 必须置 1。
6	TIMEFCFG	R/W	配置时间格式（Time Format Configure） 0：24 小时/天格式 1：AM/PM 时间格式
7	DCALEN	R/W	使能粗略数字校准（Coarse Digital Calibration Enable） 0：禁止 1：使能 APSC 需≥6。
8	ALRAEN	R/W	使能报警 A 功能（Alarm A Function Enable） 0：禁止 1：使能
9	ALRBEN	R/W	使能报警 B 功能（Alarm B Function Enable） 0：禁止 1：使能
10	WUTEN	R/W	使能唤醒计时器（Wakeup Timer Enable） 0：禁止 1：使能

位/域	名称	R/W	描述
11	TSEN	R/W	使能时间戳（Time Stamp Enable） 0：禁止 1：使能
12	ALRAIEN	R/W	使能报警 A 中断（Alarm A Interrupt Enable） 0：禁止 1：使能
13	ALRBIEN	R/W	使能报警 B 中断（Alarm B Interrupt Enable） 0：禁止 1：使能
14	WUTIEN	R/W	使能唤醒计时器中断（Wakeup Timer Interrupt Enable） 0：禁止 1：使能
15	TSIEN	R/W	使能时间戳中断（Time Stamp Interrupt Enable） 0：禁止 1：使能
16	STCCFG	R/W	配置夏季时间变化（Summer Time Change Configure） 读过程中该位会一直保持为 0；如果在初始化模式以外设置该位，日期时间加 1。 0：无效 1：当前时间增加 1 小时，用于校准夏季时间变化
17	WTCCFG	R/W	配置冬季时间变化（Winter Time Change Configure） 读过程中该位会一直保持为 0；如果在初始化模式以外设置该位，RCT_TIME 寄存器的 HRx 为 0 时，该位无效，HRx 不为 0 时，日期时间减 1。 0：无效 1：当前时间减少 1 小时，用于校准冬季时间变化
18	BAKP	R/W	设置备份值（Backup Value Setup） 该位表示夏季时间是否已经发生变化，由用户写入。
19	CALOSEL	R/W	选择校准输出值（Calibration Output Value Select） CALOEN=1 时，该位用于选择 RTC_CALIB 的输出信号。 0：512Hz 1：1Hz 上述频率在 RTCCLK 为 32.768kHz 和预分频器处于默认值(APSC=127，SPSC=255)时有效。
20	POLCFG	R/W	配置输出极性（Output Polarity Configure） 该位表示 ALRAFLG/ALRBFLG/WUTFLG 位置 1 时（取决于 OUTSEL 位），引脚的电平状态。 0：高电平 1：低电平
22:21	OUTSEL	R/W	选择输出方式（Output Way Select） 该位用于选择 RTC_ALARM 输出关联的标志位 00：禁止 01：闹钟 A 输出 10：闹钟 B 输出 11：唤醒输出
23	CALOEN	R/W	使能校准输出（Calibration Output Enable）

位/域	名称	R/W	描述
			该位使能 RTC_CAL 输出 0：禁止 1：使能
31:24	保留		

19.7.4 RTC 状态寄存器(RTC_STS)

该寄存器（除 RTC_STS[13:8]位外）处于写保护状态。

偏移地址：0x0C

备份域复位值：0x0000 0007

系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
0	ALRAWFLG	R	发生闹钟 A 写入标志（Alarm A Write Occur Flag） 当 RTC_CTRL 的 ALRAEN=0 后，闹钟 A 的值发生变化，由硬件置 1；在初始化模式下由硬件清除。 0：不可以更新闹钟 A 1：可以更新闹钟 A
1	ALRBWFLG	R	发生闹钟 B 写入标志（Alarm B Write Occur Flag） 当 RTC_CTRL 的 ALRBEN=0 后，闹钟 B 的值发生变化，由硬件置 1；在初始化模式下由硬件清除。 0：不可以更新闹钟 B 1：可以更新闹钟 B
2	WUTWFLG	R	发生唤醒计时器写入标志（Wakeup Timer Write Occur Flag） 在 WUTEN=0 且唤醒定时器的值可以被改变时此位由硬件置位。 0：不允许更新唤醒定时器配置 1：允许更新唤醒计时器配置
3	SOPFLG	R	发生移位操作挂起标志（Shift Operation Pending Occur Flag） 0：未发生 1：发生 当通过向 RTC_SHIFT 寄存器写入产生一个移位操作时，该位立即由硬件置 1。当相应的移位操作执行完毕后，该位由软件清 0。对 SOPFLG 写入无效。
4	INITSFLG	R	发生日期初始化状态标志（Initialization State Occur Flag） 当日期中“年”字段不为“0”时，该位由硬件置位。 0：未发生 1：发生
5	RSFLG	RC_W0	发生日期影子寄存器同步标志（Registers Synchronization Occur Flag） 当日期寄存器中的内容复制到影子寄存器（RTC_SUBSEC、RTC_TIME 和 RTC_DATE）中时，该位由硬件置 1；当移位操作被挂起（SOPFLG=1）或处于忽略影子寄存器模式（RCMCFG=1）时，在初始化模式下该位由硬件清 0；该位也可由软件清除。 在初始化模式下，该位由硬件/软件清除。 0：未同步 1：同步
6	RINITFLG	R	发生日期寄存器初始化标志（Register Initialization Occur Flag）

位/域	名称	R/W	描述
			该位置“1”，RTC 处在初始化状态，时间、日期和预分频器寄存器可被更新。 0：不可以初始化 1：初始化
7	INITEN	R/W	使能初始化模式（Initialization Mode Enable） 0：自由运行模式 1：初始化模式，可以用来编程 RTC_TIME 和 RTC_DATE，以及 RTC_PSC。计数器停止计数，一直到 INITEN 复位之后，计数器从新值开始计数。
8	ALRAFLG	RC_W0	发生闹钟 A 匹配标志（Alarm A Match Occur Flag） 当 RTC_TIME 和 RTC_DATE 与闹钟 A 寄存器 RTC_ALRMA 匹配时，该标志由硬件置位。 该标志由软件写 0 清除。
9	ALRBFLG	RC_W0	发生闹钟 B 匹配标志（Alarm B Match Occur Flag） 当 RTC_TIME 和 RTC_DATE 与闹钟 B 寄存器 RTC_ALRMB 匹配时，该标志由硬件置位。 该标志由软件写 0 清除。
10	WUTFLG	RC_W0	发生唤醒计时器标志（Wakeup Timer Occur Flag） 当自动刷新计数器计数到 0 时，由硬件值 1；由软件写 0 清除。 在 WUTFLG 再次置 1 的 1.5 个 RTCCLK 周期之前清除该标志。
11	TSFLG	RC_W0	发生时间戳标志（Time Stamp Occur Flag） 当产生时间戳事件时该标志由硬件置 1；由软件写 0 清除。
12	TSOVRFLG	RC_W0	发生时间戳溢出标志（Time Stamp Overflow Occur Flag） 在 TSFLG=1 且产生时间戳事件时该标志位由硬件置 1；由软件写 0 清除。 该位建议在 TSFLG 标志位清除后再清除。
13	TP1FLG	RC_W0	发生 RTC_TP1FLG 检测标志（RTC_TP1FLG Detection Occur Flag） 在 RTC_TP1FLG 输入检测到侵入事件时该标志由硬件置 1；由软件写 0 清除。
14	TP2FLG	RC_W0	发生 RTC_TP2FLG 检测标志（RTC_TP2FLG Detection Occur Flag） 当在 RTC_TP2FLG 输入检测到侵入事件时该标志由硬件置 1；由软件写 0 清除。
15	保留		
16	RCALPFLG	R	发生重新校准挂起标志（Recalibration Pending Occur Flag） 当软件向 RTC_CAL 做写操作时该位自动置 1，此时 RTC_CAL 寄存器被锁定。 当有其他新的校准设置执行时，该位返回 0。
31:17	保留		

19.7.5 RTC 预分频寄存器(RTC_PSC)

该寄存器只能在初始化模式下写入，初始化必须由两次独立的写访问完成，处于写保护状态。

偏移地址：0x10

备份域复位值：0x007F 00FF

系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
14:0	SPSC	R/W	同步预分频器系数（Synchronous Prescaler Coefficient） ck_spre 频率=ck_apre 频率/(SPSC+1)
15	保留		
22:16	APSC	R/W	异步预分频器系数（Asynchronous Prescaler Coefficient） ck_apre 频率=RTCCLK 频率/(APSC+1)
31:23	保留		

19.7.6 RTC 自动重装载寄存器(RTC_AUTORLD)

该寄存器只能在 RTC_STS 的 WUTEFLG 置 1 时写入，处于写保护状态。

偏移地址：0x14

备份域复位值：0x0000 FFFF

系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
15:0	WUAUTORE	R/W	设置唤醒自动重载值（Wakeup Auto-reload Value Setup） 当激活唤醒计时器(WUTEN=1)时，每个 CLK_WUAUTORE 周期会将该标志位置 1 一次，通过 RTC_CTRL 寄存器的 WUCLKSEL 位设置 CLK_WUAUTORE 周期。 当 WUCLKSEL[2]=1 时，唤醒计时器被设置为 17 位，WUCLKSEL[1]七十是 WUAUTORE[16]，是重加载到计时器中的最关键的位。 设置 WUTEN 后，WUTFLG 的第一个断言出现 CLK_WUAUTORE 循环禁止使用 WUCLKSEL[2:0]=011(RTCCLK/2)从 WUAUTORE[15:0]到 0x0000。
31:16	保留		

19.7.7 RTC 粗略校准寄存器（RTC_DCAL）

偏移地址：0x18

备份域复位值：0x0000 0000

系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
4:0	DCAL	R/W	数字校准（Digital Calibration） DCALCFG=0（正校准） 00000：+ 0 ppm 00001：+ 4 ppm(四舍五入值) 00010：+ 8 ppm(四舍五入值) .. 11111：+ 126 ppm(四舍五入值) DCALCFG=1(负校准) 00000：- 0 ppm 00001：- 2 ppm(四舍五入值) 00010：- 4 ppm(四舍五入值) .. 11111：- 63ppm(四舍五入值)
6:5	保留		

位/域	名称	R/W	描述
7	DCALCFG	R/W	配置数字校准（Digital Calibration Configure） 0：正校准-增加日期更新频率 1：负校准-减少日期更新频率
31:8	保留		

19.7.8 RTC 闹钟 A 寄存器 (RTC_ALRMA)

该寄存器只能在 RTC_STS 的 ALRWFLG 置 1 或初始化模式下写入，处于写保护状态。

偏移地址：0x1C

备份域复位值：0x0000 0000

系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
3:0	SECU	R/W	设置秒个位的值以 BCD 格式存储（Second Ones Unit in BCD Format Setup）
6:4	SECT	R/W	设置秒十位的值以 BCD 格式存储（Second Ten's Place in BCD Format Setup）
7	SECMEN	R/W	使能 Alarm A "秒" 屏蔽（Alarm A Seconds Mask Enable） 0：若 "秒" 匹配，置位 Alarm A 1：屏蔽 "秒" 的值对 Alarm A 的影响
11:8	MINU	R/W	设置分个位的值以 BCD 格式存储（Minute Ones Unit in BCD Format Setup）
14:12	MINT	R/W	设置分十位的值以 BCD 格式存储（Minute Ten's Place in BCD Format Setup）
15	MINMEN	R/W	使能 Alarm A "分" 屏蔽（Alarm A Minutes Mask Enable） 0：若 "分" 匹配，置位 Alarm A 1：屏蔽 "分" 的值对 Alarm A 的影响
19:16	HRU	R/W	设置小时个位的值以 BCD 格式存储（Hour Ones Unit in BCD Format Setup）
21:20	HRT	R/W	设置小时十位的值以 BCD 格式存储（Hour Ten's Place in BCD Format Setup）
22	TIMEFCFG	R/W	配置时间格式（Time Format Configure） 0：AM 或 24 小时制 1：PM
23	HRMEN	R/W	使能 Alarm A "时" 屏蔽（Alarm A Hours Mask Enable） 0：若 "小时" 匹配，置位 Alarm A 1：屏蔽 "小时" 的值对 Alarm A 的影响
27:24	DAYU	R/W	设置日个位的值以 BCD 格式存储（Day Ones Unit in BCD Format Setup）
29:28	DAYT	R/W	设置日十位的值以 BCD 格式存储（Day Ten's Place in BCD Format Setup）
30	WEEKSEL	R/W	选择日期（Week Day Select） 0：DAYU 表示日期 1：DAYU 表示星期的数。DAYT 无作用。
31	DATEMEN	R/W	使能 Alarm A 日期屏蔽（Alarm A Date Mask Enable） 0：若日期/星期匹配，置位 Alarm A 1：屏蔽日期/星期的值对 Alarm A 的影响

19.7.9 RTC 闹钟 B 寄存器 (RTC_ALRMB)

该寄存器只能在 RTC_STS 的 ALRWFLG 置 1 或初始化模式下写入，处于写保护状态。

偏移地址：0x20

备份域复位值：0x0000 0000

系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
3:0	SECU	R/W	设置秒个位的值以 BCD 格式存储（Second Ones Unit in BCD Format Setup）
6:4	SECT	R/W	设置秒十位的值以 BCD 格式存储（Second Ten's Place in BCD Format Setup）
7	SECMEN	R/W	使能 Alarm B "秒" 屏蔽（Alarm B Seconds Mask Enable） 0：若 "秒" 匹配，置位 Alarm B 1：屏蔽 "秒" 的值对 Alarm B 的影响
11:8	MINU	R/W	设置分个位的值以 BCD 格式存储（Minute Ones Unit in BCD Format Setup）
14:12	MINT	R/W	设置分十位的值以 BCD 格式存储（Minute Ten's Place in BCD Format Setup）
15	MINMEN	R/W	使能 Alarm B "分" 屏蔽（Alarm B Minutes Mask Enable） 0：若 "分" 匹配，置位 Alarm B 1：屏蔽 "分" 的值对 Alarm B 的影响
19:16	HRU	R/W	设置小时个位的值以 BCD 格式存储（Hour Ones Unit in BCD Format Setup）
21:20	HRT	R/W	设置小时十位的值以 BCD 格式存储（Hour Ten's Place in BCD Format Setup）
22	TIMEFCFG	R/W	配置时间格式（Time Format Configure） 0：AM 或 24 小时制 1：PM
23	HRMEN	R/W	使能 Alarm B "时" 屏蔽（Alarm B Hours Mask Enable） 0：若 "小时" 匹配，置位 Alarm B 1：屏蔽 "小时" 的值对 Alarm B 的影响
27:24	DAYU	R/W	设置日个位的值以 BCD 格式存储（Day Ones Unit in BCD Format Setup）
29:28	DAYT	R/W	设置日十位的值以 BCD 格式存储（Day Ten's Place in BCD Format Setup）
30	WEEKSEL	R/W	选择日期（Week Day Select） 0：DAYU 表示日期 1：DAYU 表示星期的数。DAYT 无作用。
31	DATEMEN	R/W	使能 Alarm B 日期屏蔽（Alarm B Date Mask Enable） 0：若日期/星期匹配，置位 Alarm B 1：屏蔽日期/星期的值对 Alarm B 的影响

19.7.10 RTC 写保护寄存器(RTC_WRPROT)

偏移地址：0x24

复位值：0x0000 0000

位/域	名称	R/W	描述
7:0	KEY	W	设置写保护键值（Write Protection Key Value Setup） 此字节由软件编写，读取此字节始终为 0x00。
31:8	保留		

19.7.11 RTC 亚秒寄存器(RTC_SUBSEC)

偏移地址：0x28

备份域复位值：0x0000 0000

系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
15:0	SUBSEC	R	设置亚秒值（Sub Second Value Setup） SUBSEC 是同步预分频器计数器中的值。由下列公式决定： 亚秒值=(SPSC-SUBSEC)/(SPSC+1) 当一个移位操作执行完毕后，SUBSEC 可能大于 SPSC。那么正确的时间/日期比 RTC_TIME/RTC_DATE 少一秒。
31:16	保留		

19.7.12 RTC 移位寄存器(RTC_SHIFT)

该寄存器处于写保护状态。

偏移地址：0x2C

备份域复位值：0x0000 0000

系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
14:0	SFSEC	W	设置减少若干分之一秒（Subtract a Fraction of a Second Setup） 此位域只能写入，读取此字节始终为 0。当正在执行一个操作时，对此位进行写操作无效。 设置的 SFSEC 值将会被添加到同步预分频器计数器中。如果计数器是倒计时的，时钟会被延迟，延迟时间由以下公式决定： Delay (seconds)=SFSEC/(SPSC+1) 当与 ADD1SECEN 同时作用时，推进时钟将增加若干分之一秒，具体的增加值由以下公式决定： Advance(seconds)=(1-(SFSEC/(SPSC+1))) 对此位写操作可清除 RSFLG 位。软件持续运行直到 RSFLG 置 1，以此确保影子寄存器的值与移位时间同步。
30:15	保留		
31	ADD1SECEN	W	使能增加一秒（Add One Second Enable） 0：不增加 1：时钟/日期增加一秒 此位只能写入，读取此字节始终为 0。当正在执行一个操作时，对此位进行写操作无效。 当与 SFSEC 同时作用时，可以增加时钟的值，增加值为若干分之一秒。

19.7.13 RTC 时间戳时间寄存器(RTC_TSTIME)

当 RTC_STS 中 TSFLG 置 1 时，该寄存器才有效。当 TSFLG 位复位时，清除该寄存器的内容。

偏移地址：0x30
备份域复位值：0x0000 0000
系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
3:0	SECU	R	设置秒个位的值以 BCD 格式存储（Second Ones Unit in BCD Format Setup）
6:4	SECT	R	设置秒十位的值以 BCD 格式存储（Second Ten's Place in BCD Format Setup）
7	保留		
11:8	MINU	R	设置分个位的值以 BCD 格式存储（Minute Ones Unit in BCD Format Setup）
14:12	MINT	R	设置分十位的值以 BCD 格式存储（Minute Ten's Place in BCD Format Setup）
15	保留		
19:16	HRU	R	设置小时个位的值以 BCD 格式存储（Hour Ones Unit in BCD Format Setup）
21:20	HRT	R	设置小时十位的值以 BCD 格式存储（Hour Ten's Place in BCD Format Setup）
22	TIMEFCFG	R	配置时间格式（Time Format Configure） 0：AM 或 24 小时制 1：PM
31:23	保留		

19.7.14 RTC 时间戳日期寄存器(RTC_TSDATE)

当 RTC_STS 的 TSFLG 位置 1 时，该寄存器才有效。当 TSFLG 位复位时清除该寄存器。

偏移地址：0x34
备份域复位值：0x0000 0000
系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
3:0	DAYU	R	设置日个位的值以 BCD 格式存储（Day Ones Unit in BCD Format Setup）
5:4	DAYT	R	设置日十位的值以 BCD 格式存储（Day Ten's Place in BCD Format Setup）
7:6	保留		
11:8	MONU	R	设置月个位的值以 BCD 格式存储（Month Ones Unit in BCD Format Setup）
12	MONT	R	设置月十位的值以 BCD 格式存储（Month Ten's Place in BCD Format Setup）
15:13	WEEKSEL	R	选择日期单位（Week Day Units Select） 000：禁用 001：星期一 ... 111：星期日
31:16	保留		

19.7.15 RTC 时间戳亚秒寄存器(RTC_TSSUBSEC)

当 RTC_STS 寄存器的 TSFLG 位置 1 时，该寄存器才有效。当 TSFLG 位复位时清除该寄存器的内容。

偏移地址：0x38

备份域复位值：0x0000 0000

系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
15:0	SUBSEC	R	设置亚秒值（Sub Second Value Setup） 当发生时间戳事件时，SUBSEC[15:0]是同步预分频器计数器中的值。
31:16	保留		

19.7.16 RTC 精密校准寄存器(RTC_CAL)

该寄存器处于写保护状态。

偏移地址：0x3C

备份域复位值：0x0000 0000

系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
8:0	RECALF	R/W	减少校准频率（Reduced Calibration Frequency） 减少日期频率：在 2^{20} 个 RTCCLK 脉冲内(若输出频率为 32768 Hz，则 32 秒)屏蔽 RECALF 个脉冲将减少日期的频率（分辨率为 0.9537 ppm）。 增加日期频率：与 ICALFEN 同时作用
12:9	保留		
13	CAL16CFG	R/W	配置 16 秒校准周期（16 Second Calibration Cycle Period Configure） 当 CAL16CFG 置 1，使用 16 秒校准周期，不能和 CAL8CFG 位同时置 1。 当 CAL16CFG=1 时，RECALF[0]始终为 0。
14	CAL8CFG	R/W	配置 8 秒校准周期（8 Second Calibration Cycle Period Configure） 当 CAL8CFG 置 1，使用 8 秒校准周期，不能和 CAL16CFG 位同时置 1。 当 CAL8CFG=1 时，RECALF[1:0]始终为 00。
15	ICALFEN	R/W	使能增加校准频率（Increase Calibration Frequency Enable） 0：不增加 RTCCLK 脉冲 1：每 2^{11} 个脉冲增加一个 RTCCLK 脉冲（频率增加 488.5 ppm） 与 RECALF 同时作用，使用高分辨率时会降低日期的频率。若输入频率为 32768Hz,则在 32 秒窗口中增加 RTCCLK 脉冲的数量由下列公式决定：(512*ICALFEN) – RECALF。
31:16	保留		

19.7.17 RTC 侵入和复用配置寄存器(RTC_TACFG)

偏移地址：0x40

备份域复位值：0x0000 0000

系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
0	TP1EN	R/W	使能 RTC_TAMP1 输入检测（RTC_TAMP1 Input Detection Enable） 0：禁止 1：使能

位/域	名称	R/W	描述
1	TP1ALCFG	R/W	配置 RTC_TAMP1 输入的有效电平（RTC_TAMP1 Input Active Level Configure） 当 TPFCSEL!=00 时，该位决定 RTC_TAMP1 输入在保持高/低电平会触发一个侵入检测事件。 0：低电平 1：高电平 当 TPFCSEL=00 时，该位决定 RTC_TAMP1 输入在上升/下降沿时触发一个侵入检测事件。 0：上升沿 1：下降沿
2	TPIEN	R/W	使能侵入中断（Tamper Interrupt Enable） 0：禁止 1：使能
3	TP2EN	R/W	使能 RTC_TAMP2 输入检测（RTC_TAMP2 Input Detection Enable） 0：禁止 1：使能
4	TP2ALCFG	R/W	配置 RTC_TAMP2 输入的有效电平（RTC_TAMP2 Input Active Level Configure） 当 TPFCSEL!=00 时，该位决定 RTC_TAMP2 在输入保持高/低电平时会触发一个侵入检测事件。 0：低电平 1：高电平 当 TPFCSEL=00 时，该位决定 RTC_TAMP2 是在上升/下降沿触发一个侵入检测事件 0：上升沿 1：下降沿
6:5	保留		
7	TPTSEN	R/W	使能侵入检测事件的时间戳（Tamper Detection Event Timestamp Enable） 该位决定侵入检测事件产生的时间戳是否保存 0：不保存 1：保存 该位在 RTC_CTRL 寄存器 TSEN=0 时依然有效。
10:8	TPSFSEL	R/W	选择侵入采样频率（Tamper Sampling Frequency Select） 这些位决定每个 RTC_TAMPx 输入的采样频率。 0x0：RTCCLK/32768 0x1：RTCCLK/16384 0x2：RTCCLK/8192 0x3：RTCCLK/4096 0x4：RTCCLK/2048 0x5：RTCCLK/1024 0x6：RTCCLK/512 0x7：RTCCLK/256
12:11	TPFCSEL	R/W	选择 RTC_TAMPx 过滤器计数（RTC_TAMPx Filter Count Select） 这些位决定在特定电平（TAMP*TRG）上连续几次采样后激活入侵事件。 TPFCSEL 对每次 RTC_TAMPx 输入都有效。 0x0：在 RTC_TAMPx 输入转换为有效电平的边沿激活入侵事件

位/域	名称	R/W	描述
			0x1：连续 2 次采样 0x2：连续 4 次采样 0x3：连续 8 次采样
14:13	TPPRDUSEL	R/W	选择 RTC_TAMPx 预充电时长（RTC_TAMPx Precharge Duration Select） 这些位决定采样前上拉电阻启用几个 RTCCLK 周期；对每次 RTC_TAMPx 输入都有效。 0x0：1 0x1：2 0x2：4 0x3：8
15	TPPUDIS	R/W	禁止 RTC_TAMPx 上拉功能（RTC_TAMPx Pull-up Function Disable） 该位决定是否所有 RTC_TAMPx 引脚在采样前进行预充电。 0：使能(使能内部上拉) 1：禁止
16	TP1MSEL	R/W	选择 RTC_TAMP1 映射（RTC_TAMP1 Mapping Select） 0：RTC_AF1 作为 RTC_TAMP1 1：RTC_AF2 作为 RTC_TAMP1 注意：当此位被更改时，TP1EN 必须被重置，以避免不必要的设置 TP1FLG。
17	TSMSEL	R/W	选择时间戳映射（Timestamp Mapping Select） 0：RTC_AF1 作为时间戳 1：RTC_AF2 作为时间戳
18	ALRMOT	R/W	配置 RTC_ALARM 输出形式（RTC_ALARM Output Type Configure） 0：开漏输出 1：推挽输出
31:19	保留		

19.7.18 RTC 闹钟 A 亚秒寄存器(RTC_ALRMASS)

该寄存器只能在 RTC_CTRL 的 ALRAEN 复位或初始化模式下写入，处于写保护状态。

该寄存器处在写保护状态。

偏移地址：0x44

备份域复位值：0x0000 0000

系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
14:0	SUBSEC	R/W	设置亚秒值（Sub Second Value Setup） 亚秒值与同步预分频器计数器中的值进行比较来确定是否激活闹钟 A，仅比较位 0 到 MASKSEL-1。
23:15	保留		
27:24	MASKSEL	R/W	选择屏蔽从此位开始的最有效位（Mask the Most-significant Bits Starting at This Bit Select） 0x0：不对闹钟 A 进行比较。闹钟在秒单元增加 1 时设置 0x1：在对闹钟 A 比较时，SUBSEC[14:1]不参与，仅 SUBSEC[0]参与 0x2：在对闹钟 A 比较时，SUBSEC[14:2]不参与，仅 SUBSEC[1:0]参与

位/域	名称	R/W	描述
			0x3：在对闹钟 A 比较时，SUBSEC[14:3]不参与，仅 SUBSEC[2:0]参与 … 0xC：在对闹钟 A 比较时，SUBSEC[14:12]不参与，仅 SUBSEC[11:0]参与 0xD：在对闹钟 A 比较时，SUBSEC[14:13]不参与，仅 SUBSEC[12:0]参与 0xE：在对闹钟 A 比较时，SUBSEC[14]不参与，仅 SUBSEC[13:0] 参与 0xF：在对闹钟 A 比较时，15 个 SUBSEC 位都要参与，只有全部匹配才能激活闹钟。 同步计数器溢出位(位 15)从不进行比较。仅在移位操作后，该位不为 0。
31:28	保留		

19.7.19 RTC 闹钟 B 亚秒寄存器(RTC_ALRMBSS)

该寄存器只能在 RTC_CTRL 的 ALRBEN 复位或初始化模式下写入，该寄存器处在写保护状态。

偏移地址：0x48

备份域复位值：0x0000 0000

系统复位：0xXXXX XXXX

位/域	名称	R/W	描述
14:0	SUBSEC	R/W	设置亚秒值（Sub Second Value Setup） 亚秒值与同步预分频器计数器中的值进行比较来确定是否激活闹钟 B，仅比较位 0 到 MASKSEL-1。
23:15	保留		
27:24	MASKSEL	R/W	选择屏蔽从此位开始的最有效位（Mask the Most-significant Bits Starting at This Bit Select） 0x0：不对闹钟 B 进行比较。闹钟在秒单元增加 1 时设置 0x1：在对闹钟 B 比较时，SUBSEC[14:1]不参与，仅 SUBSEC[0]参与 0x2：在对闹钟 B 比较时，SUBSEC[14:2]不参与，仅 SUBSEC[1:0]参与 3：在对闹钟 B 比较时，SUBSEC[14:3]不参与，仅 SUBSEC[2:0]参与 … 0xC：在对闹钟 B 比较时，SUBSEC[14:12]不参与，仅 SUBSEC[11:0]参与 0xD：在对闹钟 B 比较时，SUBSEC[14:13]不参与，仅 SUBSEC[12:0]参与 0xE：在对闹钟 B 比较时，SUBSEC[14]不参与，仅 SUBSEC[13:0] 参与 0xF：在对闹钟 B 比较时，15 个 SUBSEC 位都要参与，只有全部匹配才能激活闹钟。 同步计数器溢出位(位 15)从不进行比较。仅在移位操作后，该位不为 0。
31:28	保留		

19.7.20 RTC 备份寄存器（RTC_BAKPx）（x=0-19）

偏移地址：0x50-0x9C

备份域复位值：0x0000 0000

复位值：0xXXXX XXXX

位/域	名称	R/W	描述
31:0	BAKP	R/W	设置备份值（Backup Value Setup） 切断 V_{DD} 电源将由 V_{BAT} 供电，因此此位域不受系统复位影响；当发生侵入检测事件或禁用闪存读出保护时，此寄存器复位，且只要 TP1FLG=1，则一直保持复位。 即使设备在低功耗模式下运行此位域的内容也有效。

20 HASH 处理器（HASH）

20.1 简介

散列处理器符合安全散列算法、MD5 散列算法和 HMAC 散列算法。HMAC 散列算法通过散列函数验证消息，除此之外其他算法计算 2^{64}—1 位的消息摘要。HMAC 算法包括调用 SHA-1 或 MD5 散列函数两次。

注意：仅 APM32F415xG/APM32F417xExG 系列产品有此模块。

20.2 主要特征

（1） AHB 从外设

（2） 快速计算 SHA-1 和 MD5

（3） 适合于数据验证应用，符合 FIPS PUB 180-2 标准、安全散列标准规范和 IETF RFC 1321 规范

（4） 输入数据用 32 位数据，可支持字、半字、字节和位位串表示法

（5） 输出摘要用 5×32 位字，重载可以继续中断的消息摘要计算

（6） 可以直接内存访问的数据流自动控制

（7） 可自动交换，符合大端 SHA-1 计算标准

（8） 可自动填充，以完成输入位串，使得可以适应模数为 512 消息摘要计算

（9） 连续消息块中摘要的 32 位字互相添加到彼此中，形成整个消息摘要

20.3 功能描述

当输入的消息长度低于 264 位时，SHA-1 和 MD5 将分别生成一个 160 位和 128 位的输出位串，称为消息摘要。可以通过数字签名算法处理它，以便生成或验证消息的签名。因为消息摘要一般远小于消息，签名消息摘要一般可提高流程的效率。数字签名的生成程序和验证程序需使用相同散列算法。

由于不能找出与某个指定的消息摘要对应的消息或两个生成相同消息摘要的不同消息，所以 SHA-1 和 MD5 是安全的。修改传输中的消息可能产生不同的消息摘要，从而无法验证签名。

由散列处理器处理的消息或数据文件叫做位串。消息长度为其位数。可将该位串的 32 位视为一个字。对填充很重要的一点是，位串从左到右增长，位可以分为字节或字。

20.4 寄存器地址映射

表格 81 HASH 寄存器地址映射

寄存器名	描述	偏移地址
HASH_CTRL	HASH 控制寄存器	0x00
HASH_INDATA	HASH 输入数据寄存器	0x04
HASH_START	HASH 启动寄存器	0x08
HASH_DIGx	HASH 摘要寄存器 x	0x0C+（x*0x04），x=0…4
HASH_INT	HASH 中断寄存器	0x20
HASH_STS	HASH 状态寄存器	0x24
HASH_CTSWAPx	HASH 交换上下文寄存器 x	0xF8+（x*0x04），x=0…50

20.5 寄存器功能描述

20.5.1 HASH 控制寄存器（HASH_CTRL）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
1:0	保留		
2	INITCAL	R/W	计算初始化消息摘要(Initialize Message Digest Calculation) 向该位写入 1 会复位散列处理器内核，使得散列可以计算新的消息摘要。 向该位写入 0 无影响。读取该位将始终返回 0。
3	DMAEN	R/W	使能 DMA(DMA Enable) 0：禁止 1：使能。当散列内核可以接收数据时，发送 DMA 请求。 注意： （1）当 DMA 发出传输消息的最后一个数据时，此位被硬件清零。当 INITCAL=1 时此位不会清零。 （2）如果未设置此位，但此时已请求了 DMA 传输，则此位清零但不会中止当前传输。除非传输结束或 INITCAL=1，否则 DMA 接口都在内部继续使能。
5:4	DTYPE	R/W	选择数据类型(Data Type Select) 00：32 位数据。写入 HASH_INDATA 的数据不用重新排序就可以由散列处理使用。 01：16 位数据或半字。写入 HASH_INDATA 的数据被视为 2 个半字，在散列处理使用前需要交换。 10：8 位数据或字节。写入 HASH_INDATA 的数据被视为 4 个字节，在散列处理使用前需要交换。 11：位数据或位串。写入到 HASH_INDATA 的数据被视为 32 位，在散列处理使用前需要交换。
6	MODESEL	R/W	选择模式(Mode Select) 0：散列模式

位/域	名称	R/W	描述
			1：HMAC 模式。如果此时使用的密钥的长度大于 64 字节，设置则 LKEYSEL 位。 该位在 INITCAL 位置 1 时才有效。不能在计算期间设置该位。
7	ALGSEL	R/W	选择算法(Algorithm Select) 0：SHA-1 算法 1：MD5 算法 该位在 INITCAL 位置 1 时才有效。不能在计算期间设置该位。
11:8	WNUM	R	已推入的字数(Number of Words Already Pushed in) 该位表示消息中已推入到输入 FIFO 的字数。 如果对 HASH_INDATA 寄存器进行了写访问且设置了 DINNEMPT 位，此位逐一递增。对 INITCAL 位或 DIGCAL 位写 1 此位清零。 未使用 DMA 时： 0000：当 DINNEMPT=0，DIN 缓冲器没有字推入 0000：当 DINNEMPT=1，DIN 缓冲器已推入 1 个字 0001：DIN 缓冲器已推入 2 个字 ... 1111：DIN 缓冲器已推入 16 个字 使用 DMA 时，表示已推入到输入 FIFO 的字数。
12	DINNEMPT	R	数据输入缓冲器非空(DIN Not Empty) 当 HASH_INDATA 寄存器中有有效数据时，该位置 1。对 INITCAL 位或 DIGCAL 位写 1 此位清零。 0：无有效数据 1：至少包含一个字的数据
15:13	保留		
16	LKEYSEL	R/W	选择密钥（Key Select） HMAC 模式下： 0：短密钥（≤64 字节） 1：长密钥（＞64 字节） 该位在当 INITCAL 位和 MODESEL 位同时置 1 时才有效。不能在计算期间设置该位。
31:17	保留		

20.5.2 HASH 输入数据寄存器（HASH_INDATA）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	INDATA	R/W	输入数据(Input Data) 读取：返回寄存器的当前内容 写入：寄存器的当前内容推入输入 FIFO，且寄存器获取在 AHB 总线上的新值

20.5.3 HASH 启动寄存器（HASH_START）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
4:0	LWNUM	R/W	在散列处理器的位串结构中写入的最后一个字的有效位数（The Significant Number of the Last Word Written to the HASH Processor's Bitstring Structure） 当 DIGCAL=0 时写入此位可获取 AHB 总线上的值： 0x00：所有 32 位有效 0x01：位[31]有效 0x02：位[31:30]有效 0x03：位[31:29]有效 ... 0x1F：位[0]有效 当 DIGCAL=1 时写入此位则此位域不会改变。 读取这些位将返回写入此位的最后一个值。
7:5	保留		
8	DIGCAL	W	计算摘要(Digest Calculation) 当 DIGCAL=1 时将会使用 LWNUM 中的值来填充消息，且由于 INITCAL 位=1，所以写入到输入 FIFO 的所有数据字开始计算摘要。 读取该位返回 0。
31:9	保留		

20.5.4 HASH 摘要寄存器 x（HASH_DIGx）

偏移地址：0x0C+（x*0x04），x=0…4

复位值：0x0000 0000

x 为 0…4，即有 5 个寄存器，每个寄存器都用于存储摘要结果。

HASH_DIG0 寄存器的[31:0]位是 DIG0，HASH_DIG1 寄存器的[31:0]位是 DIG1，以此类推。

位/域	名称	R/W	描述
31:0	DIGx	R	散列摘要（HASH Digest）

20.5.5 HASH 中断寄存器（HASH_INT）

偏移地址：0x20

复位值：0x0000 0000

位/域	名称	R/W	描述
0	INDATA	R/W	使能数据输入中断(Data Input Interrupt Enable) 0：禁止 1：使能
1	DCALC	R/W	使能摘要计算完成中断(Digest Calculation Completion Interrupt Enable) 0：禁止 1：使能
31:2	保留		

20.5.6 HASH 状态寄存器（HASH_STS）

偏移地址：0x24

复位值：0x0000 0001

位/域	名称	R/W	描述
0	INDATAINT	RC_W0	数据输入中断状态(Data Input Interrupt Status) 在输入缓冲器 16 个位空闲时由硬件设置该位。向该位写 0 或向写 HASH_INDATA 寄存器可清除该位。 0：输入缓冲器中的没有 16 个空闲位 1：输入缓冲器中可以被输入一个新块。如果 HASH_INT[DCALC]=1，则产生一个中断。
1	DCALCINT	RC_W0	摘要计算完成中断状态 (Digest Calculation Completion Interrupt Status) 在摘要就绪时由硬件设置该位。向该位写 0 或向 HASH_CTRL[INITCAL]写入 1 可清除该位。 0：HASH_DIGx 寄存器中无任何摘要 1：已完成的摘要计算存储在 HASH_DIGx 寄存器中。如果 HASH_INT[DCALC]=1，则产生一个中断。
2	DMA	R	DMA 状态(DMA Status) 该位与 DMAEN 同时设置且在 DMAEN=0 且未在进行 DMA 传输时被清零。该位不与中断相关联。 0：DMAEN=0 且未进行传输 1：DMAEN=1 或正在进行传输
3	BUSY	R	忙碌位(Busy Bit) 散列内核是否忙碌： 0：空闲 1：忙碌
31:4	保留		

20.5.7 HASH 交换上下文寄存器 x（HASH_CTSWAPx）

偏移地址：0xF8+（x*0x04），x=0…50

HASH_CTSWAP0 寄存器复位值： 0x0000 0002

HASH_CTSWAP1-50 寄存器复位值： 0x0000 0000

x 为 0…50，即有 51 个寄存器。

HASH_CTSWAP0 寄存器的[31:0]位是 CTSWAP0，HASH_ CTSWAP1 寄存器的[31:0]位是 CTSWAP1，以此类推。

位/域	名称	R/W	描述
31:0	CTSWAPx	R/W	交换上下文（Context Swap）

21 数字摄像接口（DCI）

注意：仅 APM32F407/417xExG 系列产品有此模块

21.1 术语全称、缩写描述

表格 82 术语全称、缩写描述

中文全称	英文全称	英文缩写
数字摄像接口	Digital Camera Interface	DCI
联合图像专家组（图像文件格式）	Joint Photo Experts Group	JPEG
水平同步	Horizontal Synchronization	HSYNC
垂直同步	Vertical Synchronization	VSYNC

21.2 简介

DCI 用于接收来自 CMOS 摄像头的高速数据流，它支持不同的数据格式，适用于黑白摄像头、X24 摄像头等。

21.3 主要特征

（1） 同步并行接口

（2） 可接收 8/10/12/14 位数据

（3） 支持的数据格式：
- YcbCr4:2:2 逐行视频
- RGB565 逐行视频
- 压缩图像（JPEG）
- 8/10/12/14 位逐行视频

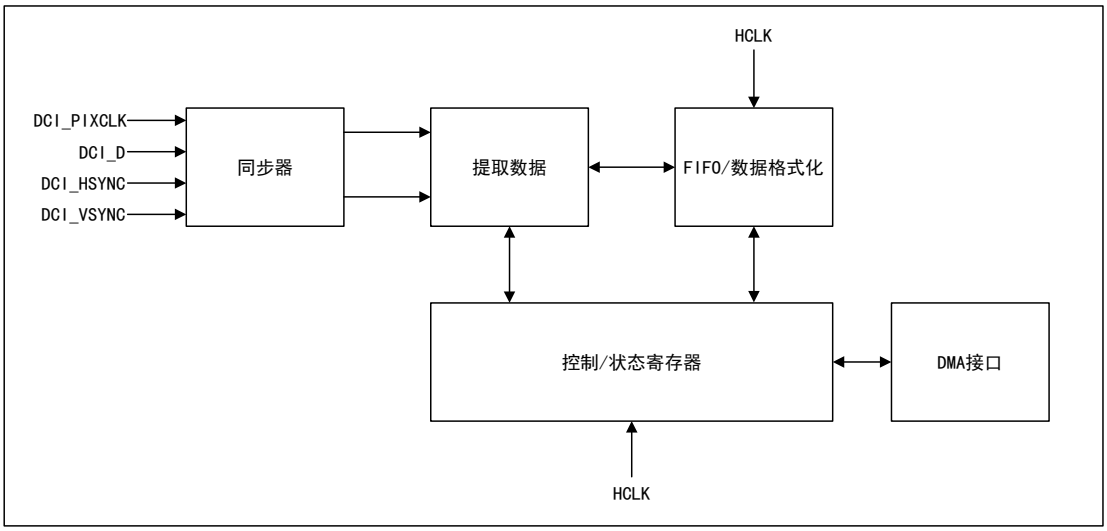
（4） 可选择像素时钟的边沿极性来捕获数据

（5） 数据通过 DMA 传输，且缓冲区由 DMA 管理

（6） 有两种同步方式
- 硬件同步：HSYNC 信号和 VSYNC 信号
- 软件同步（仅支持 8 位并行数据）：数据流中的内嵌码

21.4 结构框图

图 69DCI 结构框图



21.5 功能描述

21.5.1 信号说明

DCI 的物理接口输入信号（从模式下）由 8/10/12/14 位数据 DCI_D、像素时钟 PIXCLK、水平同步/数据有效 HSYNC 和垂直同步 VSYNC 组成。信号的说明如下表所示。

表格 83DCI 信号说明

名称	描述
DCI_D	DCI 捕获的 8/10/12/14 位数据，
PIXCLK	数据与之同步，且根据极性在 PIXCLK 的上升/下降沿变化
HSYNC	指示行的开始或结束
VSYNC	指示帧的开始或结束

21.5.2 像素时钟周期

DCI 捕获的数据可以是 8 位、10 位、12 位、14 位，那么如果要生成一个 32 位数据字，需要的像素时钟周期数就不一样。

32 位数据字分为 4 个 8 位字节，所以 DCI_D[7:0]可以存储为 8 位数据，而 DCI_D[9:0]、DCI_D[11:0]、DCI_D[13:0]可以分别存储为 16 位字的 10、12、14 个最低有效位，剩余的最高有效位将被清零。所以，32 位数据字能存储 4 个 8 位数据，或 2 个 10/12/14 位数据。

如下表所示，捕获的四种宽度的数据在 32 位数据字存储的位置有所不同，生成 32 位数据字的像素时钟周期个数也不同。

表格 84 四种宽度的位置排布和所需的 PIXCLK 数量

	8 位数据	10 位数据	12 位数据	14 位数据
32 位数据字的 LSB 位置	第 1 个字节	第 1 个字节	第 1 个字节	第 1 个字节
32 位数据字的 MSB 位置	第 4 个字节	第 2 个字节	第 2 个字节	第 2 个字节
需要的像素时钟周期	4	2	2	2

21.5.3 同步模式

DCI 支持硬件同步和内嵌码同步。需要注意的是：

（1） 只有 8 位并行接口支持内嵌码同步。

（2） 对于压缩数据（JPEG），DCI 只能使用硬件同步。

21.5.3.1 硬件同步

硬件同步是指系统在 HSYNC 或 VSYNC 信号无效电平期间接收数据。

对于压缩数据，DCI 用 VSYNC 指示开始和结束，在 HSYNC 低电平时传输数据。

如果要将图像传输至 DMA/RAM 缓冲区，DCI 将使用 VSYNC 同步。在每一帧结束时激活垂直同步中断标志，就能使 DMA 管理连续帧。DMA 将连续帧传输至多个连续的缓冲区或能够循环的缓冲区， 传输就能连续被执行。

21.5.3.2 内嵌码同步

内嵌码同步是指系统用数据流中 32 位不再使用的值同步数据。

有两种模式，不同的模式的内嵌码不同。

模式 1

在有效行中或帧间消隐期内：

- SAV：代表行开始
- EAV：代表行结束

模式 2

同步码有 4 种事件类型：

- 帧开始（FS）
- 帧结束（FE）
- 行开始（LS）
- 行结束（LE）

由 4 个字节组成，格式皆为 0xFF 00 00 XX（同步码）。同步码的值由 DCI_ESYNCC 寄存器编程。

21.5.4 捕获模式

21.5.4.1 快照模式

快照模式下，模块只捕获单帧。系统检测到“帧开始”后，开始对数据进行采样，捕获结束后 DCI_CTRL 寄存器的 CEN 位会清零，此时如果发生帧溢出，那么这个帧会丢失。

21.5.4.2 连续采集模式

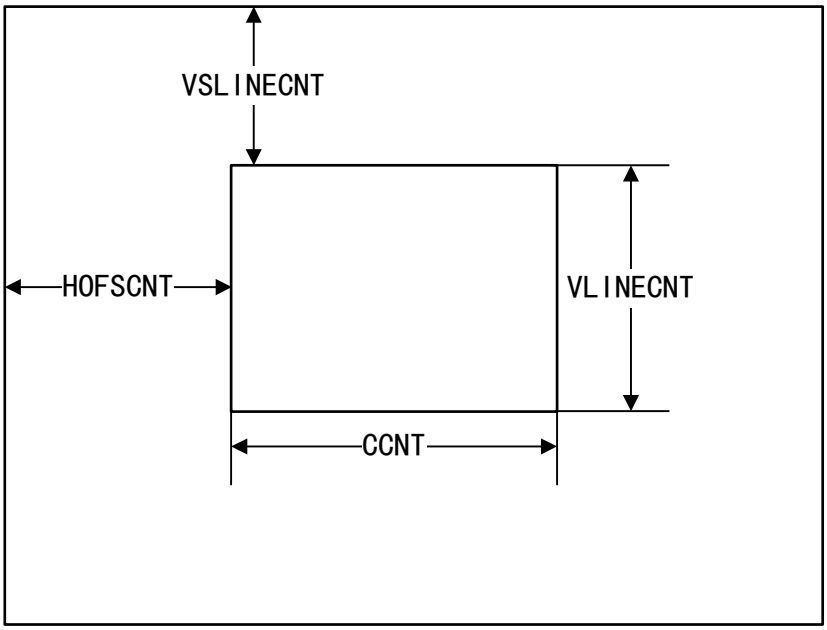
连续采集模式下，模块能够连续捕获帧，可通过设置 DCI_STS 寄存器的 FCRCFG 位，配置帧捕获频率。系统根据选择的同步模式，在检测到下一个 VSYNC 或帧开始同步码，对数据进行采集。在 DCI_CTRL 寄存器的 CEN 位置 1 时，采集会持续发生，直到该位被置清零且当前帧结束，采集将会停止。

21.5.5 裁剪

DCI 可以使用裁剪功能在图像中选中一个指定大小的窗口，窗口大小由 DCI_CROPWSTAT 寄存器和 DCI_CROPWSIZE 寄存器决定。

参数的定义如下图所示（中间的比较小的矩形为选中的窗口）。

图 70 裁剪窗口时的参数定义



需要注意的是，CCNT 的值必须为 4 的倍数才能通过 DMA 传输数据。

21.5.6 JPEG 格式

由于 JPEG 不是以帧或行而是以数据存储，所以 VSYNC 作为启动信号，HSYNC 作为数据使能信号，模块才能接收 JPEG 图像。

只有模块捕获到一个完整的 32 位字才能生成一个 DMA 请求，所以在检测到帧结束时，接收的数据不足 32 位，剩余位需要用“0”填充。

另外，JPEG 格式都不能够使用裁剪功能和内嵌码同步模式。

21.5.7 FIFO

模块配有一个 FIFO 控制器，实现了 4 个字深度的 FIFO，以此管理 AHB 上的数据传输。如果传输速率大于 AHB 能承受的最大速率，由于没有溢出保护，FIFO 的数据将会被覆盖。

当同步信号错误或 FIFO 溢出时，FIFO 将复位，DCI 等待新的数据帧。

21.5.8 数据格式

模块支持三种数据格式：

- 单色格式
- YcbCr 格式
- RGB565

以上 3 种数据的帧缓冲区都以光栅模式存储，使用 32 位字，支持小端对齐格式。

光栅模式是指，从像素行 0 的字 0 开始扫描，采用地址递增的顺序。

三种数据格式宽度不同，所以在 32 位字中的存储方式也有差别，如下表所示。

表格 85 不同数据格式的存储方式

<table>
<tr><th>位</th><th>15</th><th>14</th><th>13</th><th>12</th><th>11</th><th>10</th><th>9</th><th>8</th><th>7</th><th>6</th><th>5</th><th>4</th><th>3</th><th>2</th><th>1</th><th>0</th></tr>
<tr><td>单色</td><td colspan="8">n+1</td><td colspan="8">n</td></tr>
<tr><td>YcbCr</td><td colspan="8">Y n</td><td colspan="8">Cb n</td></tr>
<tr><td>RGB565</td><td colspan="5">红 n</td><td colspan="5">绿 n</td><td colspan="6">蓝 n</td></tr>
<tr><td>位</td><td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td></tr>
<tr><td>单色</td><td colspan="8">n+3</td><td colspan="8">n+2</td></tr>
<tr><td>YcbCr</td><td colspan="8">Y n+1</td><td colspan="8">Cr n</td></tr>
<tr><td>RGB565</td><td colspan="5">红 n+1</td><td colspan="5">绿 n+1</td><td colspan="6">蓝 n+1</td></tr>
</table>

21.5.9 DCI 中断

DCI 有五个中断源：

- IT_LINE：行结束
- IT_FRAME：帧捕获结束
- IT_OVR：接收数据溢出
- IT_VSYNC：同步帧
- IT_ERR：内嵌码同步帧检测时检测到错误

IT_DCI 是全局中断，当以上任一中断发生且没有被屏蔽，将产生全局中断。

21.6 寄存器地址映射

表格 86 DCI 寄存器地址映射

寄存器名	描述	偏移地址
DCI_CTRL	DCI 控制寄存器	0x00
DCI_STS	DCI 状态寄存器	0x04
DCI_RINTSTS	DCI 原始中断状态寄存器	0x08
DCI_INTEN	DCI 使能中断寄存器	0x0C
DCI_MINTSTS	DCI 屏蔽中断状态寄存器	0x10
DCI_INTCLR	DCI 清除中断寄存器	0x14
DCI_ESYNCC	DCI 嵌入式同步代码寄存器	0x18
DCI_ESYNCUM	DCI 嵌入式同步显示寄存器	0x1C
DCI_CROPWSTAT	DCI 裁剪窗口启动寄存器	0x20
DCI_CROPWSIZE	DCI 裁剪窗口大小寄存器	0x24
DCI_DATA	DCI 数据寄存器	0x28

21.7 寄存器功能描述

21.7.1 DCI 控制寄存器（DCI_CTRL）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
0	CEN	R/W	使能捕获（Capture Enable） 0：禁止 1：使能
1	CMODE	R/W	捕获模式（Capture Mode） 0：连续采集模式 1：快照模式
2	CROPF	R/W	裁剪参数（Crop Feature） 0：当图像帧包含的字节数是 4 的倍数时，模块能够获得完整图像 1：当窗口大小大于图像大小时，模块捕获整个图像，否则只捕获裁剪窗口寄存器（DCI_CROPWSTAT 和 DCI_CROPWSIZE）指定的区域的图像数据
3	JPGFM	R/W	JPEG 格式（JPEG Format） 0：未压缩的视频格式 1：JPEG 格式
4	ESYNCSEL	R/W	选择嵌入式同步（Embedded Synchronization Select） 0：选择硬件同步 1：选择内嵌码同步

位/域	名称	R/W	描述
5	PXCLKPOL	R/W	像素时钟极性（Pixel Clock Polarity） 0：下降沿捕获 1：上升沿捕获
6	HSYNCPOL	R/W	水平同步极性（Horizontal Synchronization Polarity） 0：数据在 HSYNC 低电平有效 1：数据在 HSYNC 高电平有效
7	VSYNCPOL	R/W	垂直同步极性（Vertical Synchronization Polarity） 0：数据在 VSYNC 低电平有效 1：数据在 VSYNC 高点平有效
9:8	FCRCFG	R/W	配置帧捕获频率（Frame Capture Rate Configure） 在连续采集模式下，此位配置帧捕获频率。 00：捕获所有帧 01：隔一个帧捕获一次 10：隔三个帧捕获一次 11：保留
11:10	EXDMOD	R/W	扩展数据模式（Extended Data Mode） 选择每个 PIXCLK 要捕获数据的宽度。 00：8 位 01：10 位 10：12 位 11：14 位
13:12	保留		
14	DCIEN	R/W	使能 DCI（DCI Enable） 0：禁止 1：使能
31:15	保留		

21.7.2 DCI 状态寄存器（DCI_STS）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
0	HSYNCSTS	R	HSYNC 引脚状态（Status of HSYNC Pin） 在选择内嵌码同步时，此位表示 HSYNC 引脚的状态。 0：有效帧 1：行之间同步
1	VSYNCSTS	R	VSYNC 引脚状态（Status of VSYNC Pin） 在选择内嵌码同步时，此位表示 VSYNC 引脚的状态。 0：有效帧 1：帧之间同步
2	FIFONEMP	R	FIFO 非空（FIFO Not Empty） 0：FIFO 空 1：FIFO 非空（包含数据）
31:3	保留		

21.7.3 DCI 原始中断状态寄存器（DCI_RINTSTS）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
0	CC_RINT	R	捕获完成原始中断状态（Capture Complete Raw Interrupt Status） 0：没有捕获新的数据 1：已捕获一个新的帧
1	OVR_RINT	R	下溢原始中断状态（Overrun Raw Interrupt Status） 0：无溢出 1：数据下溢
2	SYNCERR_RINT	R	同步错误原始中断状态（Synchronization Error Raw Interrupt Status） 在内嵌码同步模式下，模块没有按正确顺序接收内嵌码，则会产生同步错误中断。 0：无同步错误 1：检测到同步错误
3	VSYNC_RINT	R	VSYNC 信号原始中断状态（VSYNC Signal Raw Interrupt Status） VSYNC 信号从无效转为有效时，产生此中断。
4	LINE_RINT	R	行列原始中断状态（Line Raw Interrupt Status） HSYNC 信号从无效转为有效时，产生此中断。
31:5	保留		

21.7.4 DCI 使能中断寄存器（DCI_INTEN）

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
0	CCINTEN	R/W	使能捕获完成中断（Capture Complete Interrupt Enable） 0：禁止 1：使能
1	OVRINTEN	R/W	使能下溢中断（Overrun Interrupt Enable） 0：禁止 1：使能
2	SYNCERRINTEN	R/W	使能同步错误中断（Synchronization Error Interrupt Enable） 0：禁止 1：使能
3	VSYNCINTEN	R/W	使能 VSYNC 信号中断（VSYNC Signal Interrupt Enable） 0：禁止 1：使能
4	LINEINTEN	R/W	使能行列中断（Line Interrupt Enable） 0：禁止 1：使能
31:5	保留		

21.7.5 DCI 屏蔽中断状态寄存器（DCI_MINTSTS）

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
0	CC_MINT	R	捕获完成屏蔽中断状态（Capture Complete Masked Interrupt Status） 0：屏蔽 1：不屏蔽
1	OVR_MINT	R	下溢屏蔽中断状态（Overrun Masked Interrupt Status） 0：屏蔽 1：不屏蔽
2	SYNCERR_MINT	R	同步错误屏蔽中断状态（Synchronization Error Masked Interrupt Status） 0：屏蔽 1：不屏蔽
3	VSYNC_MINT	R	VSYNC 信号屏蔽中断状态（VSYNC Signal Masked Interrupt Status） 0：屏蔽 1：不屏蔽
4	LINE_MINT	R	行列屏蔽中断状态（Line Masked Interrupt Status） 0：屏蔽 1：不屏蔽
31:5	保留		

21.7.6 DCI 清除中断寄存器（DCI_INTCLR）

偏移地址：0x14

复位值：0x0000 0000

位/域	名称	R/W	描述
0	CC_INTCLR	W	清除捕获完成中断状态（Capture Complete Interrupt Status Clear） 向此位写 1 清除 DCI_RINTSTS[0]。
1	OVR_INTCLR	W	清除下溢中断状态（Overrun Interrupt Status Clear） 向此位写 1 清除 DCI_RINTSTS[1]。
2	SYNCERR_INTCLR	W	清除同步错误中断状态（Synchronization Error Interrupt Status Clear） 向此位写 1 清除 DCI_RINTSTS[2]。
3	VSYNC_INTCLR	W	清除 VSYNC 信号中断状态（VSYNC Signal Interrupt Status Clear） 向此位写 1 清除 DCI_RINTSTS[3]。
4	LINE_INTCLR	W	清除行列中断状态（Line Interrupt Status Clear） 向此位写 1 清除 DCI_RINTSTS[4]。
31:5	保留		

21.7.7 DCI 嵌入式同步代码寄存器（DCI_ESYNCC）

偏移地址：0x18

复位值：0x0000 0000

分隔码均由 4 个字节组成，格式为 0xFF 00 00 XX（分隔码）。关于分隔码的定义，详见正文。

此寄存器用作编程分隔码的值。

位/域	名称	R/W	描述
7:0	FSDC	R/W	帧头分隔符代码（Frame Start Delimiter Code）
15:8	LSDC	R/W	列头分隔符代码（Line Start Delimiter Code）
23:16	LEDC	R/W	列尾分隔符代码（Line End Delimiter Code）
31:24	FEDC	R/W	帧尾分隔符代码（Frame End Delimiter Code）

21.7.8 DCI 嵌入式同步显示寄存器（DCI_ESYNCUM）

偏移地址：0x1C

复位值：0x0000 0000

此寄存器用于决定是否屏蔽内嵌码分隔符，当屏蔽时，不将接收到的数据与分隔符做对比，当分隔符显示时，模块会把 DCI_ESYNCC 中的值与数据相应位的值作对比。

位/域	名称	R/W	描述
7:0	FSDUM	R/W	显示帧头分隔符（Frame Start Delimiter Unmask） 0：屏蔽 1：显示
15:8	LSDUM	R/W	显示列头分隔符（Line Start Delimiter Unmask） 0：屏蔽 1：显示
23:16	LEDUM	R/W	显示列尾分隔符（Line End Delimiter Unmask） 0：屏蔽 1：显示
31:24	FEDUM	R/W	显示帧尾分隔符（Frame End Delimiter Unmask） 0：屏蔽 1：显示

21.7.9 DCI 裁剪窗口启动寄存器（DCI_CROPWSTAT）

偏移地址：0x20

复位值：0x0000 0000

位/域	名称	R/W	描述
13:0	HOFSCNT	R/W	水平偏移值（Horizontal Offset Count） 此值为，在捕获数据前，应在窗口行空出的 PIXCLK 个数。
15:14	保留		
28:16	VSLINECNT	R/W	垂直起始列计数（Vertical Start Line Count） 此位决定从哪一行开始捕获数据。 0x0000：行 1 0x0001：行 2 ……
31:29	保留		

21.7.10 DCI 裁剪窗口大小寄存器（DCI_CROPWSIZE）

偏移地址：0x24

复位值：0x0000 0000

位/域	名称	R/W	描述
13:0	CCNT	R/W	捕获计数（Capture Count） 此位的值为窗口内要捕捉的 PIXCLK 数。 0x0000：1 个 0x0001：2 个 ……
15:14	保留		
29:16	VLINECNT	R/W	垂直列计数（Vertical Line Count） 此值为窗口内包含的行数。 0x0000：1 行 0x0001：2 行 ……
31:30	保留		

21.7.11 DCI 数据寄存器（DCI_DATA）

偏移地址：0x28

复位值：0x0000 0000

DCI 每接收到 32 位数据，就会触发一次 DMA 请求。

此寄存器用于存放接收的数据。

位/域	名称	R/W	描述
7:0	DATA0	R	数据字节 0（Data Byte0）
15:8	DATA1	R	数据字节 1（Data Byte1）
23:16	DATA2	R	数据字节 2（Data Byte2）
31:24	DATA3	R	数据字节 3（Data Byte3）

22 通用同步异步收发器（USART）

22.1 术语全称、缩写描述

表格 87 术语全称、缩写描述

中文全称	英文全称	英文缩写
清除发送	Clear to Send	CTS
请求发送	Request to Send	RTS
最高有效位	Most Significant Bit	MSB
最低有效位	Least Significant Bit	LSB
保护	Guard	GRD
过载	Overrun	OVR

22.2 简介

USART（通用同步异步收发器）是一个可以灵活地与外部设备进行全双工、半双工数据交换的串行通信设备，且同时满足外部设备对工业标准 NRZ 异步串行数据格式的要求。USART 还提供宽范围的波特率选择，且支持多处理器通信。

USART 不仅支持标准的异步收发模式，也支持一些其他的串行数据交换模式，如 LIN 协议、智能卡协议、IrDA SIR ENDEC 规范和硬件流控制模式。

USART 还支持使用 DMA 功能，以实现高速数据通信。

22.3 主要特征

（1） 全双工异步通信

（2） 单线半双工通信

（3） NRZ 标准格式

（4） 可编程的串口特性：
- 数据位：8 位或 9 位
- 校验位：偶校验、奇校验、无校验
- 支持 0.5、1、1.5、2 个停止位

（5） 校验控制
- 发送校验位
- 校验接收的数据

（6） 选择速度和时钟容忍度采用可编程的 8 倍或 16 倍过采样率

（7） 独立的发送器和接收器使能位

（8） 可编程的波特率发生器

（9） 多处理器通信：
- 若地址不匹配，则进入静默模式
- 通过空闲总线检测或地址标记检测，从静默模式中唤醒

（10） 同步发送模式

（11） LIN 断开帧的生成与检测

（12） 支持 ISO7816-3 标准的智能卡接口

（13） 支持 IrDA 协议

（14） 支持硬件流控制

（15） 可利用 DMA 连续通信

（16） 状态标志位：
- 发送检测标志：发送寄存器为空、接收寄存器不为空、发送完成
- 错误检测标志：溢出错误、噪音错误、奇偶校验错误、帧错误

（17） 多个中断源：
- 发送寄存器为空
- 发送完成
- CTS 改变
- 接收寄存器不为空
- 过载错误
- 总线空闲
- 奇偶校验错误
- LIN 断开检测
- 噪音错误
- 溢出错误
- 帧错误

22.4 功能描述

表格 88 USART 引脚描述

引脚	类型	描述
USART_RX	输入	数据接收
USART_TX	输出 I/O（单线模式/智能卡模式）	数据发送 当发送器被使能且不发送数据时，默认为高电平
USART_CK	输出	时钟输出
USART_nRTS	输入	硬件流控制模式中请求发送
USART_nCTS	输出	硬件流控制模式中清除发送
IrDA_RDI	输入	IrDA 模式中的数据输入

引脚	类型	描述
IrDA_TDO	输出	IrDA 模式中的数据输出

22.4.1 单线半双工通信

USART_CTRL3 寄存器的 HDEN 位决定是否进入单线半双工模式。

当 USART 进入单线半双工模式时：

- USART_CTRL2 寄存器的 CLKEN 位、LINMEN 位，USART_CTRL3 寄存器的 IREN 位、SCEN 位必须清 0。
- 禁止使用 RX 引脚。
- TX 脚应配置成开漏输出，并在芯片内部与 RX 引脚相连。
- 发送数据和接收数据不可同时进行，在数据发送前，不可以接收数据。若需要接收数据，必须在 USART_STS 寄存器的 TXCFLG 位置 1 后才可开启使能接收。
- 若总线上出现数据冲突，需要使用软件管理分配通信过程。

22.4.2 帧格式

通过 USART_CTRL1 寄存器控制数据帧的帧格式

- DBLCFG 位控制字符长度，可设置为 8 位或 9 位。
- PCEN 位控制是否开启校验位。
- PCFG 位控制校验位为奇校验还是偶校验。

表格 89 帧格式

DBLCFG 位	PCEN 位	USART 数据帧
0	0	起始位+8 位数据+停止位
0	1	起始位+7 位数据+奇偶检验位+停止位
1	0	起始位+9 位数据+停止位
1	1	起始位+8 位数据+奇偶检验位+停止位

可配置的停止位

可以通过 USART_CTRL2 寄存器的 STOPCFG 位来配置 4 种不同的停止位。

- 1 个停止位：默认的停止位。
- 0.5 个停止位：智能卡模式里接收数据时使用。
- 2 个停止位：常规模式、单线模式、硬件流控制模式使用。
- 1.5 个停止位：智能卡模式里发送与接收数据时使用。

校验位

USART_CTRL1 的 PCFG 位决定奇偶校验位，当 PCFG=0 时，为偶校验，反之为奇校验。

- 偶校验：帧数据和校验位 1 的个数为偶数时，偶校验位为 0，否则为 1。

- 奇校验：帧数据和校验位 1 的个数为偶数时，奇校验位为 1，否则为 0。

22.4.3 发送器

当寄存器 USART_CTRL1 的 TXEN 位被设置时，发送移位寄存器将通过 TX 脚输出数据，相应的时钟脉冲通过 CK 脚输出。

22.4.3.1 字符发送

USART 发送期间，数据的最低有效位会先被 TX 引脚移出。在此模式下，USART_DATA 寄存器有一个缓冲器，处于内部总线和发送移位寄存器之间。

一个数据帧由起始位、字符、停止位组成的，所以每个字符前面都有一个低电平的起始位；之后有一个数目可配置的高电平的停止位。

发送配置步骤

- 置位 USART_CTRL1 寄存器的 UEN 位，使能 USART。
- 通过设置 USART_CTRL1 寄存器的 DBLCFG 位来决定字长。
- 通过设置 USART_CTRL2 寄存器的 STOPCFG 位来决定停止位位数。
- 若选择多缓冲器通信，需在 USART_CTRL3 寄存器中使能 DMA。
- 在 USART_BR 寄存器中设置通信的波特率。
- 使能 USART_CTRL1 寄存器的 TXEN 位，发送一个空闲帧。
- 等待 USART_STS 寄存器的 TXBEFLG 位置 1。
- 向 USART_DATA 寄存器写入数据（如果未使能 DMA，则每个需要发送的字节都要重复步骤 7-8）。
- 等待 USART_STS 寄存器的 TXCFLG 位置 1，表示发送完成。

注意：不能在发送数据期间复位 TXEN 位，否则 TX 脚上的数据会被破坏，因为波特率发生器停止计数，正在发送的数据也将丢失。

22.4.3.2 单字节通信

对 USART_DATA 寄存器进行写操作可以将 TXBEFLG 位清零。当 TXBEFLG 位被硬件置位时，移位寄存器接收到由数据发送寄存器转移过来的数据，数据发送就开始了，此时数据发送寄存器被清空。可以在数据寄存器中写入下一个数据，且不会覆盖前面的数据。

（1） 若 USART_CTRL1 寄存器中的 TXBEIEN 置 1，则会产生一个中断。

（2） 若 USART 处于发送数据的状态时，对数据寄存器进行写操作，把数据存到 DATA 寄存器，并在当前数据发送结束时把该数据转移到移位寄存器中。

（3） 若 USART 处于空闲状态时，对数据寄存器进行写操作，把数据放到移位寄存器中，开始发送数据，TXBEFLG 位置 1。

（4） 当一个数据发送完成并设置了 TXBEFLG 位时，TXCFLG 位被置 1，此时若 USART_CTRL1 寄存器中的 TXCIEN 位被置 1，则会产生一个中断。

（5） 在 USART_DATA 寄存器中写入最后一个数据后，在进入低功耗模式之前或关闭 USART 模块之前，必须先等待 TXCFLG 置 1。

22.4.3.3 断开帧

断开帧被视为在一个帧周期内全部收到 0。设置 USART_CTRL1 寄存器的 TXBF 位可发送一个断开帧，断开帧的长度由 USART_CTRL1 寄存器的 DBLCFG 位决定。若将 TXBF 位置位，则当前数据发送完成后，TX 线上将发送一个断开帧，断开帧发送完成时 TXBF 位被复位。在断开帧结束时，发送器再插入 1 或 2 个停止位来应答起始位。

注意：若在开始发送断开帧之前就复位了 TXBF 位，将不再发送断开帧。若要发送两个连续的断开帧，应该在前一个断开符的停止位之后置起 TXBF 位。

22.4.3.4 空闲帧

空闲帧被视为完全由 1 组成的一个完整的数据帧，后面跟着包含了数据的下一帧的开始位。将 USART_CTRL1 寄存器的 TXEN 位置 1，可以在第一个数据帧前发送一个空闲帧。

22.4.4 接收器

22.4.4.1 字符接收

USART 接收期间，RX 脚会首先引进数据的最低有效位。在此模式下，USART_DATA 寄存器有一个缓冲器，处于内部总线和接收移位寄存器之间。数据一位一位地送入缓冲器，接收满后，对应的接收寄存器不为空，此时用户可读取 USART_DATA。

接收配置步骤

- 置位 USART_CTRL1 寄存器的 UEN 位，使能 USART。
- 通过设置 USART_CTRL1 寄存器的 DBLCFG 位来决定字长。
- 通过设置 USART_CTRL2 寄存器的 STOPCFG 位来决定停止位位数。
- 若选择多缓冲器通信，需在 USART_CTRL3 寄存器中使能 DMA。
- 在 USART_BR 寄存器中设置通信的波特率。
- 设置 USART_CTRL1 的 RXEN 位，使能接收。

注意：

（1）不能在接收数据期间复位 RXEN 位，否则将丢失正在接收的字节。

（2）接收器在接收一个数据帧的过程中，若检测到溢出错误,噪音错误，帧错误等，错误标志被置 1。

（3）当数据从移位寄存器中被转移到 USART_DATA 寄存器中时，USART_STS 寄存器的 RXBNEFLG 位被硬件置位。

（4）若设置 RXBNEIEN 位将产生一个中断。

（5）单缓冲器模式中，软件读取 USART_DATA 寄存器能清除 RXBNEFLG 位，也可对其写 0 清除。

（6）多缓冲器模式中，每个字节被接收后，USART_STS 寄存器的 RXBNEFLG 位都会被置 1，且 DMA 对数据寄存器进行读操作而清零。

22.4.4.2 断开帧

当接收器接收到一个断开帧时，USART 会像接收到帧错误一样处理它。

22.4.4.3 空闲帧

当接收器接收到一个空闲帧时，USART 会像接收到普通数据帧一样处理它，如果设置 USART_CTRL1 的 IDLEIEN 位，将产生一个中断。

22.4.4.4 过采样率

USART_CTRL1 寄存器的 OSMCFG 位决定过采样率。

若过采样率为波特率的 8 倍，则速度较高，但时钟容忍度较小，若为 16 倍则相反。

22.4.4.5 溢出错误

若 USART_STS 寄存器的 RXBNEFLG 位置 1，同时接收到一个新的字符，则会产生溢出错误。只有当 RXEN 复位后才能把数据从移位寄存器转移到 DATA 寄存器。接收到字节后 RXBNEFLG 位会置 1。该位需要在接收到下一个数据或还没服务先前的 DMA 请求前复位，否则将产生溢出错误。

当产生溢出错误时

- USART_STS 的 OVREFLG 位置 1。
- 不会丢失 DATA 寄存器中的数据。
- 覆盖之前接收到的移位寄存器中的数据，但不会保存后面接收到的数据。
- 若 USART_CTRL1 的 RXBNEIEN 位置 1，则会产生一个中断。
- 当 OVREFLG 位置 1 时，表明已经有数据丢失。可分为两种可能：
  - 当 RXBNEFLG=1 时，上一个有效数据还在 DATA 寄存器上，可以进行读操作。
  - 当 RXBNEFLG=0 时，DATA 寄存器中没有有效数据。
- 对 USART_STS 和 USART_DATA 寄存器依次进行读操作，可以复位 OVREFLG 位。

22.4.4.6 噪音错误

当接收器在接收过程中检测到噪音时：

- 在 USART_STS 寄存器的 RXBNEFLG 位的上升沿设置 NE 标志。
- 无效数据从移位寄存器发送到 USART_DATA 寄存器。

注意：8 倍过采样率不能在 LIN、智能卡和 IrDA 模式下使用。

22.4.4.7 帧错误

若因为噪音过大或没有同步而没有在预计的接收时间接收和识别到停止位，会检测到帧错误。

当接收器在接收过程中检测到帧错误时：

（1） 置位 USART_STS 寄存器的 FEFLG 位。

（2） 无效数据从移位寄存器发送到 USART_DATA 寄存器。

（3） 在单字节通信时不会产生中断，但在多缓冲区通信时置位 USART_CTRL3 寄存器的 ERRIEN 位就会产生一个中断。

22.4.5 波特率发生器

波特率分频系数（USARTDIV）是一个 16 位的数字，包含 12 位整数部分和 4 位小数部分。它与系统时钟的关系：

波特率＝PCLK/16×（USARTDIV）

USART2/3 的系统时钟为 PCLK1，USART1 的系统时钟为 PCLK2。必须在时钟控制单元使能系统时钟之后再使能 USART。

22.4.6 多处理器通信

在多处理器通信中，多个 USART 连接组成一个网络。在该网络中，两个设备进行通信，其余不参与通信的设备，为减轻 USART 的负担，可启用静默模式。在静默模式中，不会设置任何接收状态位，禁止所有接收中断。

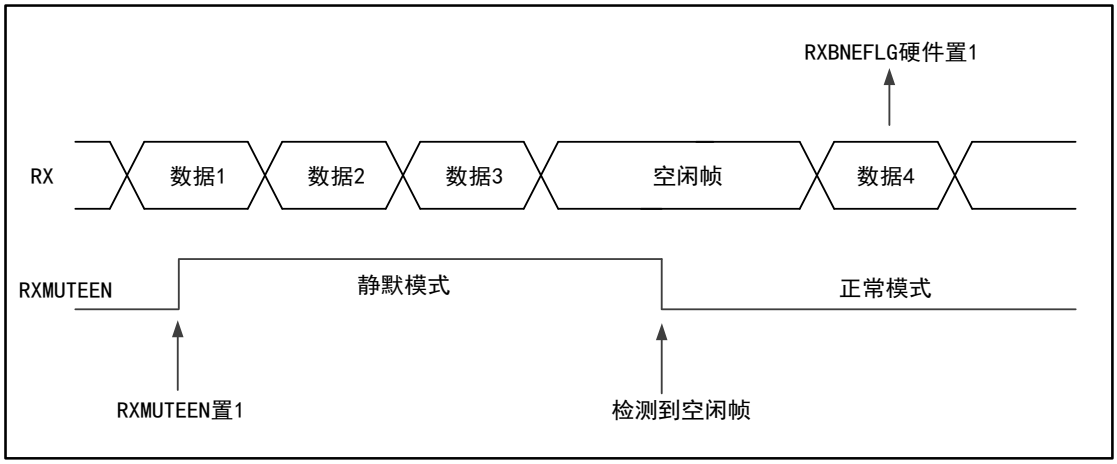
当启用静默模式后，有两种方法可退出静默模式:

- WUPMCFG 位被清除，总线空闲可退出静默模式。
- WUPMCFG 位被置位，收到地址标记可退出静默模式。

空闲总线检测（WUPMCFG=0）

当 RXMUTEEN 置 1 时，USART 则进入静默模式，当检测到空闲帧时，能从静默模式中被唤醒，同时 RXMUTEEN 位被硬件清 0。RXMUTEEN 还可以通过软件清 0。

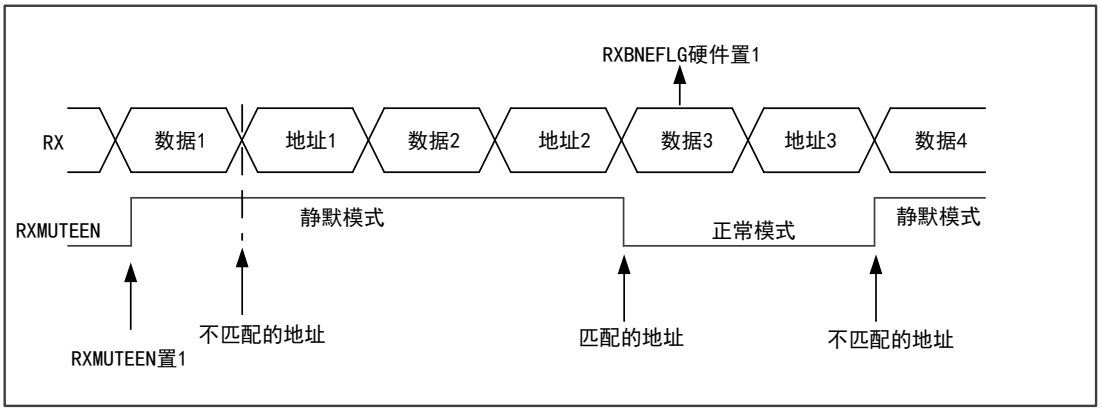
图 71 空闲总线退出静默模式



地址标记检测（WUPMCFG=1）

如果地址标志位为 1，该字节被认为是地址。地址字节低 4 位存放地址，当接收器收到地址字节时，会先与自己的地址作比较。若地址不匹配，则进入静默模式，若地址匹配，则接收器从静默模式中被唤醒，并准备接收下一个字节。若退出静默模式后再次收到地址字节，但地址与自己的地址不匹配，则接收器会再次进入静默模式。

图 72 地址标记退出静默模式



22.4.7 同步模式

同步模式支持主模式下的全双工同步串行通信，比异步模式多了一个可以输出同步时钟的信号线 USART_CK。

USART_CTRL2 寄存器的 CLKEN 位决定是否进入同步模式。

当 USART 进入同步模式时：

- USART_CTRL2 寄存器的 LINMEN 位，USART_CTRL3 寄存器的 IREN,HDEN 和 SCEN 位必须清 0。
- 数据帧的起始位和停止位无时钟输出。
- 数据帧的最后一个数据位是否产生 USART_CK 时钟，由寄存器 USART_CTRL2 的 LBCPOEN 位决定。
- USART_CK 的时钟极性由 USART_CTRL2 寄存器的 CPOL 位决定。
- USART_CK 的相位由 USART_CTRL2 寄存器的 CPHA 位决定。
- 总线空闲或出现断开帧时不能激活外部 CK 时钟。

图 73 USART 同步发送的例子

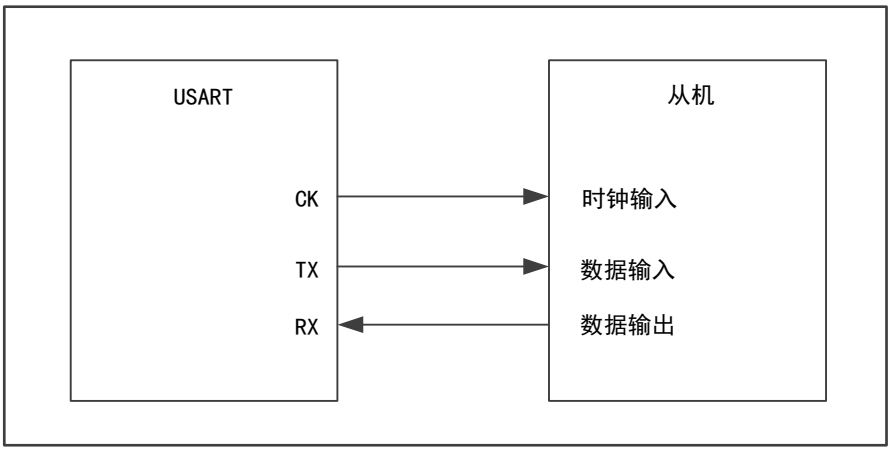


图 74 USART 同步发送时序图（DBLCFG=0）

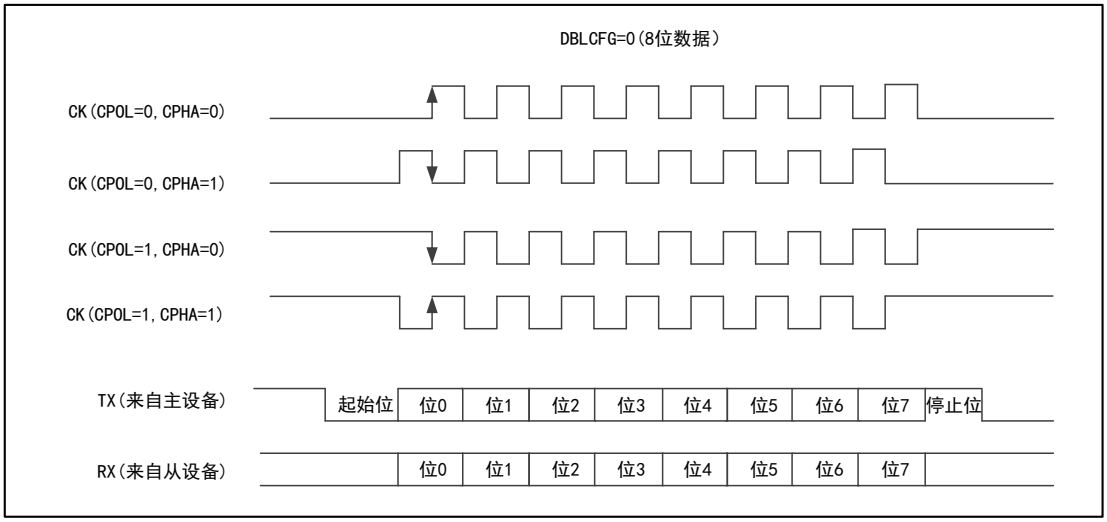
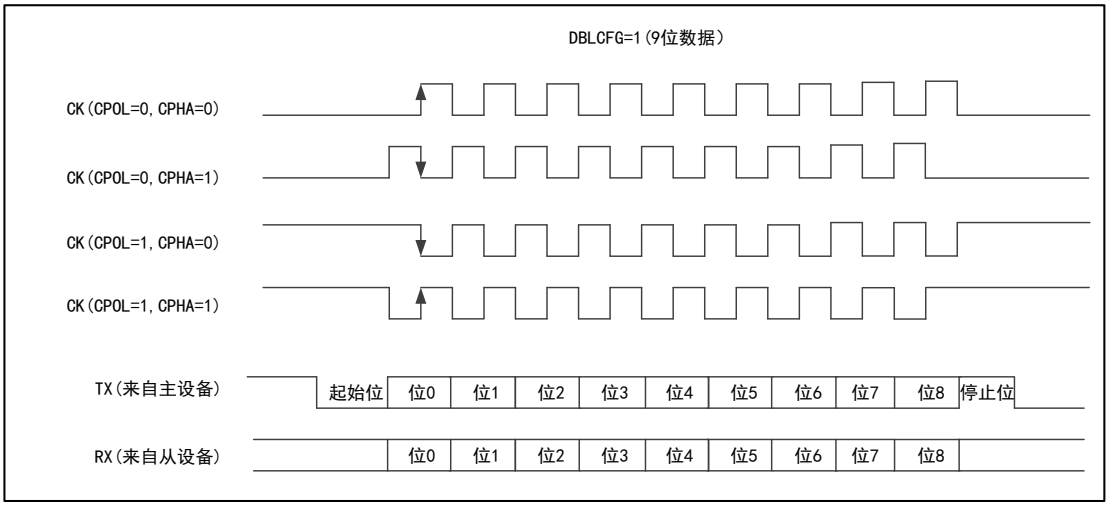


图 75 USART 同步发送时序图（DBLCFG=1）



22.4.8 LIN 模式

USART_CTRL2 寄存器的 LINMEN 位决定是否进入 LIN 模式。

当进入 LIN 模式时：

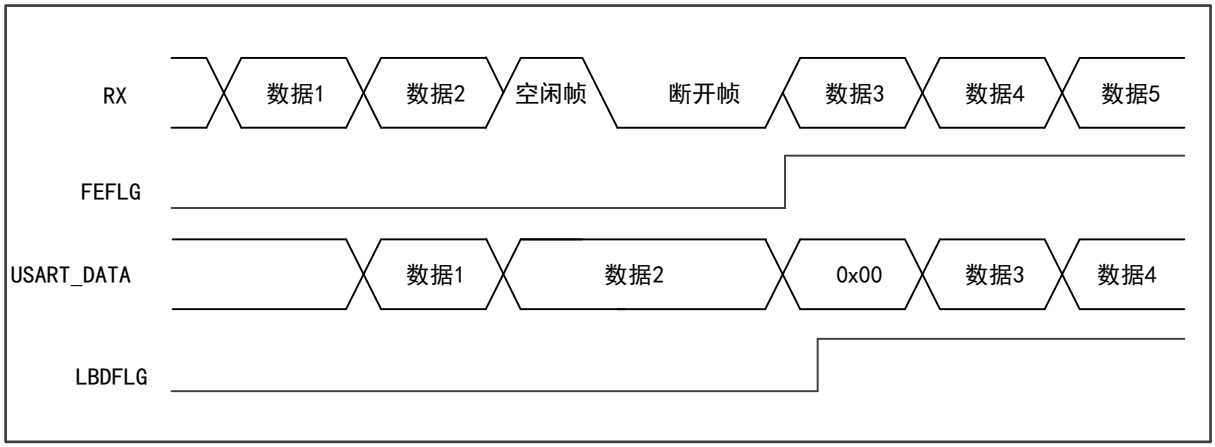
- 数据帧都为 8 位数据位和 1 位停止位。
- USART_CTRL2 寄存器的 CLKEN 位、STOPCFG 位，USART_CTRL3 寄存器的 IREN 位、HDEN 位和 SCEN 位都需要清 0。

USART 在 LIN 主模式下能生成断开帧，断开帧检测长度可通过 USART_CTRL2 的 LBDLCFG 位设置为 10 位、11 位。断开帧检测电路独立于 USART 接收器，无论是空闲状态，还是数据发送状态，RX 脚都会检测到断开帧，且 USART_STS 寄存器的 LBDFLG 位置 1，若此时使能 USART_CTRL2 的 LBDIEN 位，则会产生中断。

空闲状态检测断开帧

在空闲状态下，若 RX 脚上检测到断开帧，接收器会接收到一个为 0 的数据帧并会产生 FEFLG。

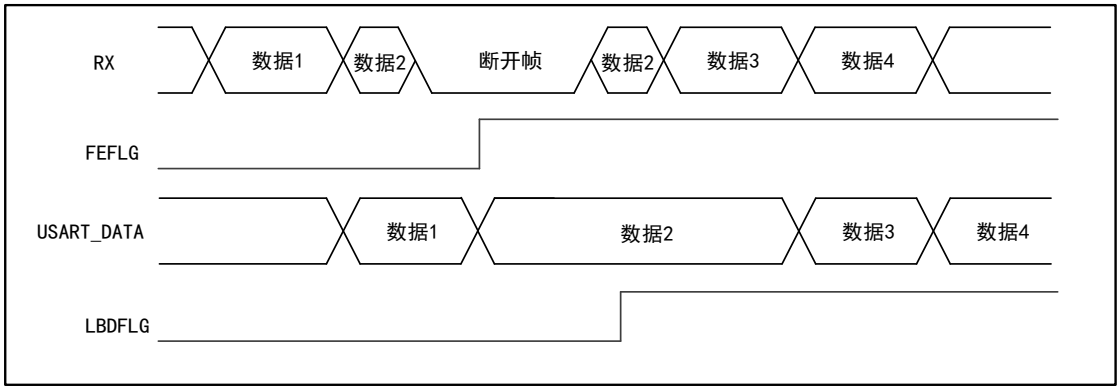
图 76 空闲状态检测断开帧



数据发送状态检测断开帧

在数据发送的过程中，若 RX 脚检测到断开帧，则当前发送的数据帧会产生 FEFLG。

图 77 数据发送状态检测断开帧



22.4.9 智能卡模式

智能卡模式是一种采用单线半双工通信的模式，该接口支持 ISO7816-3 标准协议，能控制读写符合该标准协议的智能卡。

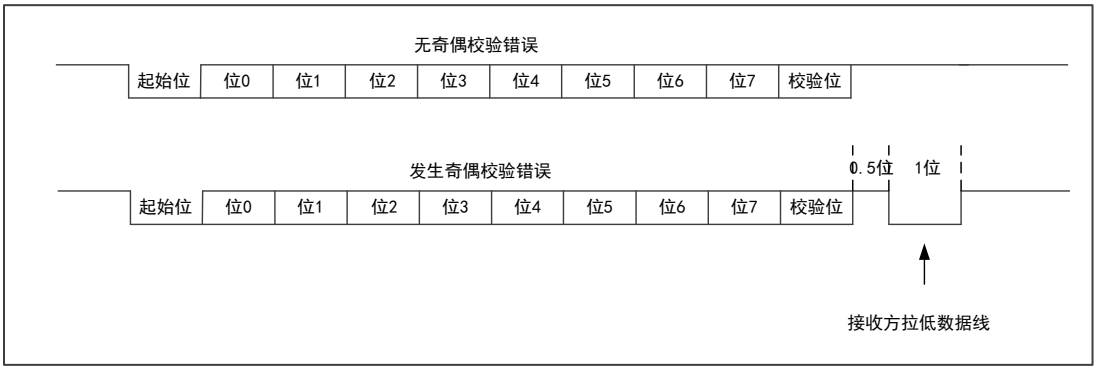
USART_CTRL3 寄存器的 SCEN 位决定是否进入智能卡模式。

当 USART 进入智能卡模式时：

- USART_CTRL2 寄存器的 LINMEN 位，USART_CTRL3 寄存器的 IREN 位、HDEN 位必须清 0。
- 数据帧格式为 8 个数据位加 1 个校验位，使用 0.5 或 1.5 个停止位。（为了避免在两种配置间转换，建议在发送和接收数据时使用 1.5 个停止位）

- 可以置位 USART_CTRL2 寄存器的 CLKEN 位，为智能卡提供时钟。
- 在通信期间，当接收方检测到奇偶校验错误时，为了通知发送方未成功接收数据，数据线会在半个波特率时钟后被拉低，并保持拉低 1 个波特率时钟。
- 断开帧在智能卡模式里没有意义，一个带帧错误的 00h 数据将被当成数据而不是断开符号。

图 78 ISO7816-3 标准协议



22.4.10 红外（IrDA SIR）功能模式

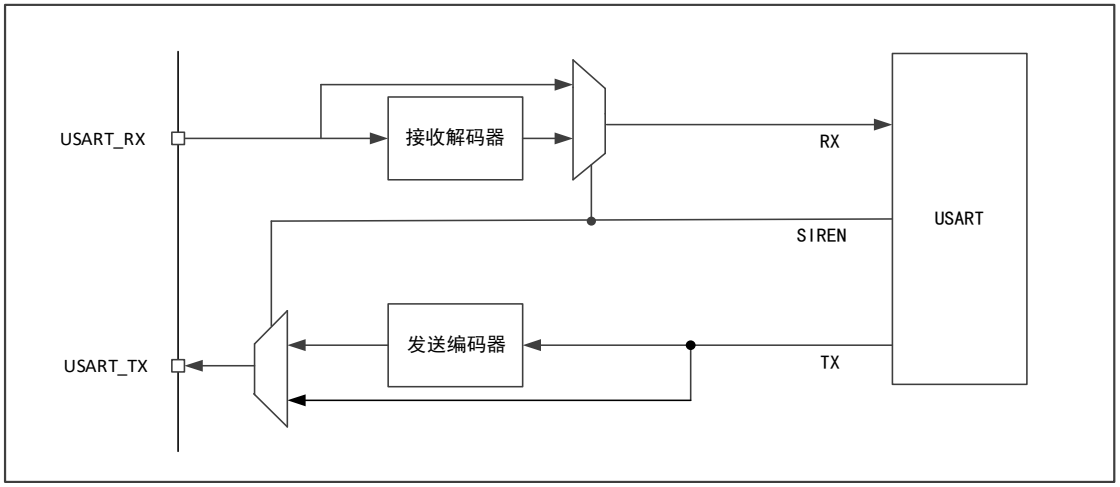
IrDA 模式是一个半双工协议，发送数据和接收数据不能同时进行，且数据发送与接收之间需要延时 10ms 以上。

USART_CTRL3 寄存器的 IREN 位决定是否进入 IrDA 模式。

当 USART 进入 IrDA 模式时：

- USART_CTRL2 寄存器的 CLKEN 位、STOPCFG 位和 LINMEN 位，USART_CTRL3 寄存器的 HDEN 位、SCEN 位都必须清 0。
- 数据帧使用 1 个停止位，波特率小于 115200Hz。
- 使用红外光脉冲（RZI）表示逻辑 0，所以在正常模式下，他的脉宽为 3/16 个波特率周期。IrDA 低功耗模式下，为确保 IrDA 正常检测到该脉冲，建议脉宽大于 3 个 DIV 分频时钟。

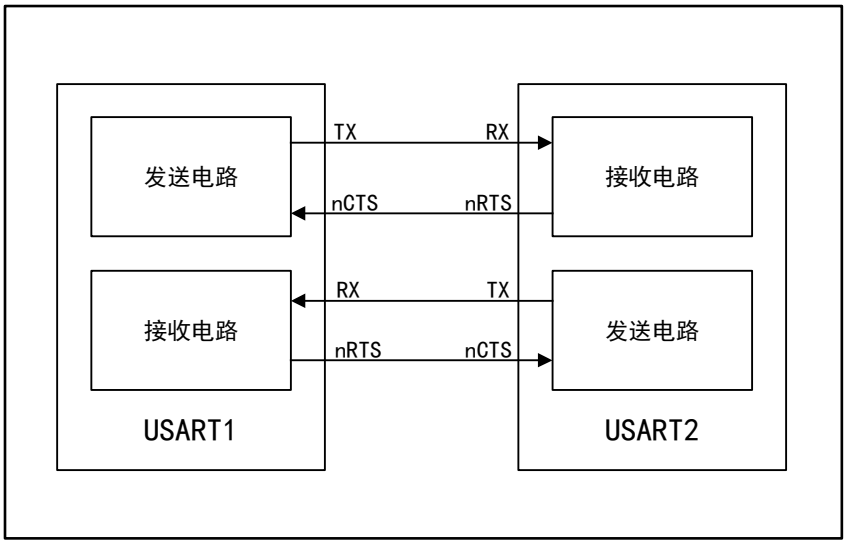
图 79 IrDA 模式框图



22.4.11 硬件流控制

硬件流控制功能是通过 nCTS 引脚和 nRTS 引脚来控制两个设备间的串行数据流。

图 80 两个 USART 之间的硬件流控制



CTS 流控制

USART_CTRL3 寄存器的 CTSEN 位决定是否使能 CTS 流控制，若使能 CTS 流控制，发送器会检测 nCTS 引脚的数据帧是否可以被发送。若 USART_STS 寄存器的 TXBEFLG 位=0 且 nCTS 被拉成低电平，则数据帧可以被发送。若 nCTS 在发送期间变为高电平，那么在当前的数据帧发送完成后，发送器将停止发送。

RTS 流控制

USART_CTRL3 寄存器的 RTSEN 位决定是否使能 RTS 流控制，若使能 RTS 流控制，当接收器接收数据时，nRTS 被拉成低电平，当一个数据帧接收完成时，nRTS 变为高电平以通知发送器停止发送数据帧。

22.4.12 DMA 多缓冲器通信

为了减轻处理器的负担，USART 可以用 DMA 方式访问数据缓冲区。

使用 DMA 方式发送

USART_CTRL3 寄存器上的 DMATXEN 位决定是否使用 DMA 方式发送。当用 DMA 发送时，在指定的 SRAM 区的数据会被 DMA 发送到发送缓冲区。

用 DMA 方式发送的配置步骤：

- 清零 USART_STS 寄存器的 TXCFLG 位。
- 把存放数据的 SRAM 存储器的地址设置为 DMA 源地址。
- 把 USART_DATA 寄存器的地址设置为 DMA 目的地址。
- 设置要发送的数据字节数。
- 设置通道优先级。

- 设置中断使能。
- 使能 DMA 通道。
- 等待 USART_STS 寄存器的 TXCFLG 位置 1，表示发送完成。

使用 DMA 方式接收

USART_CTRL3 寄存器的 DMARXEN 位决定是否使用 DMA 方式接收，当用 DMA 接收时，每收到一个字节，接收缓冲区的数据会被 DMA 发送到指定的 SRAM 区。

用 DMA 方式接收的配置步骤：

- 把 USART_DATA 寄存器的地址设置为 DMA 源地址。
- 把存放数据的 SRAM 存储器的地址设置为 DMA 目的地址。
- 设置要发送的数据字节数。
- 设置通道优先级。
- 设置中断使能。
- 使能 DMA 通道。

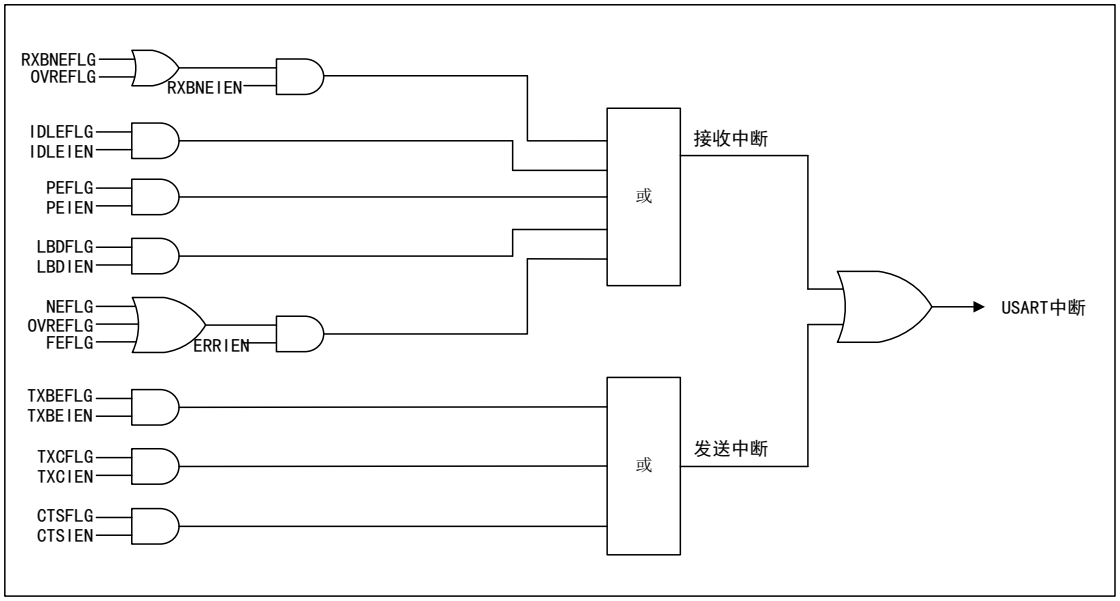
22.4.13 中断请求

表格 90 USART 中断请求

<table>
<tr><th colspan="2">中断事件</th><th>事件标志位</th><th>使能位</th></tr>
<tr><td colspan="2">接收寄存器不为空</td><td>RXBNEFLG</td><td rowspan="2">RXBNEIEN</td></tr>
<tr><td colspan="2">过载错误</td><td>OVREFLG</td></tr>
<tr><td colspan="2">检测到线路空闲</td><td>IDLEFLG</td><td>IDLEIEN</td></tr>
<tr><td colspan="2">奇偶检验错误</td><td>PEFLG</td><td>PEIEN</td></tr>
<tr><td colspan="2">LIN 断开帧标志</td><td>LBDFLG</td><td>LBDIEN</td></tr>
<tr><td rowspan="3">DMA 模式下的接收错误</td><td>噪音错误</td><td>NEFLG</td><td rowspan="3">ERRIEN</td></tr>
<tr><td>溢出错误</td><td>OVREFLG</td></tr>
<tr><td>帧错误</td><td>FEFLG</td></tr>
<tr><td colspan="2">数据发送寄存器空</td><td>TXBEFLG</td><td>TXBEIEN</td></tr>
<tr><td colspan="2">发送完成</td><td>TXCFLG</td><td>TXCIEN</td></tr>
<tr><td colspan="2">CTS 标志</td><td>CTSFLG</td><td>CTSIEN</td></tr>
</table>

USART 的中断请求都连接在同一个中断控制器上，中断请求在发送到中断控制器之前都是逻辑或关系。

图 81 USART 中断映射



22.4.14 USART 支持功能对比

表格 91 USART 支持功能对比

USART 模式	USART1	USART2	USART3	UART4	UART5	USART6
半双工（单线模式）	√	√	√	√	√	√
多处理器通讯	√	√	√	√	√	√
同步	√	√	√	—	—	√
异步模式	√	√	√	√	√	√
LIN	√	√	√	√	√	√
智能卡	√	√	√	—	—	√
IrDA	√	√	√	√	√	√
硬件流控制	√	√	√	—	—	√
多缓存通讯（DMA）	√	√	√	√	√	√

注意：“√”表示支持该功能，“—”表示不支持该功能。

22.5 寄存器地址映射

表格 92 USART 寄存器地址映射

寄存器名	描述	偏移地址
USART_STS	状态寄存器	0x00
USART_DATA	数据寄存器	0x04
USART_BR	波特率寄存器	0x08
USART_CTRL1	控制寄存器 1	0x0C

寄存器名	描述	偏移地址
USART_CTRL2	控制寄存器 2	0x10
USART_CTRL3	控制寄存器 3	0x14
USART_GTPSC	保护时间和预分频寄存器	0x18

22.6 寄存器功能描述

22.6.1 状态寄存器（USART_STS）

偏移地址：0x00

复位值：0x00C0

位/域	名称	R/W	描述
0	PEFLG	R	发生校验错误标志（Parity Error Occur Flag） 0：无错误 1：出现校验错误 在接收模式中，当出现奇偶校验错误时，由硬件置 1； 由软件清 0，需等 RXBNEFLG 置位后，先读取 USART_STS 寄存器，再读 USART_DATA 寄存器完成清 0。
1	FEFLG	R	发生帧错误标志（Frame Error Occur Flag） 0：无帧错误 1：出现帧错误或断开符 当出现同步错位、过多噪音或断开符时，由硬件置 1； 由软件清 0，先读取 USART_STS 寄存器，再读 USART_DATA 寄存器完成清 0。
2	NEFLG	R	发生噪音错误标志（Noise Error Occur Flag） 0：无噪音 1：出现噪音错误 当出现噪音错误时，由硬件置 1； 由软件清 0，先读取 USART_STS 寄存器，再读 USART_DATA 寄存器完成清 0。
3	OVREFLG	R	发生过载错误标志（Overrun Error Occur Flag） 0：过载出错误 1：出现过载错误 当 RXBNEFLG 位被置位，且移位寄存器中的数据要发送到接收寄存器时，由硬件置 1； 由软件清 0，先读取 USART_STS 寄存器，再读 USART_DATA 寄存器完成清 0。
4	IDLEFLG	R	检测到空闲总线标志（IDLE Line Detected Flag） 0：未检测到空闲总线 1：检测到空闲总线 当检测到空闲总线时，由硬件置 1； 由软件清 0，先读取 USART_STS 寄存器，再读 USART_DATA 寄存器完成清 0。

位/域	名称	R/W	描述
5	RXBNEFLG	RC_W0	接收数据缓冲器不为空标志（Receive Data Buffer Not Empty Flag） 0：接收数据缓冲器为空 1：接收数据缓冲器不为空 当数据寄存器接收到接收移位寄存器发送的数据时，由硬件置 1； 由软件清 0，读取 USART_DATA 成清 0，或者对该位写 0 清除。
6	TXCFLG	RC_W0	发送数据完成标志（Transmit Data Complete Flag） 0：发送数据未完成 1：发送数据完成 当数据的最后一帧发送完成且 TXBEFLG 置位时，由硬件置 1； 由软件清 0，先读取 USART_STS 寄存器、再写 USART_DATA 寄存器完成清 0，或者对该位写 0 清除。
7	TXBEFLG	R	发送数据缓冲器为空标志（Transmit Data Buffer Empty Flag） 0：发送数据缓冲器不为空 1：发送数据缓冲器为空 当移位寄存器接收到发送数据寄存器发送的数据时，由硬件置 1； 由软件清 0，写 USART_DATA 寄存器完成清 0。
8	LBDFLG	RC_W0	检测到 LIN 断开标志（LIN Break Detected Flag） 0：没有检测到 LIN 断开 1：检测到 LIN 断开 当检测到 LIN 断开时，由硬件置 1； 由软件清 0，对该位写 0 清除。
9	CTSFLG	RC_W0	CTS 变化标志（CTS Change Flag） 0：nCTS 状态线上没有变化 1：nCTS 状态线上发生变化 若 CTSEN 位置位，当 nCTS 输入切换时，由硬件置 1； 由软件清 0，对该位写 0 清除。
31:10	保留		

22.6.2 数据寄存器（USART_DATA）

偏移地址：0x04

复位值：0xXXXX XXXX，X=未定义位

位/域	名称	R/W	描述
8:0	DATA	R/W	数据值(Data Value) 发送数据值或接收数据值；接收数据时从中读取，发送数据时向该寄存器写入数据。 如果使能了奇偶校验位，如果是 9 个数据位，则 DATA 的第 8 位是校验位；如果是 8 个数据位，则 DATA 的第 7 位是奇偶校验位。
31:9	保留		

22.6.3 波特率寄存器（USART_BR）

偏移地址：0x08

复位值：0x0000

位/域	名称	R/W	描述
3:0	FBR[3:0]	R/W	USART 波特率分频系数的小数部分（Fraction of USART Baud Rate Divider factor） USART 波特率分频系数的小数部分由这 4 位决定。
15:4	IBR[15:4]	R/W	USART 波特率分频系数的整数部分（Integer of USART Baud Rate Divider factor） USART 波特率分频系数的整数部分由这 12 位决定。
31:16	保留		

22.6.4 控制寄存器 1（USART_CTRL1）

偏移地址：0x0C

复位值：0x0000

位/域	名称	R/W	描述
0	TXBF	R/W	发送断开帧（Transmit Break Frame） 0：未发送 1：将要发送 此位可由软件置位，在发送断开帧的停止位时，由硬件将其清 0。
1	RXMUTEEN	R/W	使能接收静默模式（Receive Mute Mode Enable） 0：正常工作模式 1：静默模式 此位由软件置位或清 0，或当检测到唤醒序列时，硬件将其清 0。 USART 要先接收一个数据才可置于静默模式，这样才能被空闲总线检测唤醒。 在地址标记检测唤醒中，若置位 RXBNEFLG 位，则 RXMUTEEN 位不能被软件修改。
2	RXEN	R/W	使能接收（Receive Enable） 0：禁止 1：使能，并开始检测 RX 引脚上的起始位
3	TXEN	R/W	使能发送（Transmit Enable） 0：禁止 1：使能 除了在智能卡模式下，任何时候发送数据时，如果此位上有个 0 脉冲，那么在当前数据发送完成后，会发送一个空闲总线。 置位此位后，会延迟一个比特时间发送。
4	IDLEIEN	R/W	使能 IDLE 中断（IDLE Interrupt Enable） 0：禁止 1：当 IDLEFLG 置位时，产生中断
5	RXBNEIEN	R/W	使能接收缓冲区非空中断（Receive Buffer Not Empty Interrupt Enable） 0：禁止 1：当 OVREFLG 或 RXBNEFLG 置位时，产生中断
6	TXCIEN	R/W	使能发送完成中断（Transmit Complete Interrupt Enable） 0：禁止 1：当 TXCFLG 置位时，产生中断
7	TXBEIEN	R/W	使能发送缓冲区空中断（Transmit Buffer Empty Interrupt Enable） 0：禁止产生中断 1：当 TXBEFLG 置位时，产生中断

位/域	名称	R/W	描述
8	PEIEN	R/W	使能校验错误中断（Parity Error Interrupt Enable） 0：禁止产生中断 1：当 PEFLG 置位时，产生中断
9	PCFG	R/W	配置奇偶校验位（Odd/Even Parity Configure） 0：偶校验 1：奇校验 需要等当前正在发送的字节完成后，选择才会生效。
10	PCEN	R/W	使能检验控制（Parity Control Enable） 0：禁止 1：使能 若置位此位，发送数据时在最高位插入一个校验位；接收数据时，检查接收的数据的校验位是否正确。 需要等当前正在发送的字节完成后，校验控制才会生效。
11	WUPMCFG	R/W	配置唤醒方式（Wakeup Method Configure） 0：空闲总线唤醒 1：地址标记唤醒
12	DBLCFG	R/W	配置数据位长度（Data Bits Length Configure） 0：1 个起始位，8 个数据位，n 个停止位 1：1 个起始位，9 个数据位，n 个停止位 发送数据时不能修改此位。
13	UEN	R/W	使能 USART（USART Enable） 0：禁用 USART 分频器和输出 1：使能 USART 模块
14	保留		
15	OSMCFG	R/W	配置过采样模式（Oversampling Mode Configure） 0：16 倍过采样 1：8 倍过采样 只有在未使能 USART 时才能置位此位。
31:16	保留		

22.6.5 控制寄存器 2（USART_CTRL2）

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
3:0	ADDR[3:0]	R/W	设置 USART 设备节点地址（USART Device Node Address Setup） 此位只作用于多处理器通信下的静默模式，依据检测到的地址标记是否一致来决定进入静默模式还是唤醒。
4	保留		
5	LBDLCFG	R/W	配置 LIN 断开符检测长度（LIN Break Detection Length Configure） 0：10 位 1：11 位
6	LBDIEN	R/W	使能 LIN 断开符检测中断（LIN Break Detection Interrupt Enable） 0：禁止 1：当 LBDFLG 位置位，产生中断

位/域	名称	R/W	描述
7	保留		
8	LBCPOEN	R/W	使能输出最后一位时钟脉冲（Last Bit Clock Pulse Output Enable） 0：不从 CK 输出 1：从 CK 输出 此位只作用于同步模式；UART4 和 UART5 上不存在此位。
9	CPHA	R/W	配置时钟相位（Clock Phase Configure） 此位表明在第几个时钟边沿进行采样 0：第一个 1：第二个 此位只作用于同步模式；UART4 和 UART5 上不存在此位。
10	CPOL	R/W	配置时钟极性（Clock Polarity Configure） 当 USART 处于空闲状态时，CK 引脚的状态 0：低电平 1：高电平 此位只作用于同步模式，UART4 和 UART5 上不存在此位。
11	CLKEN	R/W	使能时钟（CK 引脚）（Clock Enable（CK pin）） 0：禁止 1：使能 UART4 和 UART5 上不存在此位。
13:12	STOPCFG	R/W	配置停止位（STOP Bit Configure） 00：1 个停止位 01：0.5 个停止位 10：2 个停止位 11：1.5 个停止位 UART4 和 UART5 上不存在此位。
14	LINMEN	R/W	使能 LIN 模式（LIN Mode Enable） 0：禁止 1：使能
31:15	保留		

注意：在使能发送后不能改写这三个位（CPOL、CPHA、LBCPOEN）。

22.6.6 控制寄存器 3（USART_CTRL3）

偏移地址：0x14

复位值：0x0000

位/域	名称	R/W	描述
0	ERRIEN	R/W	使能错误中断（Error Interrupt Enable） 0：禁止 1：使能，当 DMARXEN 置位并且 FEFLG、OVREFLG 或 NEFLG 其中一个置位时，产生中断。
1	IREN	R/W	使能红外功能（IrDA Function Enable） 0：禁止 1：使能
2	IRLPEN	R/W	使能红外低功耗模式（IrDA Low-power Mode Enable） 0：普通模式 1：低功耗模式

位/域	名称	R/W	描述
3	HDEN	R/W	使能半双工模式（Half-duplex Mode Enable） 0：禁止 1：使能
4	SCNACKEN	R/W	在智能卡功能下，使能出现校验错误时发送 NACK（NACK Transmit Enable During Parity Error in Smartcard Function） 0：不发送 NACK 1：发送 NACK UART4 和 UART5 上不存在此位。
5	SCEN	R/W	使能智能卡功能（Smartcard Function Enable） 0：禁止 1：使能 UART4 和 UART5 上不存在此位。
6	DMARXEN	R/W	使能 DMA 接收（DMA Receive Enable） 0：禁止 1：使能 UART4 和 UART5 上不存在此位。
7	DMATXEN	R/W	使能 DMA 发送（DMA Transmit Enable） 0：禁止 1：使能 UART4 和 UART5 上不存在此位。
8	RTSEN	R/W	使能 RTS 硬件流控制功能（RTS Hardware Flow Control Function Enable） 0：禁止 1：使能 RTS 中断 RTS：Require To Send 发送请求，为输出信号，说明已准备好接收。 当接收缓冲区有空间时才请求接收数据；当可以接收数据时，RTS 输出被拉至低电平。 UART4 和 UART5 上不存在此位。
9	CTSEN	R/W	使能 CTS 硬件流控制功能（CTS Hardware Flow Control Function Enable） 0：禁止 1：使能 CTS：Clear To Send 发送清除，为输入信号 当 CTS 输入信号为低电平时，才能发送数据，否则无法发送数据；若在发送数据时，CTS 信号被拉高，那么当这个数据发送完成后，将停止数据发送；如果在 CTS 为高电平时对数据寄存器进行写操作，则要等 CTS 有效时才会将这个数据发送出去。 UART4 和 UART5 上不存在此位。
10	CTSIEN	R/W	使能 CTS 中断（CTS Interrupt Enable） 0：禁止 1：CTSFLG 置位时产生中断 UART4 和 UART5 上不存在此位。
11	SAMCFG	R/W	配置采样方法（Sample Method Configure） 0：三次采样 1：单次采样，禁止噪音检测标志 只有在未使能 USART 时才能置位此位。
31:12	保留		

22.6.7 保护时间和预分频寄存器（USART_GTPSC）

偏移地址：0x18

复位值：0x0000

位/域	名称	R/W	描述
7:0	PSC	R/W	设置预分频系数（Prescaler Factor Setup） 对系统时钟进行分频提供时钟；在不同的工作模式下，PSC 的有效位存在差异，具体如下： 在红外低功耗模式下： PSC[7:0]有效。 00000000：保留 00000001：1 分频 00000010：2 分频 …… 11111111：255 分频 在红外的正常模式下： PSC 只能设置为 00000001 在智能卡模式下： PSC[7:5]无效，PSC[4:0]有效 00000：保留 00001：2 分频 00010：4 分频 00011：6 分频 …… 11111：62 分频 UART4 和 UART5 上不存在此位。
15:8	GRDT	R/W	设置保护时间值（Guard Time Value Setup） 在发送数据完成后，需等待保护时间才将 TXCFLG 置位；时间单位是波特时钟；可应用于智能卡模式；UART4 和 UART5 上不存在此位。
31:16	保留		

23 内部集成电路接口（I2C）

23.1 术语全称、缩写描述

表格 93 术语全称、缩写描述

中文全称	英文全称	英文缩写
串行数据线	Serial Data	SDA
串行时钟线	Serial Clock	SCL
系统管理总线	System Management Bus	SMBus
时钟	Clock	CLK
高速串行时钟	Serial Clock High	SCLH
低速串行时钟	Serial Clock Low	SCLL
地址解析协议	Address Resolution Protocol	ARP
否认应答	Negative Acknowledgement	NACK
数据包出错检测	Packet Error Checking	PEC
地址分辨协议	Address Resolution Protocol	ARP

23.2 简介

I2C 是一种短距离总线通信协议，物理实现上，I2C 总线由两根信号线（SDA 与 SCL）和一个地线组成，两根信号线为双向发送的。

- 两根信号线，SCL 时钟线、SDA 数据线。由 SCL 为 SDA 提供时序，SDA 串行发送/接收数据
- SCL、SDA 这两根信号线均为双向
- 两个系统使用 I2C 总线通信时共地

23.3 主要特征

（1） 多主机功能

（2） 主机可产生时钟、起始位和停止位

（3） 从机功能

- 可编程的 I2C 地址检测
- 双地址模式
- 检测停止位

（4） 7 位和 10 位寻址模式

（5） 响应广播

（6） 两种通信速度

- 标准模式
- 快速模式

（7） 可编程的时钟延长

（8） 状态标志
- 发送器/接收器模式标志
- 字节发送结束标志
- 总线忙标志

（9） 错误标志
- 仲裁丢失
- 应答错误
- 检测到错误的起始位或停止位

（10） 中断源
- 地址/数据通信成功
- 错误中断

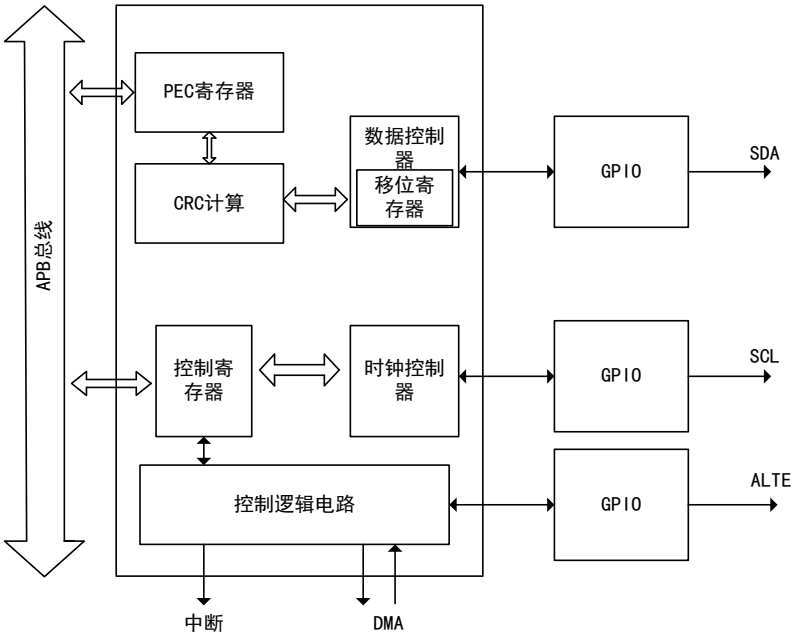
（11） 支持 DMA 功能

（12） 可编程的 PEC
- 发送模式中最后发送
- 接收最后一个字节后进行 PEC 错误校验

（13） SMBus 特定功能
- 硬件 PEC
- 地址解析协议

23.4 结构框图

图 82 I2C 功能结构图



接口可配置为以下模式：

- 从机发送
- 从机接收
- 主机发送
- 主机接收

当 I2C 接口初始状态下，工作模式为从机模式。当 I2C 接口发送起始信号后，将自动从从机模式转换为主机模式。

23.5 功能描述

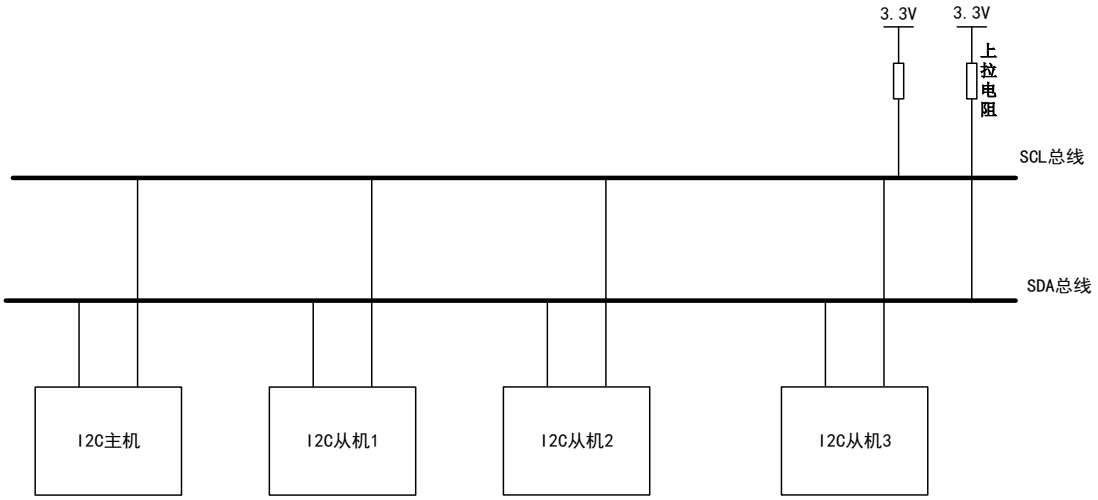
表格 94 I2C 总线专有名词说明

专有名词	说明
发送器	发送数据到总线的设备
接收器	从总线接收数据的设备
主机	初始化数据发送，产生时钟信号和结束数据发送的设备
从机	由主机寻址的设备
多主	不破坏信息的前提下同时控制总线的多个主机
同步	同步两个或更多设备之间的时钟信号的过程
仲裁	如果超过一个主机同时尝试控制总线时，只有一个主机可控制，且控制的主机信息不被破坏

23.5.1 I2C 物理层

I2C 通讯设备之间的常用连接方式如下图：

图 83 常见 I2C 通信连接图



物理层特点：

（1） 支持多设备的总线（多个设备共用的信号线），在 I2C 通信总线中，可连接多个通信主机与通信从机。

（2） 一个 I2C 总线只使用两条总线线路,一条双向串行数据线（SDA），一条串行时钟线（SCL）。数据线用于发送数据，时钟线用于数据收发同步。

（3） 每一个连接在总线上的设备都具有独立的地址（七位或十位），主机根据设备地址寻址访问从设备。

（4） 总线需要接上拉电阻到电源，I2C 总线空闲状态下，输出为高阻态，所有设备空闲时，都输出高阻态，上拉电阻把总线拉成高电平。

（5） 三种通信模式：标准模式（高达 100KHz） 快速模式（高达 400KHz） 超快速模式（高达 1MHz）。

（6） 多主机同时使用总线时，防止数据冲突，采取总线仲裁方式决定哪个设备占用总线。

（7） 可编程建立和保持时间，可对 I2C 中 SCL 的高电平时间与低电平时间进行编程。

23.5.2 I2C 协议层

协议层特点

（1） 数据以帧的形式发送，每一帧中由 1 个字节(8 位)组成。

（2） 在 SCL 的上升沿阶段,SDA 需要保持稳定,SDA 在 SCL 为低期间作出改变。

（3） 除了数据帧，I2C 总线还有起始信号,停止信号,应答信号。

- 起始位：在 SCL 为稳定的高电平期间，SDA 的一个下降沿启动发送。
- 停止位：在 SCL 为稳定的高电平期间，SDA 的一个上升沿停止发送。
- 应答位：用于表示一个字节发送成功。总线发送器(无论主机还是从机),在发送 8 个位的数据后，SDA 将释放(由输出变为输入),在第九个时钟脉冲期间，接收器将 SDA 拉低，来应答接收到了数据。

I2C 通信读写过程

图 84 主机写数据到从机

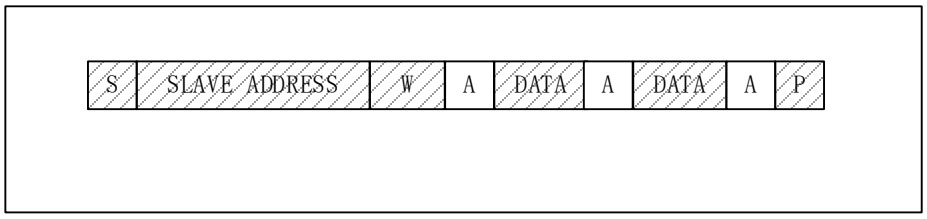
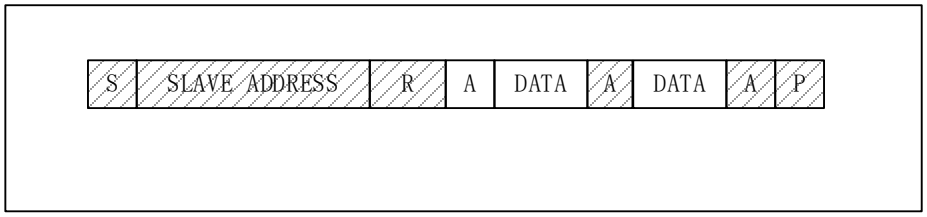


图 85 主机由从机读取数据



备注:

（1） :此数据由主机发送到从机

（2） S:起始信号

（3） SLAVE ADDRESS:从机地址

（4） :此数据由从机发送到主机

（5） R/W :发送方向选择位

（6） 1 为读取

（7） 0 为写入

（8） P：停止信号

起始信号产生后，所有从机都将等待主机发送的从机地址信号，I2C 总线中，每个设备的地址都是唯一的，当地址信号与设备地址匹配后，从机将被选中，没被选中的从机将忽略以后的数据信号。

主机方向为写数据时

广播完地址后，接收到应答信号，主机向从机发发送数据，数据长度为一个字节，主机每次发完一个字节数据后，都需等待从机发送的应答信号，当发送的所有字节完成后，主机向从机发送一个停止信号（STOP），表示为发送完成。

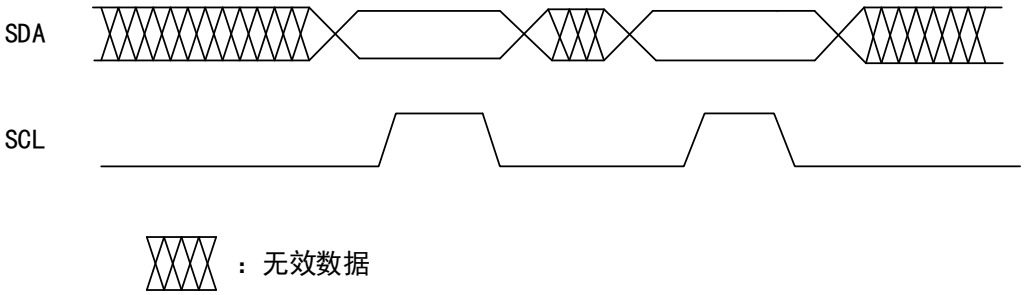
主机方向为读数据时

广播完地址后，接收到应答信号，从机开始向主机发送数据，数据包的大小为 8 位，从机每发送完一个字节数据,都要等待主机的应答信号，当主机想停止接收数据时，需要向从机返回一个非应答信号，则从机自动停止数据发送。

23.5.3 数据有效性

数据发送过程中，时钟信号 SCL 高电平期间，SDA 线上数据必须稳定，只有当 SCL 在低电平期间 SDA 的电平状态才能发生改变，每个数据比特发送都需要一个时钟脉冲。

图 86 SDA 时序图



23.5.4 起始和停止信号

所有数据发送都必定有起始信号（START）和停止信号（STOP）。

图 87 START 信号定义为：SCL 为高电平时，SDA 由高电平向低电平转换

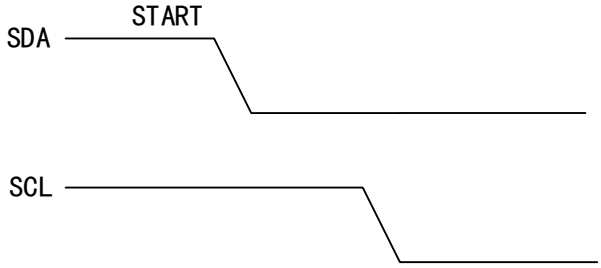
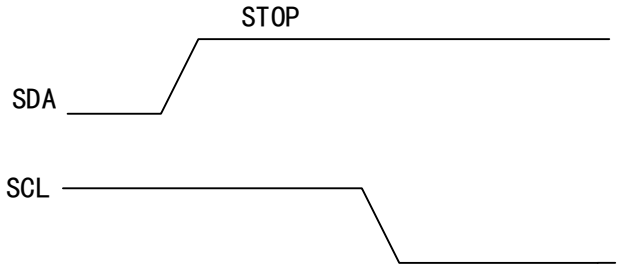


图 88 STOP 信号定义为：SCL 为高电平时，SDA 由低电平向高电平转换



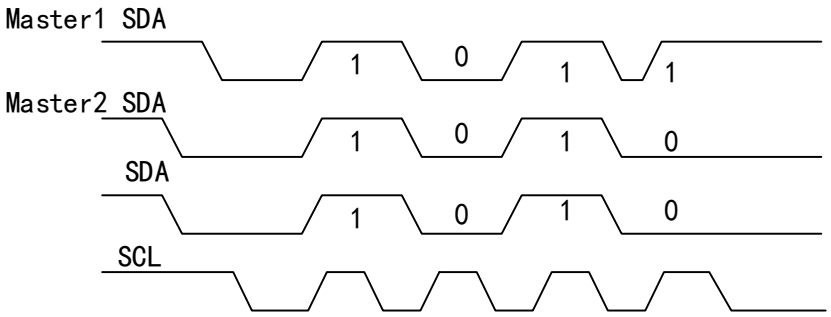
23.5.5 仲裁

仲裁也是为了解决多主机情况下的总线控制冲突。仲裁过程在主机发生，与从机无关。

只有在总线空闲时，主机才可以启动发送。两个主机可能在 START 信号的最短保持时间内在总线上产生一个有效的 START 信号。这种情况需要仲裁决定哪个主机完成发送。

仲裁是按位来进行的，在每一位仲裁期间，当 SCL 为高，每个主机都会检查 SDA 电平是否和自己发送的相同，总裁过程需要持续很多位。理论上，如果两个主机发送的内容完全相同，那他们能够成功发送而不发生仲裁失败。如果一个主机发送高电平，但是检测到 SDA 为低电平，则发生仲裁失败错误，关闭自身 SDA 输出，另一个主机完成自身发送。

图 89 SDA 时序图



注：Master1 仲裁失败

23.5.6 SMBus 特定功能

系统管理总线(System Management Bus，简称 SMBus)，结构简单的单端双线制总线，可实现轻量级的通信需求。

SMBus 常见于计算机主板，主要用于电源发送 ON/OFF 指令。SMBus 为 I2C 的衍生总线。主要用于计算机主板上的低带宽设备通信，与电源相关芯片。

地址解析协议

SMBus 规范中包含一个地址解析协议，可实现动态地址分配。动态识别硬件和软件使得总线能够支持热拔插，总线设备被自动识别并分配唯一地址。

SMBus 警报

SMBus 报警是一个带中断线的可选信号，用于那些希望扩展它们控制能力而牺牲的引脚。

23.5.7 错误标志位

表格 95 I2C 通信存在以下几种错误标志位

错误标志位	错误标志位说明
应答错误标志位(AEFLG)	没有收到应答
总线错误标志位(BERRFLG)	检测到一个外部的停止或起始条件
仲裁丢失标志位(ALFLG)	接口检测到仲裁丢失
过载/欠载错误标志位(OVRURFLG)	从模式下，接收数据未读出，下一个数据已经到达，发生过载错误。发送数据时钟已经到达，数据仍未写入 DATA 寄存器，发生欠载错误。
超时或 Tlow 错误标志位(TTEFLG)	SCL 拉低超过一定时间
PEC 比较错误标志位(PECEFLG)	CRC 值不相等

23.5.8 报文错误检验(PEC)

I2C 模块具有一个 PEC 模块，通过 CRC-8 计算器来进行对 I2C 数据的报文检

验，计算器使用的 CRC-8 多项式为：$C(x)= X^8+X^2+X+1$。

将 PECEN 位置 1，使能 PEC 功能，PEC 模块会把 I2C 总线发送的所有数据都计算，其中包括地址数据。

23.5.9 DMA 模式

根据 I2C 的软件流程，当发送寄存器为空或者接收寄存器满时，MCU 需要写入或者读取字节，此时我们通过 I2C 的 DMA 功能，能够更快速的完成该操作。

DMA 发送

设置 I2C_CTRL2 寄存器中的 DMAEN 位使能 DMA 模式，当发送寄存器为空时(TXBEFLG 置 1)，数据将通过 DMA 从存储区直接载入到 DATA 寄存器。

DMA 接收

设置 I2C_CTRL2 寄存器中的 DMAEN 位使能 DMA 模式，当接收寄存器满时（RXBNEFLG 置 1），DMA 将 DATA 寄存器数据发送到设定的存储区。

23.5.10 I2C 中断

表格 96 I2C 中断请求

中断事件	事件标志位	中断控制位
发送起始位完成	STARTFLG	EVIEN
发送完成/地址匹配地址信号	ADDRFLG	
10 位地址头段发送完成	ADDR10FLG	
接收到停止信号	STOPFLG	
数据字节发送完成	BTCFLG	
接收缓冲器非空	RXBNEFLG	EVIEN 和 BUFIEN
发送缓冲区空	TXBEFLG	
总线错误	BERRFLG	ERRIEN
仲裁丢失	ALFLG	
应答失败	AEFLG	
过载/欠载	OVRURFLG	
PEC 错误	PECEFLG	
超时或 Tlow 错误	TTEFLG	
SMBus 提醒	ALERTEN	

23.6 寄存器地址映射

表格 97 I2C 寄存器地址映射

寄存器名	描述	偏移地址
I2C_CTRL1	控制寄存器 1	0x00
I2C_CTRL2	控制寄存器 2	0x04
I2C_SADDR1	从机地址寄存器 1	0x08
I2C_SADDR2	从机地址寄存器 2	0x0C
I2C_DATA	数据寄存器	0x10
I2C_STS1	状态寄存器 1	0x14
I2C_STS2	状态寄存器 2	0x18
I2C_CLKCTRL	主机时钟控制寄存器	0x1C
I2C_RISETMAX	最大上升时间寄存器	0x20

23.7 寄存器功能描述

23.7.1 控制寄存器 1（I2C_CTRL1）

偏移地址：0x00

复位值：0x0000

位/域	名称	R/W	描述
0	I2CEN	R/W	使能 I2C（I2C Enable） 0：禁止 1：使能
1	SMBEN	R/W	使能 SMBus 模式（SMBus Mode Enable） 0：I2C 模式 1：SMBus 模式
2	保留		
3	SMBTCFG	R/W	配置 SMBus 类型（SMBus Type Configure） 0：SMBus 设备 1：SMBus 主机
4	ARPEN	R/W	使能 ARP（ARP Enable） 0：禁止 1：使能 如果 SMBTCFG=0，使用 SMBus 设备的默认地址 如果 SMBTCFG=1，使用 SMBus 的主地址
5	PECEN	R/W	使能 PEC（PEC Enable） 0：禁止 1：使能

位/域	名称	R/W	描述
6	SRBEN	R/W	使能从机响应广播（Slave Responds Broadcast Enable） 0：禁止 1：使能 注意：广播地址是 0x00
7	CLKSTRETCHD	R/W	禁止从机模式时钟延长时间（Slave Mode Clock Stretching Disable） 0：使能 1：禁止 在从机模式下允许延长时钟低电平时间可避免发生过载和欠载错误。
8	START	R/W	发送起始位（Start Bit Transfer） 可软件置 1、清 0，当发送起始位或 I2CEN=0 时，由硬件清 0。 0：不发送 1：发送
9	STOP	R/W	发送停止位（Stop Bit Transfer） 可软件置 1、清 0；当发送停止位时，由硬件清 0；当检测到超时错误时，由硬件置 1。 0：不发送 1：发送
10	ACKEN	R/W	发送应答使能（Acknowledge Transfer Enable） 可软件置 1、清 0；当 I2CEN=0 时，由硬件清除。 0：不发送 1：发送
11	ACKPOS	R/W	配置接收数据应答/PEC 位置（Acknowledge /PEC Position Configure） 可软件置 1、清 0；当 I2CEN=0 时，由硬件清除。 0：接收当前字节时是否发送 NACK/ACK，PEC 是否处于移位寄存器中 1：接收下一个字节时是否发送 NACK/ACK，PEC 是否处于移位寄存器的下一字节
12	PEC	R/W	使能发送 PEC（Packet Error Check Transfer Enable） 可软件置 1、清 0；当发送 PEC 后，或发送起始位、停止位，或当 I2CEN=0 时，由硬件清 0。 0：禁止 1：使能
13	ALERTEN	R/W	使能 SMBus 提醒（SMBus Alert Enable） 可软件置 1、清 0；当 I2CEN=0 时，由硬件清 0。 0：释放 SMBAlert 引脚使其变高，提醒发送 NACK 信号后即时发送响应地址头 1：驱动 SMBAlert 引脚使其变低，提醒发送 ACKEN 信号后即时发送响应地址头
14	保留		
15	SWRST	R/W	软件配置 I2C 处于软件复位状态（Software Configure I2C under Reset State） 0：未复位 1：复位，在复位 I2C 前应确保 I2C 引脚被释放、总线是空闲状态。

23.7.2 控制寄存器 2（I2C_CTRL2）

偏移地址：0x04

复位值：0x0000

位/域	名称	R/W	描述
5:0	CLKFCFG	R/W	配置 I2C 时钟频率（I2C Clock Frequency Configure） 该时钟频率是指 I2C 模块的时钟，即从 APB 总线输入的时钟。 0：禁用 1：禁用 2：2MHz ... 50：50MHz 大于 100100：禁用。 I2C 总线最小的时钟频率：标准模式为 1MHz,快速模式为 4MHz。
7:6	保留		
8	ERRIEN	R/W	使能出错中断（Error Interrupt Enable） 0：禁止 1：使能以下任何状态寄存器中的位置 1 时，将产生该中断：SMBALTFLG、TTEFLG 、 PECEFLG 、 OVRURFLG 、 AEFLG 、 ALFLG 、 STS1_BERRFLG
9	EVIEN	R/W	使能事件中断（Event Interrupt Enable） 0：禁止 1：使能，以下任何状态寄存器中的位置 1 时，将产生该中断：STARTFLG、ADDRFLG、ADDR10FLG、STOPFLG、BTCFLG、TXBEFLG 置 1 且 BUFIEN 置 1、RXBNEFLG 置 1 且 BUFIEN 置 1。
10	BUFIEN	R/W	使能缓冲器中断（Buffer Interrupt Enable） 0：禁止 1：使能，以下任何状态寄存器中的位置 1 时，将产生该中断：TXBEFLG、RXBNEFLG
11	DMAEN	R/W	使能 DMA 请求（DMA Requests Enable） 0：禁止 1：当 TXBEFLG=1 或 RXBNEFLG=1 时，使能 DMA 请求
12	LTCFG	R/W	配置 DMA 最后一次发送（DMA Last Transfer Configure） 配置下一次 DMA 的 EOT 是否为接收的最后一次发送，只用于主机接收模式。 0：不是 1：是
15:13	保留		

23.7.3 从机模式地址寄存器 1（I2C_SADDR1）

偏移地址：0x08

复位值：0x0000

位/域	名称	R/W	描述
0	ADDR[0]	R/W	设置从机地址（Slave Address Setup） 地址模式为 7 位时，该位无效；地址模式为 10 位时，该位是地址的第 0 位。

位/域	名称	R/W	描述
7:1	ADDR[7:1]	R/W	设置从机地址（Slave Address Setup） 从机地址的第 7:1 位
9:8	ADDR[9:8]	R/W	设置从机地址（Slave Address Setup） 地址模式为 7 位时，该位无效；地址模式为 10 位时，该位是地址的第 9:8 位。
14:10	保留		
15	ADDRLEN	R/W	配置从机地址长度（Slave Address Length Configure） 0：7 位地址模式 1：10 位地址模式

23.7.4 从机模式地址寄存器 2（I2C_SADDR2）

偏移地址：0x0C

复位值：0x0000

位/域	名称	R/W	描述
0	ADDRNUM	R/W	配置从机地址数量（Slave Address Number Configure） 从机 7 位地址模式下，可配置为识别单地址模式、双地址模式；单地址模式下只识别 ADDR1；双地址模式下识别 ADDR1 和 ADDR2 在 7 位地址模式下可识别单个或双地址寄存器，具体情况如下： 0：识别 1 个地址（ADDR1） 1：识别 2 个地址（ADDR1 和 ADDR2）
7:1	ADDR2[7:1]	R/W	设置从机双地址模式地址（Slave Dual Address Mode Address Setup） 在双地址模式下地址的 7:1 位
15:8	保留		

23.7.5 数据寄存器（I2C_DATA）

偏移地址：0x10

复位值：0x0000

位/域	名称	R/W	描述
7:0	DATA	R/W	数据寄存器（Data Register） 在 I2C 发送模式下，将要发送的数据写到这个寄存器；在 I2C 接收模式下，从这个寄存器读取接收到的数据。
15:8	保留		

23.7.6 状态寄存器 1（I2C_STS1）

偏移地址：0x14

复位值：0x0000

位/域	名称	R/W	描述
0	STARTFLG	R	发送起始位完成标志（Start Bit Sent Finished Flag） 0：未发送 1：已发送 发出起始位时，由硬件置 1；软件先读 STS1 寄存器、再写 DATA 寄存器可清除该位；当 I2CEN=0 时由硬件清 0。

位/域	名称	R/W	描述
1	ADDRFLG	R	地址发送完成/接收匹配标志（Address Transfer Complete /Receive Match Flag） 从机模式是否接收到匹配地址： 0：未接收到 1：已接收 主机模式地址发送是否完成： 0：未完成 1：已完成 该位由硬件置 1；软件先读 STS1 寄存器、再读 STS2 寄存器可清除该位；当 I2CEN=0 时由硬件清 0。
2	BTCFLG	R	完成数据字节发送标志（Byte Transfer Complete Flag） 0：未完成 1：已完成 在接收数据时，如果未读取 DATA 寄存器中收到的数据，此时又收到一个新的数据时，由硬件置 1； 发送数据时，DATA 寄存器为空的情况下，将要发送移位寄存器中的数据时，由硬件置 1。 软件先读 STS1 寄存器、再对 DATA 寄存器执行读或写操作可清除该位；在发送中发送一个起始位、停止位，或当 I2CEN=0 时由硬件清 0。
3	ADDR10FLG	R	主机已发送 10 位地址的地址头标志（10-Bit Address Header Transmit Flag） 0：未发送 1：已发送 该位由硬件置 1；软件先读 STS1 寄存器、再写 DATA 寄存器可清除该位；I2CEN=0 时由硬件清 0。
4	STOPFLG	R	停止位检测标志（Stop Bit Detection Flag） 0：未检测到 1：检测到 如果 ACKEN=1，在一个应答之后，当从机在总线上检测到停止位时，由硬件置 1； 软件读取 STS1 寄存器后、对 CTRL1 寄存器进行写操作可清除该位；当 I2CEN=0 时由硬件清 0。
5	保留		
6	RXBNEFLG	R	接收缓冲器不为空标志（Receive Buffer Not Empty Flag） 0：接收缓冲器为空 1：接收缓冲器不为空 当 DATA 寄存器有数据时，由硬件置 1； 当 BTCFLG 置 1 时，由于数据寄存器仍然为满，读取 DATA 寄存器不能清除 RXBNEFLG 位； 软件读写 DATA 寄存器可清除该位；当 I2CEN=0 时由硬件清 0。
7	TXBEFLG	R	发送缓冲器为空标志（Transmit Buffer Empty Flag） 0：发送缓冲器不为空 1：发送缓冲器为空 DATA 寄存器的内容为空时由硬件置 1； 软件写第 1 个数据到 DATA 寄存器时，会立刻将数据搬移到移位寄存器中，此时 DATA 寄存器的数据为空，无法清除该位；

位/域	名称	R/W	描述
			软件写数据到 DATA 寄存器可清除该位；发送起始位、停止位，或当 I2CEN=0 时由硬件清 0。
8	BERRFLG	RC_W0	总线错误标志（Bus Error Flag） 0：未发生总线错误 1：发生总线错误 总线错误是指起始位、停止位异常；检测到错误时由硬件置 1；软件写 0 可清除该位；I2CEN=0 时由硬件清 0。
9	ALFLG	RC_W0	主模式下的仲裁丢失标志（Master Mode Arbitration Lost Flag） 0：未发生仲裁丢失 1：发生仲裁丢失，I2C 接口自动切换回从模式 “主模式下的仲裁丢失”是指该主机失去对总线的控制；该位由硬件置 1；软件写 0 可清除该位；I2CEN=0 时由硬件清 0。
10	AEFLG	RC_W0	应答错误标志（Acknowledge Error Flag） 0：未发生应答错误 1：发生应答错误 由硬件置 1；软件写 0 可清除该位；I2CEN=0 时由硬件清 0。
11	OVRURFLG	RC_W0	发生过载或欠载标志（Overrun/Underrun Flag） 0：未发生 1：发生 CLKSTRETCHD=1、且满足以下条件之一时由硬件置 1： （1）从机接收模式下，DATA 寄存器中的数据未被读出时，又收到新的数据（该数据会丢失），此时发生过载； （2）从机发送模式中，DATA 寄存器没有写入数据，依然要发送数据（相同的数据会发送 2 次），此时发生欠载。 软件写 0 可清除该位；I2CEN=0 时由硬件清 0。
12	PECEFLG	RC_W0	接收时出现 PEC 错误标志（PEC Error in Reception Flag） 0：无 PEC 错误：在 ACKEN=1 的情况下接收到 PEC 后接收器返回 ACKEN 1：有 PEC 错误：不管 ACKEN 是什么值，只要接收到 PEC 后接收器都会返回 NACK 软件写 0 可清除该位；I2CEN=0 时由硬件清 0。
13	保留		
14	TTEFLG	RC_W0	超时或 Tlow 错误标志（Timeout or Tlow Error Flag） 0：无超时错误 1：发生超时错误，从模式下，从机复位，总线被释放；主模式下，硬件发送停止位。 以下情况之一发生超时错误，由硬件置 1： （1）SCL 保持低电平大于 25ms； （2）主设备的 SCL 低电平扩展时间累计超过 10ms； （3）从设备的 SCL 低电平扩展时间累计超过 25ms。 软件写 0 可清除该位；I2CEN=0 时由硬件清 0。
15	SMBALTFLG	RC_W0	发生 SMBus 警报标志（SMBus Alert Occur Flag） 0：SMBus 主机模式，无警报； SMBus 从机模式，无警报，SMBAlert 引脚电平不变 1：SMBus 主机模式，在引脚上产生警报； SMBus 从机模式，收到警报，引起 SMBAlert 引脚电平变低 由硬件置 1；软件写 0 可清除该位；I2CEN=0 时由硬件清 0。

23.7.7 状态寄存器 2（I2C_STS2）

偏移地址：0x18

复位值：0x0000

位/域	名称	R/W	描述
0	MSFLG	R	主从模式标志（Master Slave Mode Flag） 0：从机模式 1：主机模式 配置 I2C 为主模式时，由硬件置 1； 以下条件之一硬件清 0： （1）产生停止位 （2）丢失总线仲裁 （3）I2CEN=0
1	BUSBSYFLG	R	总线忙碌标志（Bus Busy Flag） 0：总线空闲（无通信） 1：总线忙（正在通信） SDA 或 SCL 为低电平时，由硬件置 1；产生停止位后，硬件清 0。
2	TRFLG	R	发送器模式/接收器模式标志（Transmitter / Receiver Mode Flag） 0：设备是接收器模式（读） 1：设备是发送器模式（写） 依据 R/W 位决定位的数值； 满足以下条件之一由硬件清 0： （1）产生停止位 （2）产生重复的起始位 （3）总线仲裁丢失 （4）I2CEN=0
3	保留		
4	GENCALLFLG	R	从模式接收到广播地址（0x00）标志（Slave Mode Received General Call Address Flag） 0：未收到广播地址 1：收到广播地址 由硬件置 1，满足以下条件之一由硬件清 0： （1）产生停止位 （2）产生重复的起始位 （3）I2CEN=0
5	SMBDADDRFLG	R	SMBus 设备从模式接收到默认地址标志（SMBus Device Received Default Address Flag in Slave Mode） 0：未收到默认地址 1：当 ARPEN=1 时，收到默认地址 由硬件置 1，满足以下条件之一由硬件清 0： （1）产生停止位 （2）产生重复的起始位 （3）I2CEN=0
6	SMMHADDR	R	SMBus 设备从模式收到主机头地址标志（SMBus Device Received Master Header Flag in Slave Mode） 0：未收到主机头地址

位/域	名称	R/W	描述
			1：当同时满足 SMBTSEL=1 和 ARPEN=1 时，收到主机头地址 由硬件置 1，满足以下条件之一由硬件清 0： （1）产生停止位 （2）产生重复的起始位 （3）I2CEN=0
7	DUALADDRFLG	R	从模式接收到双地址匹配标志（Slave Mode Received Dual Address Match Flag） 0：接收到的地址与 ADDR1 寄存器的内容匹配 1：接收到的地址与 ADDR2 寄存器的内容匹配 由硬件置 1，满足以下条件之一由硬件清 0： （1）产生停止位 （2）产生重复的起始位 （3）I2CEN=0
15:8	PECVALUE	R	存储 PEC 值（Save Packet Error Checking Value） 当 PECEN=1 时，内部的 PEC 的值存放在 PECVALUE 里。

23.7.8 主机时钟控制寄存器（I2C_CLKCTRL）

偏移地址：0x1C

复位值：0x0000

位/域	名称	R/W	描述
11:0	CLKS [11:0]	R/W	设置主模式下快速/标准模式的时钟（Clock Setup in Fast/Standard Master Mode） 在 I2C 标准模式或 SMBus 模式中： T_{high}=CLKS × T_{PCLK1} T_{low}=CLKS × T_{PCLK1} I2C 快速模式中： 当 FDUTYCFG=0 时： T_{high}=CLKS×T_{PCLK1} T_{low}=2×CLKS× T_{PCLK1} 当 FDUTYCFG=1 时： T_{high}=9 × CLKS × T_{PCLK1} T_{low}=16 × CLKS × T_{PCLK1}
13:12	保留		
14	FDUTYCFG	R/W	配置快速模式下的占空比（Fast Mode Duty Cycle Configure） 此处定义占空比=t_{low}/t_{high} 0：SCLK 占空比 2 1：SCLK 占空比 16/9
15	SPEEDCFG	R/W	配置主模式速度（Master Mode Speed Configure） 0：标准模式 1：快速模式

23.7.9 最大上升时间寄存器（I2C_RISETMAX）

偏移地址：0x20

复位值：0x0002

位/域	名称	R/W	描述
5:0	RISETMAX	R/W	主模式下快速/标准模式的最大上升时间（Master Mode Maximum Rise Time in Fast/Standard Mode） 时间单位是 T_{PCLK1}，RISETMAX 为 SCL 最大上升时间单位加 1。
15:6	保留		

24 串行外设接口/片上音频接口（SPI/I2S）

24.1 术语全称、缩写描述

表格 98 术语全称、缩写描述

中文全称	英文全称	英文缩写
最高有效位	Most Significant Bit	MSB
最低有效位	Least Significant Bit	LSB
主机输出从机输入	Master Out Slave In	MOSI
主机输入从机输出	Master In Slave Out	MISO
串行时钟线	Serial Clock	SCK
串行数据	Serial Data	SD
主时钟	Master Clock	MCK
字选	Word Select	WS
脉冲编制调制	Pulse-code Modulation	PCM
片间传递音讯	Inter-IC Sound	I2S
发送	Transmit	TX
接收	Receive	RX
忙	Busy	BSY

24.2 简介

SPI 接口可以配置为支持 SPI 协议和 I2S 音频协议，默认工作在 SPI 模式，I2S 模式可以通过软件将功能切换。

串行外设接口（SPI）提供了基于 SPI 协议的数据发送和数据接收功能,允许芯片与外部设备以半双工、全双工、同步和串行方式通信，可以工作于主机或者从机模式。

片上音频接口（I2S）支持四种音频标准：飞利浦 I2S 标准、MSB 对齐标准、LSB 对齐标准以及 PCM 标准。在半双工通讯中，可以工作在主从模式下。

24.3 主要特征

24.3.1 SPI 主要特征

（1） 具有 3 线全双工同步传输接收的主从操作

（2） 2 线可实现（第三根双向数据线可选带/不带）单工同步传输

（3） 选择 8 位或者 16 位传输帧格式

（4） 具有多主设备模式

（5） 具有专用的发送和接收标志，可触发中断

（6） 具有 SPI 总线忙状态标志

（7） SPI 通信速率最高可达 42mbit /s

（8） 时钟的极性和相位可编程

（9） 数据顺序可编程，选择 MSB 或者 LSB 在前

（10） 主模式故障、过载以及 CRC 错误标志可触发中断

（11） 具有 DMA 传输和接收缓冲器

（12） SPI TI 模式

（13） 通过硬件 CRC 进行计算、发送和校验

24.3.2 I2S 主要特征

（1） 具有单工通信（仅发送/接收）的主从模式

（2） 四种音频标准

- I2S 飞利浦标准
- MSB 对齐标准
- LSB 对齐标准
- PCM 标准

（3） 可选 16/24/32 位数据长度

（4） 16 位或 32 位的通道长度

（5） 时钟极性可编程

（6） 16 位数据寄存器用于发送和接收

（7） 数据方向一直都是 MSB 在先

（8） 发送和接收支持 DMA 功能

24.4 SPI 功能描述

24.4.1 SPI 信号线描述

表格 99 SPI 信号线描述

引脚名称	描述
SCK	主设备：SPI 时钟输出 从设备：SPI 时钟输入
MISO	主设备：输入引脚，接收数据 从设备：输出引脚，发送数据 数据方向：从设备到主设备

引脚名称	描述
MOSI	主设备：输出引脚，发送数据 从设备：输入引脚，接收数据 数据方向：主设备到从设备
NSS	软件 NSS 模式：NSS 引脚可以它用。 主设备硬件 NSS 模式：为 NSS 输出，单主模式。 NSS 关闭输出：允许操作多主环境。 从设备硬件 NSS 模式：NSS 信号设置为低电平，作为从机的片选信号。

24.4.2 时钟信号的相位和极性

时钟极性和时钟相位是 SPI_CTRL1 寄存器的 CPOL 和 CPHA 位。

时钟极性 CPOL 是指 SPI 处于空闲状态时，SCK 信号线的电平信号。

- CPOL=0 时，SCK 信号线在空闲状态为低电平
- CPOL=1 时，SCK 信号线在空闲状态为高电平

时钟相位 CPHA 是指数据的采样时刻

- CPHA=0 时，MOSI 或 MISO 数据线上的信号将会在 SCK 时钟线的“奇数边沿”被采样。
- CPHA=1 时，MOSI 或 MISO 数据线上的信号将会在 SCK 时钟线的“偶数边沿”被采样。

根据时钟相位 CPHA 和时钟极性 CPOL 的不同状态，可以将 SPI 分成四种模式。

表格 100 SPI 的四种模式

SPI 模式	CPHA	CPOL	采样时刻	空闲时 SCK 时钟
0	0	0	奇数边沿	低电平
1	0	1	奇数边沿	高电平
2	1	0	偶数边沿	低电平
3	1	1	偶数边沿	高电平

24.4.3 数据帧格式

通过配置 SPI_CTRL1 寄存器中的 LSBSEL 位，设定是 MSB 在先还是 LSB 在先。

通过配置 SPI_CTRL1 寄存器的 DFLSEL 位，选择是 8/16 位数据帧格式进行发送/接收。

24.4.4 NSS 模式

软件 NSS 模式：通过配置 SPI_CTRL1 寄存器的 SSEN 位来选择启动或者禁止此模式，内部 NSS 信号电平由 SPI_CTRL1 寄存器的 ISSEL 位驱动。

硬件 NSS 模式：

- 启动 NSS 输出：SPI 处于主模式时，使能 SSOEN 位，NSS 引脚被拉至低电平，SPI 将自动进入从机模式。

- 关闭 NSS 输出：允许操作在多主环境。

24.4.5 SPI 模式

24.4.5.1 SPI 主模式

在主模式中，在 SCK 引脚产生串行时钟

主模式配置

- 配置 SPI_CTRL1 寄存器中的 MSMSEL=1
- 通过配置 SPI_CTRL1 寄存器中的 CPOL 和 CPHA 位，选择极性和相位。
- 通过配置 SPI_CTRL1 寄存器中的 DFLSEL 位选择 8/16 位数据帧格式
- 通过配置 SPI_CTRL1 寄存器中 LSBSEL 选择是 LSB 先行还是 MSB 先行
- NSS 配置：
  - NSS 引脚工作在输入模式：硬件模式下，需要在整个数据帧传输期间把 NSS 引脚连接在高电平；软件模式下，需要设置 SPI_CTRL1 寄存器中的 SSEN 位和 ISSEL 位
  - NSS 工作在输出模式中，需要配置 SPI_CTRL2 寄存器的 SSOEN 位
- 配置 SPI_CTRL2 寄存器中的 FRFCFG 位选择 TI 模式协议进行串行通信
- 配置 SPI_CTRL1 寄存器中 SPIEN 位，使能 SPI

在主模式中：MOSI 引脚是数据输出，MISO 是数据输入

TI 协议

在从模式下，SPI 接口支持 TI 协议。通过 SPI_CTRL2 寄存器的 FRFCFG 位控制。时钟极性和相位都遵循 TI 协议。NSS 管理也特定于 TI 协议，不用配置 SPI_CTRL1 和 SPI_CTRL2 寄存器。

24.4.5.2 SPI 从模式

在从模式中，SCK 引脚接收主设备传来的的串行时钟

从模式配置

- 配置 SPI_CTRL1 寄存器中的 MSMSEL=0
- 通过配置 SPI_CTRL1 寄存器中的 CPOL 和 CPHA 位，选择极性和相位。
- 通过配置 SPI_CTRL1 寄存器中的 DFLSEL 位选择 8/16 位数据帧格式
- 通过配置 SPI_CTRL1 寄存器中 LSBSEL 选择是 LSB 先行还是 MSB 先行
- NSS 配置：
  - 硬件模式下：在完整的数据帧传输过程中 NSS 引脚必须为低电平
  - 软件模式下：设置 SPI_CTRL1 寄存器中的 SSEN 位并清除 ISSEL 位（TI 模式不需要此步骤）

- 配置 SPI_CTRL2 寄存器中的 FRFCFG 位选择 TI 模式协议进行串行通信
- 配置 SPI_CTRL1 寄存器中 SPIEN 位，使能 SPI

在从模式中：MOSI 引脚是数据输入，MISO 引脚是数据输出

TI 协议

在从模式下，SPI 接口支持 TI 协议。通过 SPI_CTRL2 寄存器的 FRFCFG 位控制。时钟极性和相位都遵循 TI 协议。NSS 管理也特定于 TI 协议，不用配置 SPI_CTRL1 和 SPI_CTRL2 寄存器。

处于从模式时，SPI 波特率预分频器可以使用任意波特率来控制 MISO 引脚状态切换到高阻态的时刻，所以可以非常灵活地确定此时刻。波特率一般为外部主时钟波特率。SPI_CTRL1 寄存器的 BRSEL[2:0]设置的波特率值和芯片内部电路同步决定 MISO 引脚状态变为高阻态的时间。

24.4.5.3 SPI 的半双工通信

一条时钟线加一条双向数据线

- 通过设置 SPI_CTRL1 寄存器的 BMEN 启动此模式
- 通过设置 SPI_CTRL1 寄存器的 BMOEN 位控制数据线是输入还是输出
- SCK 引脚作为时钟，主设备中使用 MOSI 引脚传输数据，从设备中使用 MISO 引脚传输数据

24.4.6 SPI 不同模式下数据发送和接收过程

表格 101 SPI 的运行模式

模式	配置	数据引脚
主设备的全双工模式	BMEN=0，RXOMEN=0	MOSI 发送；MISO 接收
主设备的单向接收模式	BMEN=0，RXOMEN=1	MOSI 不使用；MISO 接收
主设备的双向发送模式	BMEN=1，BMOEN=1	MOSI 发送；MISO 不使用
主设备的双向接收模式	BMEN=1，BMOEN=0	MOSI 不使用；MISO 接收
从设备的全双工模式	BMEN=0，RXOMEN=0	MOSI 接收，MISO 发送
从设备的单向接收模式	BMEN=0，RXOMEN=1	MOSI 接收，MISO 不使用
从设备的双向发送模式	BMEN=1，BMOEN=1	MOSI 不使用，MISO 发送
从设备的双向接收模式	BMEN=1，BMOEN=0	MOSI 接收，MISO 不使用

图 90 全双工模式连接

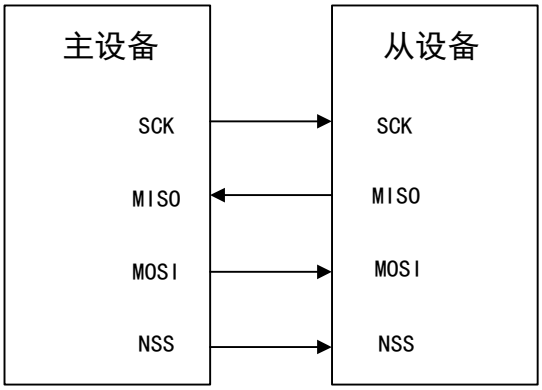


图 91 半双工模式连接（主机用来接收，从机用来发送）

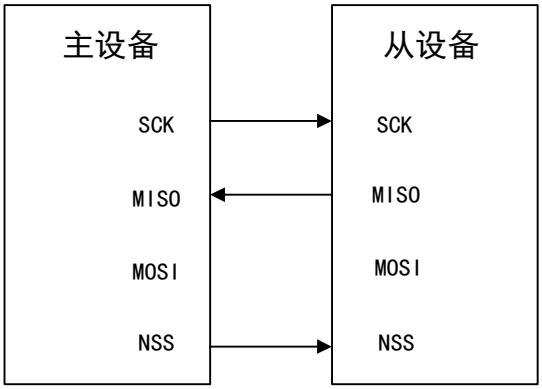


图 92 半双工模式连接（主机只发送，从机接收）

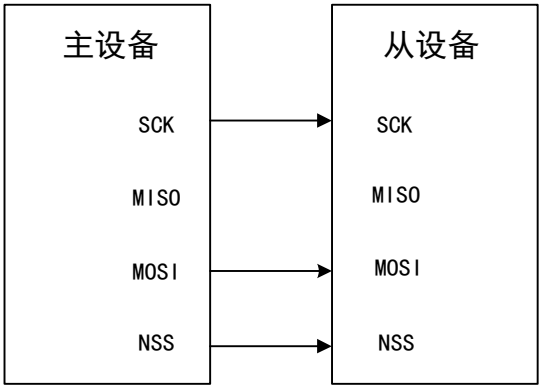
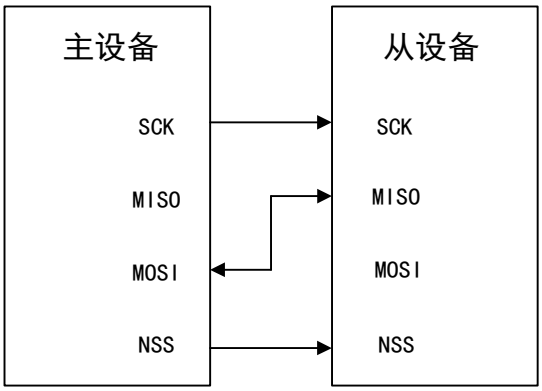


图 93 双向线连接



24.4.6.1 处理数据的发送与接收

数据发送

完成模式配置之后，SPI 模块使能保持在空闲状态。

主模式下：软件写入一个数据帧到发送缓冲器中，发送过程开始

从模式下：SCK 引脚上的 SCK 信号开始跳变，与此同时 NSS 引脚电平位低，发送过程开始（数据开始发送前，确保数据已提前写入发送缓冲区）。

SPI 发送一个数据帧时，会将数据帧从数据缓冲区加载到移位寄存器中，之后开始发送数据。数据帧发送一位后，TXBEFLG 置 1，如果需要连续发送数据，软件需要等到 TXBEFLG=1 向 SPI_DATA 寄存器中写入数据。（TXBEFLG 标志是由硬件置 1，软件清零）。

数据接收

在数据接收过程中 BSYFLG 标志会一直置 1。

在采样时钟的最后一个边沿，接收到的数据从移位寄存器传送到接收缓冲区，设置 RXBNEFLG 标志，软件通过读取数据寄存器（SPI_DATA）中的数据获取接收缓冲区中的内容，如果设置了 SPI_CTRL2 寄存器的 RXBNEIEN 位，此时会产生中断，在读取数据之后会自动清除 BSYFLG 标志。

24.4.6.2 主/从设备下的全双工发送和接收模式

主设备下的全双工模式

- 写数据到 SPI_DATA 寄存器（发送缓冲器）后，开始数据传输。
- SPI 发送第一位数据时，数据从发送缓冲器传送到移位寄存器中，按照顺序被串行的传送到 MOSI 引脚中。
- MISO 引脚上接收的数据，按照顺序被串行的传送到 SPI_DATA 寄存器（接收缓冲器）中。

发送和接收是同时进行的。

从设备下的全双工模式

- 从设备接收到时钟信号，MOSI 引脚出现第一个数据位时，开始数据传输，之后的数据位会被依次传送到移位寄存器中。
- SPI 发送第一位数据时，数据从发送缓冲器传送到移位寄存器中，按照顺序被串行的传送到 MISO 引脚中。
- 软件必须保证在 SPI 主设备开始传输数据之前确保已写入要发送的数据。

发送和接收是同步进行的。

主/从设备下的全双工发送和接收过程

（1） 使能 SPI 模块：配置 SPI_CTRL1 寄存器的 SPIEN=1。

（2） 将第一个要发送的数据写入 SPI_DATA 寄存器中，会清除 TXBEFLG 标志。

（3） 等待 TXBEFLG 标志位置 1（硬件控制），写入需要发送的第二个数据位。

（4） 等待 RXBNEFLG 标志位值置 1（硬件控制）读出 SPI_DATA 寄存器中的第一个接收的数据，与此同时清除 RXBNEFLG 标志（软件清零）。重复操作，同时发送和接收数据。

（5） 等待 RXBNEFLG=1，接收最后一个数据。

（6） 等待 TXBEFLG=1，在 BSYFLG=0 之后关闭 SPI 模块。

24.4.6.3 主/从设备下的双向发送模式

主设备下的双向发送

- 数据写入到 SPI_DATA 寄存器后，开始传输
- 发送缓冲器中的数据并行的传送到移位寄存器中，之后按顺序串行传送到 MOSI 引脚上。

从设备下的双向发送

- 从设备接收到时钟信号，MISO 引脚出现第一个数据位时，开始数据传输。
- 与此同时，发送缓冲器需要发送的数据并行的传送到移位寄存器中，随后被串行发送到 MISO 引脚上，（数据开始发送前，确保数据已提前写入发送缓冲区）。

主/从设备下的双向发送过程

（1） 使能 SPI 模块：配置 SPI_CTRL1 寄存器的 SPIEN=1。

（2） 将第一个要发送的数据写入 SPI_DATA 寄存器中，会清除 TXBEFLG 标志。

（3） 等待 TXBEFLG=1，写入第二个数据，重复操作，发送后面的数据

（4） 写入最后一个数据后，等待 TXBEFLG=1、BSYFLG=0，发送完成

24.4.6.4 主/从设备下的单向/双向接收模式

（1） 使能 SPI 模块：配置 SPI_CTRL1 寄存器的 SPIEN=1。

（2） 主设备中：立即产生 SCK 时钟，SPI 关闭之前，不断接收数据。

（3） 从设备中：SPI 主设备拉低 NSS 且产生时钟时，接收数据。

（4） 等到 RXBNEFLG 标志置 1，通过 SPI_DATA 读取数据，重复操作接收数据。

24.4.7 CRC 功能

SPI 模块含有两个 CRC 计算单元分别用来数据接收和数据发送。

CRC 计算单元是在 SPI_CRCPOLY 寄存器来定义多项式。

通过配置 SPI_CTRL1 寄存器中的 CRCEN 位使能 CRC 计算；同时复位 CRC 寄存器（SPI_RXCRC 和 SPI_TXCRC）。

为了得到传输计算的 CRC 值，当最后一个数据写入发送缓冲器后，需要设置 SPI_CTRL1 的 CRCNXT 位；指示硬件在发送最后一个数据之后，发送 CRC 数值，CRCNXT 位被清除；与此同时比较 CRC 和 SPI_RXCRC 的值，如果出现了不匹配的情况，需要设置 SPI_STS 寄存器的 CRCEFLG 位，在设置了 SPI_CTRL2 寄存器的 ERRIEN 位时，会发生中断。

注意：

（1）当 SPI 处于从设备下并且使用了 CRC 功能，在 NSS 引脚时高电平时 CRC 计算仍会继续。例如：当主设备与多个从设备交替通信时，就会出现上述情况，则需要避免 CRC 的错误操作。

（2）一个从设备从未选中（NSS 为高电平）到选中（NSS 为低电平 0）过程中，需要清除主从两端的 CRC 数值，来保持主从设备端下次 CRC 计算结果的同步。

（3）当 SPI 处于从设备模式时，要在时钟稳定之后再使能 CRC 计算。

（4）当 SPI 时钟频率过高时，CPU 的操作会影响 SPI 的带宽，建议采用 DMA 模式避免 SPI 速度的降低。

（5）当 SPI 时钟频率过高时，在 CRC 传输期间内，减少 CPU 的使用频率，在发送 CRC 过程中禁止函数调用来避免接收最后的数据和 CRC 时出错。

（6）在从模式下使用了 NSS 硬件模式，NSS 引脚应该在数据传输和 CRC 传输期间保持为低。

清除 CRC 数值顺序

（1） 关闭 SPI（SPIEN=0）

（2） 将 CRCEN 位清零

（3） 将 CRCEN 位置 1

（4） 使能 SPI（SPIEN=1）

24.4.8 DMA 功能

SPI 中的请求/应答 DMA 机制，方便了高速率的数据传输，提高了系统效率，能够及时向 SPI 发送缓冲器传送数据，同时接收缓冲器也能及时读取数据防止溢出。

SPI 只发送数据时，只需要使能 DMA 的发送通道；SPI 只接收数据时，只需要使能 DMA 的接收通道。

通过配置 SPI_CTRL2 寄存器的 TXDEN 和 RXDEN 位，使能 SPI 模式的 DMA 功能。

- 发送时：TXBEFLG 标志位置 1 时发出 DMA 请求，DMA 控制器写数据到 SPI_DATA 寄存器中，此时 TXBEFLG 标志位被清除。
- 接收时：RXBNEFLG 标志位置 1 时发出 DMA 请求，DMA 控制器从 SPI_DATA 寄存器中读取数据，此时 RXBNEFLG 标志位被清除。

通过监视 BSYFLG 标志位确认在发送模式下 DMA 传送所有需要发送的数据后 SPI 通信是否结束，可以避免破坏最后一个数据的传输。

带 CRC 的 DMA 功能

结束通信时，如果 SPI 同时使能 CRC 运算和 DMA 功能，CRC 字节的发送和接收会自动完成。

在数据和 CRC 传输结束时，如果 SPI_STS 寄存器中的 CRCEFLG 标志位置 1，说明传输期间发生了错误。

24.4.9 关闭 SPI

数据传输结束后，通过关闭 SPI 模块结束通讯。在一些配置中，如果在数据还没有传输完成下关闭了 SPI，可能会造成数据传输错误。不同的运行模式需要不同的方法关闭 SPI

主模式/全双工从模式

（1） 等待 RXBNEFLG 标志位置 1，接收最后一个数据

（2） 等待 TXBEFLG 标志位置 1

（3） 等待 BSYFLG 标志位清零

（4） 关闭 SPI（设置 SPI_CTRL1 寄存器的 SPIEN=0）

主模式/从模式单向只发送/双向发送模式

在最后的数据写入 SPI_DATA 寄存器后：

（1） 等待 TXBEFLG 标志位置 1

（2） 等待 BSYFLG 标志位清零

（3） 关闭 SPI（设置 SPI_CTRL1 寄存器的 SPIEN=0）

主模式/从模式单向只接收/双向接收模式

（1） 等待第 n-1 个 RXBNEFLG 标志位置 1

（2） 在关闭 SPI（设置 SPI_CTRL1 寄存器的 SPIEN=0）之前等待一个 SPI 时钟周期

（3） 在进入停机模式之前等待最后一个 RXBNEFLG 标志位置 1

从模式只接收/双向接收模式

在任意时刻都可以关闭 SPI（设置 SPI_CTRL1 寄存器的 SPIEN=0），会在传输结束后关闭。如果要进入停机模式，需要等到 BSYFLG 标志位清零。

24.4.10 SPI 中断

24.4.10.1 状态标志位

发送缓冲器空闲标志 TXBEFLG

TXBEFLG=1 说明发送缓冲器位空，可以写入下一个待发送的数据，当数据写入 SPI_DATA 寄存器时，清除 TXBEFLG 标志位。

接收缓冲器非空闲标志 RXBNEFLG

RXBNEFLG=1 说明接收缓冲器中含有有效数据，可以通过 SPI_DATA 寄存器来读取数据，清除 RXBNEFLG 标志。

忙标志 BSYFLG

BSYFLG 标志由硬件设置和清除，可以表明 SPI 通信层的状态，BSYFLG=1 时，表明 SPI 正在通信，但是在主设备下的双线接收模式，在接收数据期间 BSYFLG=0。

使用 BSYFLG 标志可以检测传输是否结束，避免破坏最后一次传输数据。

BSYFLG 标志位可以用于在多主模式下避免写入数据的冲突。

当出现传输结束（主模式的连续通信除外）、SPI 关闭以及主模式失效的情况，BSYFLG 标志将会清零。

通讯不连续时，在数据项和数据项之间，BSYFLG=0。

通讯连续时：

- 主模式中：传输的整个过程，BSYFLG=1
- 从模式中：每个数据的传输之间，BSYFLG 在一个 SCK 时钟周期保持为低

注意：最好使用 TXBEFLG 和 RXBNEFLG 标志来处理每一个数据项的发送和接收。

24.4.10.2 错误标志位

主模式错误 MEFLG

MEFLG 是一个错误标志位。主模式错误发生在：在硬件 NSS 模式中，主设备的 NSS 引脚被拉低；在软件 NSS 模式中，ISSEL 位被清零时；MEFLG 位被自动置位。

主模式失效的影响：MEFLG 置 1，在设置了 ERRIEN 的情况下，产生 SPI 中断；SPIEN 被清零，（输出停止，关闭 SPI 接口）；MSMSEL 被清零，设备强制进入从模式。

清除 MEFLG 标志位的操作：MEFLG 位置 1 时，需要对 SPI_STS 寄存器进行读或者写操作，然后写入 SPI_CTRL1 寄存器。

MEFLG 标志位为 1 时，不允许设置 SPIEN 和 MSMSEL 位。

溢出错误 OVRFLG

溢出错误：当主设备发送了数据之后，RXBNEFLG 标志位还为 1，说明此时发生为溢出错误。此时 OVRFLG 位置 1，如果还设置了 ERRIEN 位，将会产生中断。

发生溢出错误后，接受缓冲器的数据不是主设备发送的数据，此时读取 SPI_DATA 寄存器的值是之前没有读取的数据，而在之后的发送的数据不会被读取。

根据顺序读出 SPI_DATA 寄存器和 SPI_STS 寄存器可以清除 OVRFLG 标志。

CRC 错误标志 CRCEFLG

通过设置 SPI_CTRL1 寄存器的 CRCEN 位，启动 CRC 计算，CRC 错误标志，可以核对接收的数据是否有效。

当 SPI_TXCRC 寄存器发送的值与 SPI_RXCRC 寄存器中的数值不匹配时，产生 CRC 错误，此时 SPI_STS 寄存器中的 CRCEFLG 标志位置 1。

对 SPI_STS 寄存器的 CRCEFLG 位写 0，清除 CRCEFLG。

TI 帧格式错误标志 FREFLG

如果 SPI 在从模式下支持 TI 协议，则在通信期间出现 NSS 脉冲时将检测到 TI 帧格式错误。此错误出现时，SPI_STS[FREFLG]=1，且不会关闭 SPI，但会忽略 NSS 脉冲，并且 SPI 会等待下一个 NSS 脉冲到达再开始新的传输。由于错误检测可能导致丢失两个数据字节，因此数据可能会损坏。

读取 SPI_STS 寄存器时 FREFLG 标志清零。如果 ERRIEN=1，则检测到帧格式错误时将产生一个中断。此时无法保证数据的连续性，应关闭 SPI，并在重新使能从 SPI 后，由主机重启通信。

表格 102 SPI 中断请求

中断标志	中断事件	使能控制位	清除方式
TXBEFLG	发送缓冲器空标志	TXBEIEN	写 SPI_DATA 寄存器
RXBNEFLG	接收缓冲器非空标志	RXBNEIEN	读 SPI_DATA 寄存器
MEFLG	主模式失效事件	ERRIEN	读/写 SPI_STS 寄存器，然后写 SPI_CTRL1 寄存器
OVRFLG	溢出错误		读 SPI_DATA 寄存器，然后读 SPI_STS 寄存器
CRCEFLG	CRC 错误标志		写 0 到 CRCEFLG 位
FREFLG	TI 帧格式错误		读 SPI_STS 寄存器

24.5 I2S 功能描述

通过设置 SPI_I2SCFG 的 I2SMOD 位，使能 I2S 功能。

I2S 与 SPI 共用四个引脚：

- SD：串行数据，发送和接收 2 路时分复用通道的数据
- WS：片选，切换左右声道的数据
- CK：串行时钟，主模式下时钟信号输出，从模式下时钟信号输入
- MCK：主时钟，在主模式下时并且 SPI_I2SPSC 寄存器的 MCOEN 位置 1 时，可以作为输出额外的时钟信号引脚使用。

24.5.1 I2S 全双工

除了 I2S2 和 I2S3，还可以使用两个扩展 I2S 以支持 I2S 全双工模式。因此，第一个 I2S 全双工接口基于 I2S2 和 I2S2_ext，第二个基于 I2S3 和 I2S3_ext。

I2Sx 可以在主模式下工作：

（1） 半双工模式下输出 SCK 和 WS

（2） 全双工模式下向 I2S2_ext 和 I2S3_ext 提供 SCK 和 WS

扩展 I2S 只用于全双工模式且始终在从模式下工作。I2Sx 和 I2Sx_ext 均可用于发送和接收。

24.5.2 I2S 音频标准

I2S 的音频标准是通过设置 SPI_I2SCFG 寄存器的 I2SSSEL 位和 PFSSEL 位来选择，一共可以选择四种音频标准：I2S 飞利浦标准，MSB 对齐标准，LSB 对齐标准和 PCM 标准。其中除了 PCM 标准其他的音频标准都是两个通道：左声道和右声道。

数据长度和通道长度可以通过 SPI_I2SCFG 寄存器中 DATALEN 和 CHLEN 位来配置。其中通道长度必须大于或者等于数据长度，有四种数据格式发送数据：16 位数据打包进 16 位帧，16 位数据打包进 32 位帧，24 位数据打包进 32 位帧，32 位数据打包进 32 位帧。

当 16 位的数据扩展到 32 位时，前 16 位的数据是有效数据，后 16 位强制为 0，此过程中不需要任何外部干预。

因为用于发送和接收的数据缓冲器都是 16 位，因此当 24 位和 32 位数据传输时，SPI_DATA 需要进行两次读/写操作，如果使用了 DMA 则需要两次 DMA 传输。

对于所有的通讯标准和数据格式，数据的最高位总是最先发送。

对于时分复用，总是先发送左通道，然后发送右通道。

24.5.2.1 I2S 飞利浦标准

在 I2S 飞利浦标准下，引脚 WS 可以说明正在发送的数据来自左通道还是右通道。

在 I2S 飞利浦标准中，WS 和 SD 都是在 CK 时钟信号的下降沿变化。

发送方会在时钟信号 CK 的下降沿改变数据，接收方会在时钟信号 CK 的上升沿改变数据。

图 94 I2S 飞利浦协议波形（16/32 位）

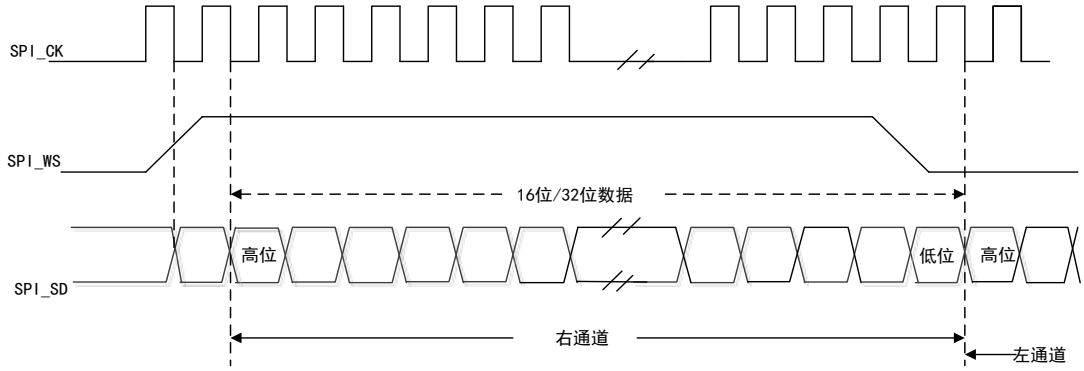
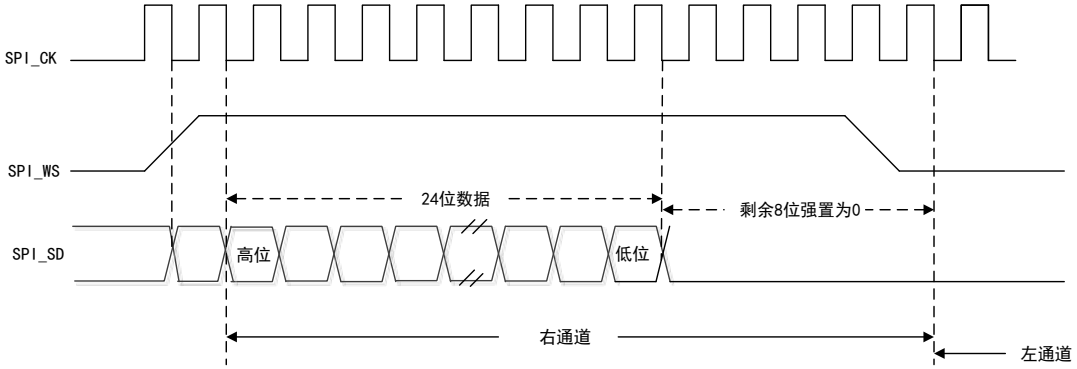


图 95 I2S 飞利浦协议波形（24 位）



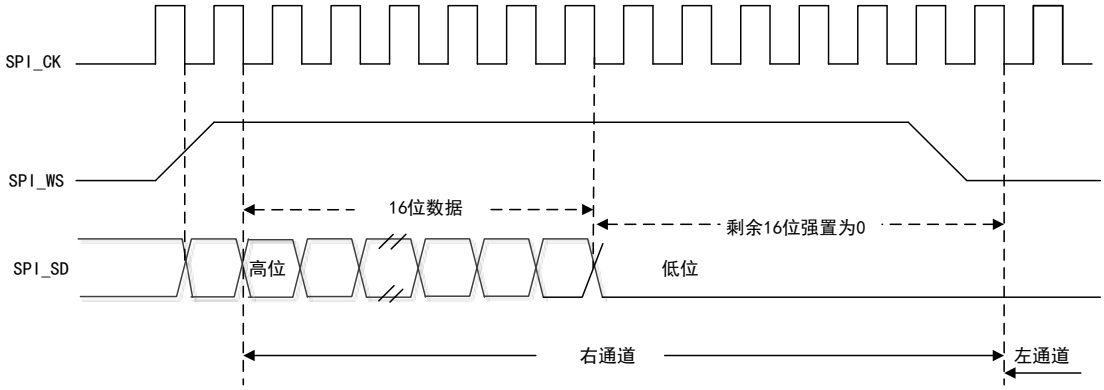
在 I2S 飞利浦标准下，如果要发送/接收 24 位和 32 位的数据需要对 SPI_DATA 寄存器进行两次读/写操作；例如：

- 需要发送 0x9FBB88（24 位数据时），第一次将 0x9FBB 写入 SPI_DATA 寄存器，第二次将 0x88XX 写入寄存器。
- 需要接收 0x9FBB88（24 位数据时），第一次从 SPI_DATA 寄存器中读出 0x9FBB，第二次从寄存器中读出 0x8800。

在 I2S 配置时，选择将 16 位数据扩展到 32 位数据帧的帧格式时，需要访问一次 SPI_DATA 寄存器，剩下的 16 位数据会被硬件强制置位 0X0000；例如：

- 需要接收或者发送的数据是 0x62D8 扩展到 32 位是 0x62D80000，需要将 0x62D8 写入 SPI_DATA 寄存器或者从 SPI_DATA 寄存器中读出。

图 96 I2S 飞利浦协议波形（16 位扩展至 32 位）



在发送过程中，要将 MSB 写入寄存器 SPI_DATA，在 TXBEFLG 标志位置 1 时可以写入新数据；如果有相应的中断，可以产生中断。

在接收过程中，每收到 MSB，RXBNEFLG 标志位置 1；如果还有相应的中断，可以产生中断。

24.5.2.2 MSB 对齐标准

在 MSB 标准中，WS 信号和第一个数据位同时产生

在发送过程中，在时钟信号的下降沿改变数据；在接收过程中，在时钟信号的上升沿读取数据。

图 97 MSB 对齐标准波形（16/32 位数据）

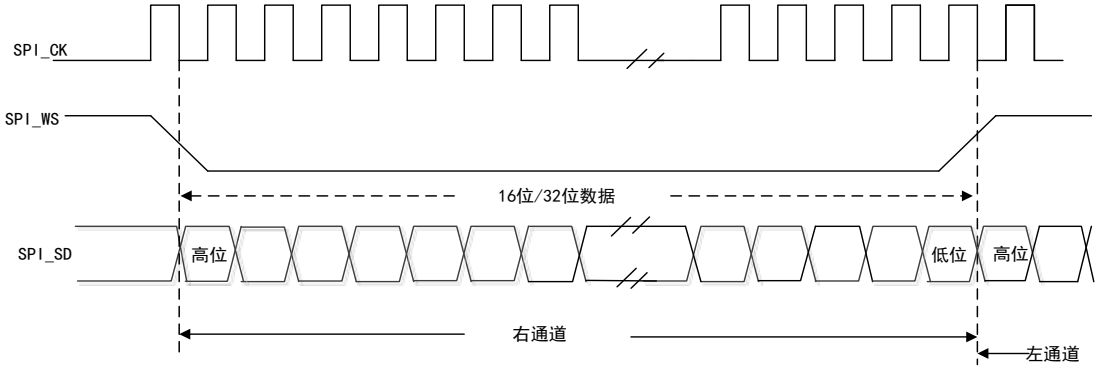


图 98 MSB 对齐标准波形（24 位数据）

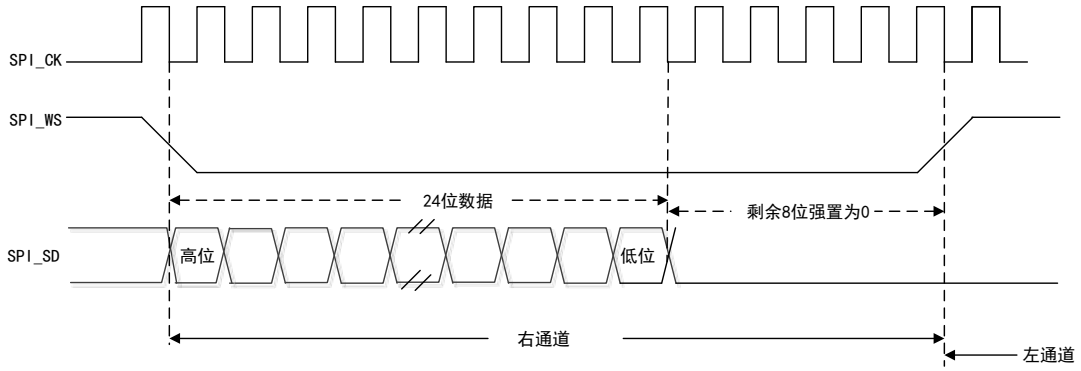
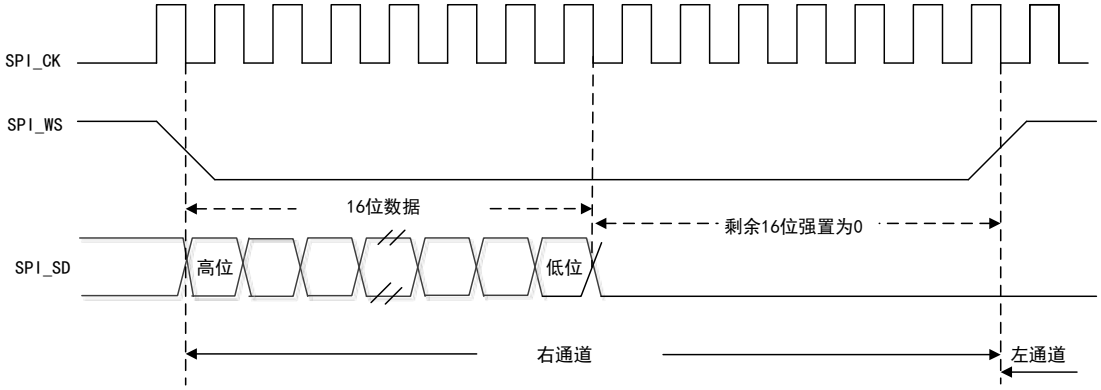


图 99 MSB 对齐标准波形（16 位扩展至 32 位）



24.5.2.3 LSB 对齐标准

LSB 对齐标准的发送过程中，在时钟信号的下降沿改变数据；在接收过程中，在时钟信号的上升沿读取数据。当通道长度和数据长度一样时，LSB 对齐标准和 MSB 对齐标准相同，如果通道长度大于数据长度，LSB 对齐标准的有效数据与最低位对齐。

图 100 LSB 对齐标准波形（16/32 位数据）

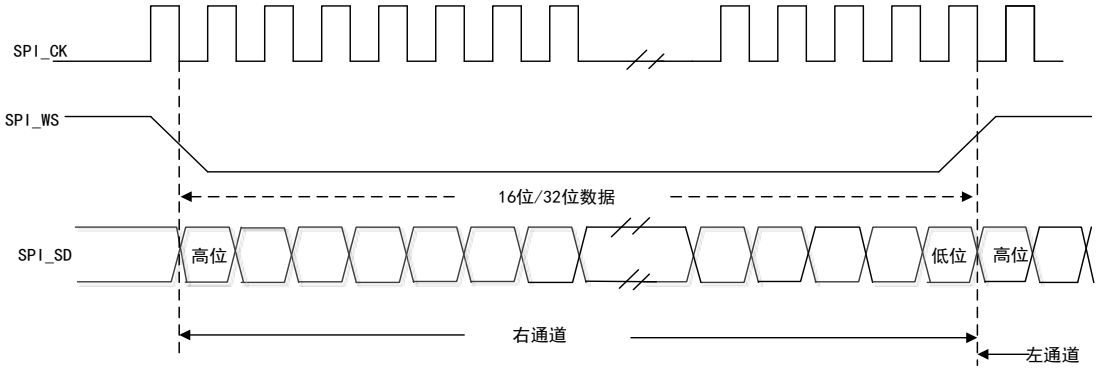
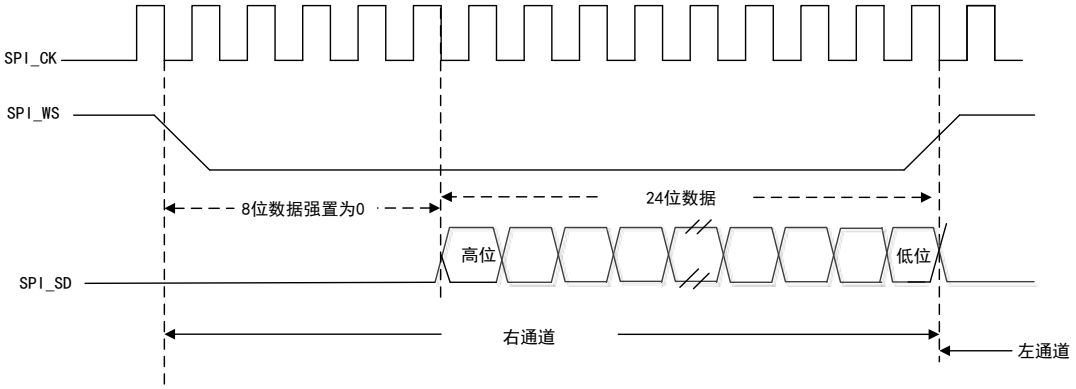


图 101 LSB 对齐标准波形（24 位数据）



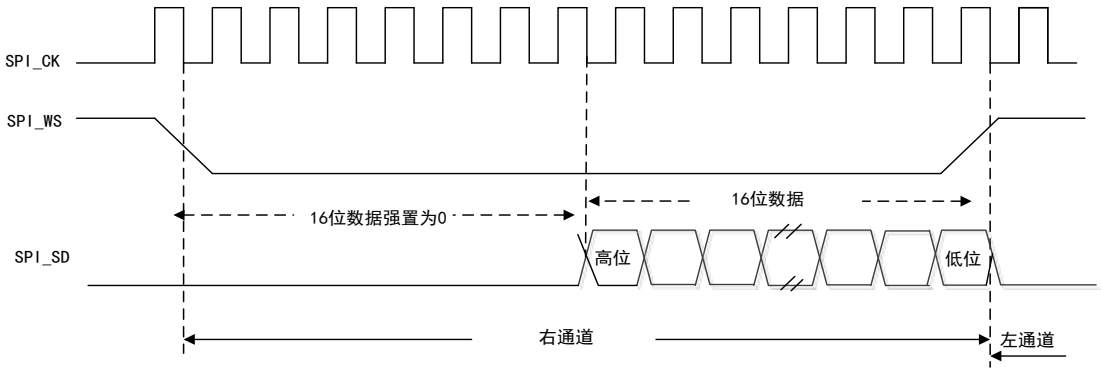
在发送过程中，如果要发送/接收 24 位数据时，需要对 SPI_DATA 寄存器进行 2 次读/写操作；例如：

- 需要发送 0x56EA98 时，第一次将 0xXX56 写进 SPI_DATA 寄存器，第二次将 0xEA98 写进 SPI_DATA 寄存器。
- 需要接收 0x56EA98 时，第一次将 0x0056 从 SPI_DATA 寄存器中读出，第二次将 0xEA98 从 SPI_DATA 寄存器中读出。

在 I2S 配置时，选择将 16 位数据扩展到 32 位数据帧的帧格式时，需要访问一次 SPI_DATA 寄存器，高 16 位数据会被硬件强制置位 0x0000；例如：

- 需要接收或者发送的数据是 0x98A5 扩展到 32 位是 0x000098A5，需要将 0x98A5 写入 SPI_DATA 寄存器或者从 SPI_DATA 寄存器中读出。

图 102 LSB 对齐标准下（16 位扩展至 32 位）

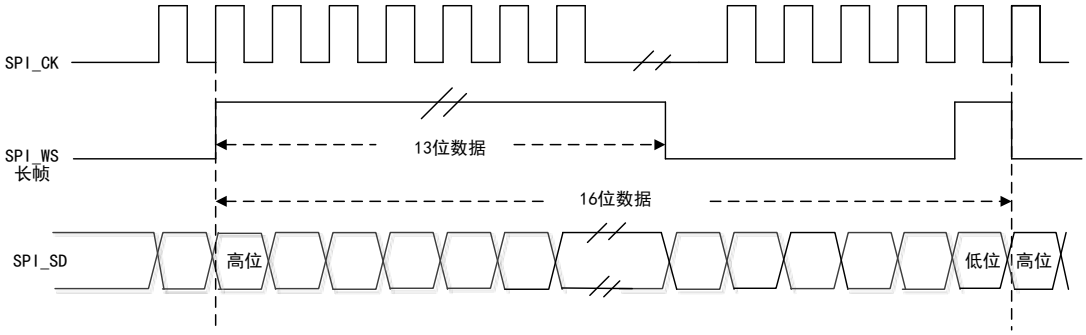


24.5.2.4 PCM 标准

在 PCM 标准中，没有声道选择。通过配置 SPI_I2SCFG 寄存器中的 PFSSEL 位来选择 PCM 标准的短帧和长帧。

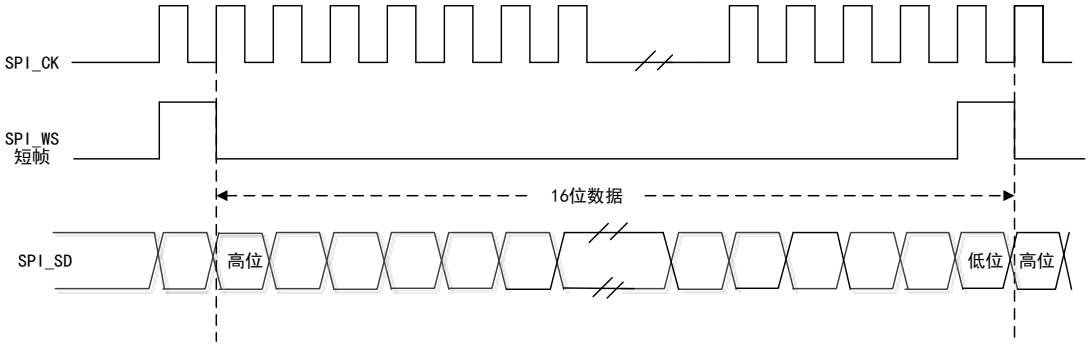
长帧结构在主模式中，同步的 WS 信号有效的时间为 13 位。

图 103 PCM 标准波形



短帧结构在主模式中，同步的 WS 信号长度有 1 位。

图 104 PCM 标准波形



24.5.3 I2S 时钟

I2SxCLK 的时钟来源为系统时钟（AHB 时钟的 HSICLK、HSECLK 或者 PLL）

I2S 的比特率确定了 I2S 数据线上的数据流和 I2S 的时钟信号频率。

- I2S 比特率=每个声道的比特数×声道数目×音频采样频率
- 有左右两声道是 16 位音频信号：I2S 比特率=16×2×Fs

音频的采样频率（Fs）和 I2S 比特率（I2S）的关系由以下公式定义：

表格 103 音频采样频率（Fs）公式

MCOEN	CHLEN	音频采样频率（Fs）
1	0	I2SxCLK/[（16*2）*（(2*I2SPSC）+ODDPSC）*8]
1	1	I2SxCLK/[（32*2）*（(2*I2SPSC）+ODDPSC）*4]
0	0	I2SxCLK/[（16*2）*（(2*I2SPSC）+ODDPSC）]
0	1	I2SxCLK/[（32*2）*（(2*I2SPSC）+ODDPSC）]

24.5.4 I2S 模式

I2S 可配置如下：

（1） 半双工模式下使用 I2Sx 的发送主机或接收主机

（2） 全双工模式下同时收发的主机

表格 104 I2S 运行模式

运行模式	SD	WS	CK	MCK
主机发送	输出	输出	输出	输出/不使用
主机接收	输入	输出	输出	输出/不使用
从机发送	输出	输入	输入	输出/不使用
从机接收	输入	输入	输入	输出/不使用

24.5.4.1 I2S 主模式

I2S 在主模式工作时，串行时钟由引脚 CK 输出，字选信号由引脚 WS 产生。由 SPI_I2SPSC[MCOEN]控制是否输出主时钟。

配置流程：

（1） 配置 SPI_I2SPSC 寄存器的 I2SPSC 位和 ODDPSC 位，定义与音频采样频率相符的串行时钟波特率和实际分频系数。

（2） 配置 SPI_I2SCFG 寄存器的 CPOL 位，定义 SPI 在空闲状态的时钟极性。

（3） 配置 SPI_I2SCFG 寄存器的 I2SMOD 位激活 I2S 功能，配置 SPI_I2SCFG 寄存器的 I2SMOD 和 PFSSEL 位，选择 I2S 标准，配置 SPI_I2SCFG 寄存器的 DATALEN 位选择声道的数据位数，进而 I2SMOD 位选择 I2S 主模式以及是发送端/接收端。

（4） 配置 SPI_CTRL2 寄存器选择是否开启中断和 DMA 功能（可以选择是否需要）。

（5） 将 WS 引脚和 CK 引脚配置成输出模式，当 SPI_I2SPSC 的 MCOEN 位为 1 时，MCK 引脚也要配置成输出模式。

（6） 通过配置 SPI_I2SCFG 的 I2SMOD 的位，设置 I2S 的运行模式。

（7） 将 SPI_I2SCFG 寄存器的 I2SEN 位置 1。

I2S 主模式发送流程

当数据写入发送缓冲器时，此时开始发送，数据会从发送缓冲器传送到移位寄存器，此时 TXBEFLG 标志位置 1，其中 SCHDIR 标志位提示当前传输的数据所对应的声道。并且 SCHDIR 标志位的值会在 TXBEFLG 标志位为 1 时更新。

在发送第一位数据时，16 位的数据被并行的传送到 16 位移位寄存器中，之后串行的从引脚 MISO/SD 发出。下一个数据需要在 TXBEFLG 标志位为 1 时写入 SPI_DATA 寄存器，如果 SPI_CTRL2 的 TXBEIEN 的位为 1，则产生中断。

在当前数据传输完成之前，写入下一个待传输的数据，保证音频数据连续传输。

关闭 I2S 时，I2SEN 要等待标志位 TXBEFLG 为 1 且 BSYFLG 为 0 后清零。

I2S 主模式接收流程

RXBNEFLG 标志用来控制接收序列，RXBNEFLG 标志表示接收缓冲器是否为空，当填满接收缓存器后，RXBNEFLG 标志位置 1，如果配置了 SPI_CTRL2 寄存器的 RXBNEIEN 位，则发生中断，用户将数据从 SPI_DATA 寄存器中读出后，RXBNEFLG 标志位清零。一定要在读操作结束后，接收新数据，否则会发生上溢，OVRFLG 标志位被置 1。

在接收数据以后要立即更新 SCHDIR 的值，它取决于 I2S 产生的 WS 信号。

其中不管是哪种数据和声道长度，音频数据总是以 16 位的形式接收。根据配置的数据和声道长度，数据需要通过一次或者两次把数据传送到接收缓冲器中。

关闭 I2S 功能，不同的音频协议，数据长度和通道长度的操作步骤入下：

数据长度为 16 位，32 位通道长度（DATALEN=00,，CHLEN=1，I2SSSEL=10）在 LSB 对齐模式下

- 等到倒数第二个 RXBNEFLG 置 1
- 等到 17 个 I2S 时钟周期（软件延迟）
- I2SEN=0

数据长度 16 位，32 位通道长度（DATALEN=00,，CHLEN=1，I2SSSEL=10）在 MSB 对齐模式下

- 等到最后一个 RXBNEFLG 置 1
- 等到 1 个 I2S 时钟周期（软件延迟）
- I2SEN=0

其他的所有情况

- 等到倒数第二个 RXBNEFLG 置 1
- 等到 1 个 I2S 时钟周期（软件延迟）
- I2SEN=0

在数据传输期间 BSYFLG 标志时钟为低电平。

24.5.4.2 I2S 从模式

从模式的配置方法和主模式的配置方法基本一样，在从模式中，不需要 I2S 提供时钟，是由外部 I2S 设备提供时钟信号和 WS 信号。

配置流程：

（1） 配置 SPI_I2SCFG 寄存器的 I2SMOD 位激活 I2S 功能。

（2） 配置 SPI_I2SCFG 寄存器的 I2SSSEL 位选择使用的 I2S 标准；配置 SPI_I2SCFG 寄存器的 DATALEN[1:0]位选择数据的比特数，配置 SPI_I2SCFG 寄存器的 CHLEN 位选择每个声道的数据位数，配置 SPI_I2SCFG 寄存器的 I2SMOD 位选择 I2S 从模式是发送端/接收端。

（3） 配置 SPI_CTRL2 寄存器选择是否开启中断和 DMA 功能（可以选择是否需要）。

（4） 将 SPI_I2SCFG 寄存器的 I2SEN 位置 1。

I2S 从模式发送流程

使能从设备，将数据写入 I2S 数据寄存器中，外部主设备开始通信，外部主设备发送时钟信号，当数据传输开始时，发送流程开始。

发送第一位数据时，16 位的数据并行的传送到 16 位移位寄存器中，然后串行的从引脚 MOSI/SD 发出，当数据从数据寄存器传送到移位寄存器中时，TXBEFLG 标志位置 1，如果此时设置了 SPI_CTRL2 寄存器的 TXBEIEN 位，则会产生中断。为了保证数据传输的连续性，要在数据完成传输之前，向 SPI_DATA 寄存器写入下一个数据，否则会发生“下溢”，UDRFLG 标志位置 1。

SPI_STS 寄存器的 SCHDIR 位表明了传输的数据所对应的声道，在从模式中 SCHDIR 位是由外部主设备 WS 信号决定的。

I2S 的 MSB 和 LSB 对齐模式，第一个写进数据寄存器的数据对应左声道的数据。

要关闭 I2S，需要等待 TXBEFLG 标志位置 1，BSYFLG 标志位清零。

I2S 从模式接收流程

RXBNEFLG 位用来控制接收序列，RXBNEFLG 位表示接收缓冲器是否为空，当填满接收缓存器后，RXBNEFLG 位置 1，如果配置了 SPI_CTRL2 寄存器的 RXBNEIEN 位，则发生中断，将数据从 SPI_DATA 寄存器中读出后，RXBNEFLG 位清零，一定要在读操作结束后，接收新数据，否则会发生“上溢”，OVRFLG 标志位被置 1。

在接收数据以后要立即更新 SCHDIR 的值，它取决于 I2S 产生的 WS 信号。

其中不管是哪种数据和声道长度，音频数据总是以 16 位的形式接收。根据配置的数据和声道长度，数据需要通过一次或者两次把数据传送到接收缓冲器中。

要关闭 I2S，在接收最后一个 RXBNEFLG 置 1 时，将 I2SEN 标志位清零。

24.5.5 I2S 中断

24.5.5.1 状态标志位

在 I2S 中有三个状态标志位监控 I2S 总线的状态。

发送缓存器空标志位 TXBEFLG

当 TXBEFLG 位为 1 时表明发送缓冲器为空，可以向发送缓冲器写入待发送数据，当写入数据后 TXBEFLG 位清 0。（关闭 I2S 时，TXBEFLG 位为 0）。

接收缓冲器非空标志位 RXBNEFLG

当 RXBNEFLG 标志位为 1 时表明接收缓冲器此时有待接收的数据，当对 SPI_DATA 寄存器进行读操作后，RXBNEFLG 位清零。

忙标志位 BSYFLG

BSYFLG 位为 1 时表明此时 I2S 正处于通讯状态（由硬件设置和清除），但是在

主接收模式中，接收期间 BSYFLG 标志始终为 0。

当关闭 I2S 和数据传输结束时，BSYFLG 标志位清 0。

连续通信时：

- 主发送模式时，传输期间，BSYFLG 标志位始终为高
- 从模式时，每个数据项传输之间，BSYFLG 标志位在 1 个 I2S 时钟周期内置 0

声道标志位 SCHDIR

发送模式中，SCHDIR 标志位表明了此时 SD 引脚上发送的数据处在左声道还是右声道，此标志位在 TXBEFLG=1 时刷新。

在从模式的发送流程中如果发生了下溢错误，SCHDIR 标志位的值失效，如果需要重新开始通讯，需要把 I2S 功能关闭再打开。

在接收模式中，SCHDIR 标志位表明了此时接收的数据是来自左声道还是右声道。此标志位在 SPI_DATA 寄存器接收到数据时刷新。，

在接收模式中如果发生上溢错误，SCHDIR 标志位失效，如果需要重新开始通讯，需要把 I2S 功能关闭在打开。

在 PCM 标准中，因为没有声道的选择，所以 SCHDIR 标志位无意义。

当 SPI_STS 寄存器的 OVRFLG 和 UDRFLG 标志位为 1 时，且 SPI_CTRL2 的 ERRIEN=1 时，会产生中断。通过读取 SPI_STS 寄存器的值可以清除中断标志。

24.5.5.2 错误标志位

下溢标志位 UDRFLG

在发送模式中，如果没有在数据发送之前，向 SPI_DATA 寄存器写入新的待发送数据，UDRFLG 位会置 1；此时如果 SPI_CTRL2 寄存器的 ERRIEN 位置 1，会产生中断。

此标志位在 SPI_I2SCFG 的 I2SMOD 位置 1 后，才会生效。通过读 SPI_STS 寄存器清除 UDRFLG 位。

上溢标志位 OVRFLG

在接收模式中，如果在没有读出数据之前又接收到新的数据，OVRFLG 标志位会置 1。此时如果 SPI_CTRL2 寄存器的 ERRIEN 位置 1，会产生中断表明发生了错误。

读取 SPI_DATA 寄存器返回最后一个正确接收的数据，其他所有新接收的数据都会丢失。可以通过先读 SPI_STS 寄存器然后再读 SPI_DATA 寄存器清除 OVRFLG 位。

帧错误标志 FREFLG

当 I2S 配置为从模式时此标志由硬件置 1。如果外部主机随意改变 WS 信号，则此标志置 1。当失去同步时要从此状态中恢复并将外部主机与 I2S 从机重新同步需要先关闭 I2S，再等到在 WS 线上检测到正确的电平即重新使能。

主机与从机失去同步可能是 SCK 通信时钟或 WS 帧同步信号线上存在噪音干扰引起的。如果设置 ERRIEN 位，可产生错误中断。读 SPI_STS 寄存器时，此标志由软件清零。

表格 105 I2S 中断请求

中断标志	中断事件	使能控制位	清除方法
TXBEFLG	发送缓冲器空标志	TXBEIEN	写 SPI_DATA 寄存器
RXBNEFLG	接收缓冲器非空标志	RXBNEIEN	读 SPI_DATA 寄存器
OVRFLG	下溢标志位	ERRIEN	读 SPI_STS 寄存器
UDRFLG	上溢标志位		读 SPI_STS 寄存器 再读 SPI_DATA 寄存器
FREFLG	帧错误标志		读 SPI_STS 寄存器

24.5.5.3 DMA 功能

在 I2S 模式中，除了 CRC 功能没有之外，DMA 的工作方式与在 SPI 模式下相同。

24.6 寄存器地址映射

表格 106 SPI 和 I2S 寄存器地址映射

寄存器名	描述	偏移地址
SPI_CTRL1	SPI 控制寄存器 1	0x00
SPI_CTRL2	SPI 控制寄存器 2	0x04
SPI_STS	SPI 状态寄存器	0x08
SPI_DATA	SPI 数据寄存器	0x0C
SPI_CRCPOLY	SPI CRC 多项式寄存器	0x10
SPI_RXCRC	SPI 接收 CRC 寄存器	0x14
SPI_TXCRC	SPI 发送 CRC 寄存器	0x18
SPI_I2SCFG	SPI I2S 配置寄存器	0x1C
SPI_I2SPSC	SPI I2S 预分频寄存器	0x20

24.7 寄存器功能描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

24.7.1 SPI 控制寄存器 1（SPI_CTRL1）（I2S 模式下不使用）

偏移地址：0x00

复位值：0x0000

位/域	名称	R/W	描述
0	CPHA	R/W	配置时钟相位（Clock Phase Configure） 该位表明在几个时钟边沿开始采样 0：在第 1 个时钟边沿 1：在第 2 个时钟边沿 注：通信进行时，不能修改该位。
1	CPOL	R/W	配置时钟极性（Clock Polarity Configure） 当 SPI 处于空闲状态时，SCK 保持的电平状态。 0：低电平 1：高电平 注：通信进行时，不能修改该位
2	MSMCFG	R/W	配置主/从模式（Master/Salve Mode Configure） 0：配置为从模式 1：配置为主模式 注：通信进行时，不能修改该位
5:3	BRSEL	R/W	选择波特率分频系数（Baud Rate Divider Factor Selectl） 000：DIV=2 001：DIV=4 010：DIV=8 011：DIV=16 100：DIV=32 101：DIV=64 110：DIV=128 111：DIV=256 波特率=F_{PCLK}/DIV 注：通信进行时，不能修改该位
6	SPIEN	R/W	使能 SPI 设备（SPI Device Enable） 0：禁用 1：使能 注：当关闭 SPI 设备时，请按照关闭 SPI 的过程操作。
7	LSBSEL	R/W	选择 LSB 首位传输（LSB First Transfer Select） 0：先发送最高有效位（MSB） 1：先发送最低有效位（LSB）
8	ISSEL	R/W	选择内部从设备（Internal Slave Device Select） 当 CTRL1_SSEN=1 时（软件 NSS 模式），可配置该位选择内部 NSS 电平 0：内部 NSS 为低电平 1：内部 NSS 为高电平
9	SSEN	R/W	使能软件从设备（Software Slave Device Enable） 0：禁止软件 NSS 模式，内部 NSS 电平由外部 NSS 引脚决定 1：启用软件 NSS 模式，内部 NSS 电平由外部 ISSEL 引脚决定

位/域	名称	R/W	描述
10	RXOMEN	R/W	使能仅接收模式（Receive Only Mode Enable） 0：同时发送和接收 1：仅接收模式 RXOMEN 位和 BMEN 位一起决定了双线双向模式下的传输方向，在多个从设备的配置中，为了避免数据传输冲突的发生，需要在未被访问的从设备上使 RXOMEN 位置 1。
11	DFLSEL	R/W	选择数据帧长度（Data Frame Length Format Select） 0：8 位数据帧格式 1：16 位数据帧格式 只有在 SPIEN=0 时，才能写入该位，改变数据帧长度。
12	CRCNXT	R/W	使能下一个传输数据是 CRC（CRC Transfer Next Enable） 0：下一个传输数据来自发送缓冲区 1：下一个传输数据来自 CRC 寄存器 注：在 SPI_DATA 寄存器写入最后一个数据后，马上设置 CRCNXT 位。
13	CRCEN	R/W	使能 CRC 校验（CRC Calculate Enable） 0：禁止 1：使能 CRC 校验功能仅应用于全双工模式；只有在 SPIEN=0 时，才能改变该位。
14	BMOEN	R/W	使能双向模式的输出（Bidirectional Mode Output Enable） 0：禁止，即仅接收模式 1：使能，即仅发送模式 在 BMEN=1 即单线双线模式下，该位决定传输线的传输方向。
15	BMEN	R/W	使能双向模式（Bidirectional Mode Enable） 0：双线单向模式 1：单线双向模式 单线双向传输指：数据主机的 MOSI 引脚和从机的 MISO 引脚之间传输

24.7.2 SPI 控制寄存器 2（SPI_CTRL2）

偏移地址：0x04

复位值：0x0000

位/域	名称	R/W	描述
0	RXDEN	R/W	使能接收缓冲区 DMA（Receive Buffer DMA Enable） 当 RXDEN=1 时，RXBNEFLG 标志一旦被置位就发出 DMA 请求。 0：禁止 1：启动
1	TXDEN	R/W	使能发送缓冲区 DMA（Transmit Buffer DMA Enable） 当该位被设置时，TXBEFLG 标志一旦被置位就发出 DMA 请求。 0：禁止 1：启动

位/域	名称	R/W	描述
2	SSOEN	R/W	使能 SS 输出（SS Output Enable） SS 输出在主模式下 0：禁止 SS 输出，可以工作在多主机模式。 1：开启 SS 输出，不能工作在多主机模式。 注：I2S 模式下不使用。
3	保留		
4	FRFCFG	R/W	配置帧格式（Frame Format Configure） 0：SPI 摩托罗拉模式 1：SPI TI 模式 注：I2S 模式下不可用。
5	ERRIEN	R/W	使能错误中断（Error Interrupt Enable） 0：禁止 1：使能 产生错误时，ERRIEN 位控制是否产生中断。
6	RXBNEIEN	R/W	使能接收缓冲区非空中断（Receive Buffer Not Empty Interrupt Enable） 0：禁止 1：允许 当 RXBNEFLG 标志位置 1 时产生中断请求
7	TXBEIEN	R/W	使能发送缓冲区空中断（Transmit Buffer Empty Interrupt Enable） 0：禁止 1：使能 当 TXBEFLG 标志位置 1 时产生中断请求
15:8	保留		

24.7.3 SPI 状态寄存器（SPI_STS）

偏移地址：0x08

复位值：0x0002

位/域	名称	R/W	描述
0	RXBNEFLG	R	接收缓冲非空标志（Receive Buffer Not Empty Flag） 0：空 1：非空
1	TXBEFLG	R	发送缓冲器为空标志（Transmit Buffer Empty Flag） 0：非空 1：空
2	SCHDIR	R	声道方向标志（Sound Channel Direction Flag） 0：表明左声道正在传输或者接收需要的数据 1：表明右声道正在传输或者接收需要的数据 注：在 SPI 模式下不使用，在 PCM 模式下无左右声道。
3	UDRFLG	R	发生下溢标志（Underrun Occur Flag） 0：未发生 1：发生 该标志位由硬件置位，软件对该位写 0 清除。 在 SPI 模式下不使用

位/域	名称	R/W	描述
4	CRCEFLG	RC_W0	发生 CRC 错误标志（CRC Error Occur Flag） 该位表示接收的 CRC 值和 RXCRC 寄存器的值是否匹配 0：匹配 1：不匹配 该位由硬件置位，软件对该位写 0 清除；在 I2S 模式下不使用。
5	MEFLG	R	发生模式错误标志（Mode Error Occur Flag） 0：未发生 1：发生 由硬件置位，软件对该位写 0 清除；在 I2S 模式下不使用。
6	OVRFLG	R	发生上溢标志（Overrun Occur Flag） 0：未发生 1：发生 由硬件置位，软件对该位写 0 清除。
7	BSYFLG	R	SPI 忙标志（SPI Busy Flag） 0：SPI 空闲 1：SPI 正在通信 由硬件置位或者清除。
8	FREFLG	R	帧格式错误标志（Frame Format Error Flag） 0：未发生 1：发生 注：在 TI 从模式或 I2S 从模式下工作时，使用此标志。该位由硬件置 1，读取 SPI_STS 寄存器时清 0。
15:9	保留		

24.7.4 SPI 数据寄存器（SPI_DATA）（I2S 模式下不使用）

偏移地址：0x0C

复位值：0x0000

位/域	名称	R/W	描述
15:0	DATA	R/W	发送接收数据寄存器（Transmit Receive Data register） 写该寄存器时，会将数据写入发送缓冲区；读该寄存器时，是读取接收缓冲区的数据。 缓冲区的大小和数据帧的长度保持一致，即对于 8 位数据，发送、接收数据时只会用到 DATA[7:0]，DATA[15:8]是无效；对于 16 位数据，发送、接收时会用到 DATA[15:0]。

24.7.5 SPI CRC 多项式寄存器（SPI_CRCPOLY）（I2S 模式下不使用）

偏移地址：0x10

复位值：0x0007

位/域	名称	R/W	描述
15:0	CRCPOLY	R/W	设置 CRC 多项式数值（CRC Polynomial Value Setup） 该寄存器是包含了 CRC 计算的 CRC 多项式，可修改，复位值是 0x0007。

24.7.6 SPI 接收 CRC 寄存器（SPI_RXCRC）（I2S 模式下不使用）

偏移地址：0x14

复位值：0x0000

位/域	名称	R/W	描述
15:0	RXCRC	R	接收数据的 CRC 数值（Receive Data CRC Value） 硬件计算接收数据的 CRC 数据存储在改寄存器；位数和数据帧的长度一致，即如果接收数据是 8 位的，CRC 计算按 CRC8 方式；如果接收数据是 16 位的，CRC 计算按 CRC16 计算。 当 CRCEN 置位时，硬件清除该寄存器。 注意：当 BSYFLG 位置 1 时，读取 RXCRC 寄存器数值有可能错误。

24.7.7 SPI 发送 CRC 寄存器（SPI_TXCRC）（I2S 模式下不使用）

偏移地址：0x18

复位值：0x0000

位/域	名称	R/W	描述
15:0	TXCRC	R	发送数据的 CRC 数值（Transmit Data CRC Value） 硬件计算发送数据的 CRC 数据存储在改寄存器；位数和数据帧的长度一致，即如果发送数据是 8 位的，CRC 计算按 CRC8 方式；如果发送数据是 16 位的，CRC 计算按 CRC16 计算。 当 CRCEN 置位时，硬件清除该寄存器。 注意：当 BSYFLG 位置 1 时，读取 RXCRC 寄存器数值有可能错误。

24.7.8 SPI_I2S 配置寄存器（SPI_I2SCFG）

偏移地址：0x1C

复位值：0x0000

位/域	名称	R/W	描述
0	CHLEN	R/W	配置声道长度（Channel Length Configure） 声道长度是指每个音频声道的数据位数 0：16 位宽 1：32 位宽 声道长度大于数据长度时，才能成功配置声道长度，否则硬件会自动调整声道长度；当 I2SEN=0 时才能配置该位，在 SPI 模式下不使用。
2:1	DATALEN	R/W	配置待传输数据长度（Configure the Length of the Data to Be Transferred） 00：16 位数据长度 01：24 位数据长度 10：32 位数据长度 11：不允许 当 I2SEN=0 时才能配置该位，在 SPI 模式下不使用。
3	CPOL	R/W	配置空闲状态时钟极性（Idle State Clock Polarity Configure） 0：低电平 1：高电平 当 I2SEN=0 时才能配置该位，在 SPI 模式下不使用。
5:4	I2SSSEL	R/W	选择 I2S 标准（I2S Standard Select） 00：I2S 飞利浦标准 01：高字节对齐标准（左对齐） 10：低字节对齐标准（右对齐） 11：PCM 标准 当 I2SEN=0 时才能配置该位，在 SPI 模式下不使用。
6	保留		

位/域	名称	R/W	描述
7	PFSSEL	R/W	选择 PCM 帧同步模式（PCM Frame Synchronization Mode Select） 0：短帧同步 1：长帧同步 只适用 PCM 标准（I2SSSEL=11）；当 I2SEN=0 时才能配置该位，在 SPI 模式下不使用。
9:8	I2SMOD	R/W	配置 I2S 主/从、发送/接收模式（I2S Master/Slave Transmit/Receive Mode Configure） 00：从设备发送 01：从设备接收 10：主设备发送 11：主设备接受 当 I2SEN=0 时才能配置该位，在 SPI 模式下不使用。
10	I2SEN	R/W	使能 I2S（I2S Enable） 0：关闭 I2S 1：使能 I2S 注：在 SPI 模式下不使用。
11	MODESEL	R/W	选择 SPI/I2S 模式（SPI/I2S Mode Select） 0：选择 SPI 模式 1：选择 I2S 模式 注：该位只有在关闭了 SPI 或者 I2S 时才能设置。
15:12	保留		

24.7.9 SPI_I2S 预分频寄存器（SPI_I2SPSC）（在 SPI 模式下不使用）

偏移地址：0x20

复位值：0x0002

位/域	名称	R/W	描述
7:0	I2SPSC	R/W	配置 I2S 线性预分频系数（I2S Linear Prescaler Factor Configure） I2SPSC 不能设置为 0 和 1；当 I2SEN=0 时才能配置该位，在 SPI 模式下不使用。
8	ODDPSC	R/W	配置预分频系数为奇数（Configure the prescaler factor to be odd） 0：实际分频系数=I2SPSC*2 1：实际分频系数=（I2SPSC*2）+1 当 I2SEN=0 时才能配置该位，在 SPI 模式下不使用。
9	MCOEN	R/W	使能主设备时钟输出（Master Device Clock Output Enable） 0：关闭 1：使能 当 I2SEN=0 时才能配置该位，在 SPI 模式下不使用。
15:10	保留		

25 控制器局域网（CAN）

25.1 术语全称、缩写描述

表格 107 术语全称、缩写描述

中文全称	英文全称	英文缩写
先进先出队列	First Input First Output	FIFO
请求	Request	REQ

25.2 简介

CAN 是控制器局域网络 Controller Area Network 的缩写，是 ISO 国际标准化的串行通信协议，支持 CAN 协议 2.0A 和 2.0B。在 CAN 协议中，发送者以广播形式把报文发送给所有接收者，节点在接收报文时，会经过过滤器组根据标识符决定是否需要该报文，这种设计节省了 CPU 的开销。

25.3 主要特性

（1） 支持 CAN 协议 2.0A 和 2.0B

（2） 通信波特率最大为 1Mbit/s

（3） 发送功能
- 有 3 个发送邮箱
- 发送报文优先级可配置
- 可记录发送时间

（4） 接收功能
- 有 2 个 3 级深度的接收 FIFO
- 有 28 个过滤器组.
- 可记录接收时间

25.4 功能描述

25.4.1 CAN 物理层特性

CAN 总线上可以有多个通讯节点，每个节点由一个 CAN 的控制器和收发器组成，控制器和收发器之间通过 CAN_TX 和 CAN_RX 连接传输逻辑信号，收发器和总线之间通过 CAN_High 和 CAN_Low 连接传输差分信号。

25.4.2 报文结构

图 105 标准数据帧

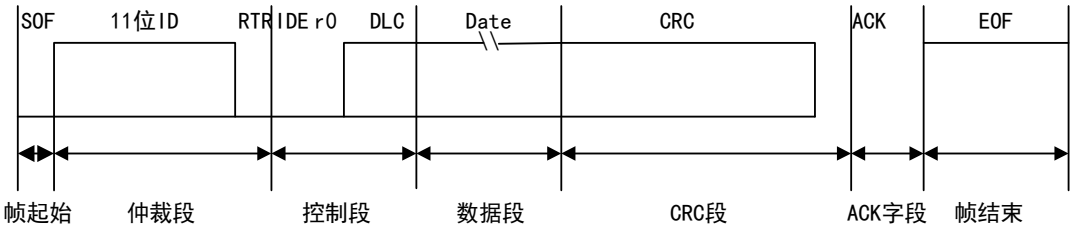
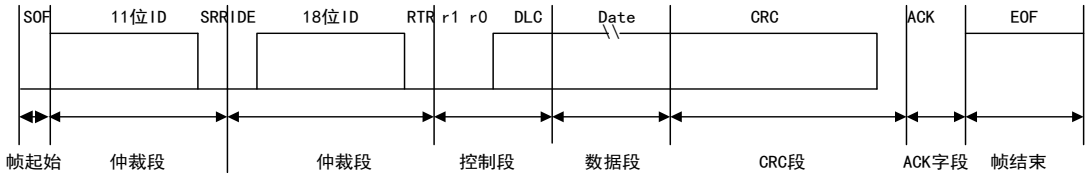


图 106 扩展数据帧



注意：

（1）帧起始：用来通知各个节点将有数据传输。

（2）仲裁段：有多个报文被发送时，用来决定哪个报文能被传输。此段主要内容是 ID 信息，标准格式下 ID 为 11 位，扩展格式下 ID 为 29 位。

（3）控制段：此段最主要的是数据长度码（DLC）,用来表示报文中的数据段有多少个字节。数据段最多 8 个字节。

（4）数据段：包含节点要发送的数据信息。

（5）CRC 段：CRC 校验码用来确保报文正确传输。

（6）ACK 段：此段包含 ACK 槽位和 ACK 界定符位，ACK 槽中发送节点发送隐性位，接收节点将在这一位发送显性位表示应答。

（7）帧结束：由发送节点发送的 7 个隐性位表示结束。

25.4.3 工作模式

CAN 有三个主要的工作模式：初始化模式、正常模式和睡眠模式。

25.4.3.1 初始化模式

配置寄存器 CAN_MCTRL 的 INITREQ 位置 1 请求进入初始化模式，INITFLG 位清 0 确认进入初始化模式。

配置寄存器 CAN_MCTRL 的 INITREQ 位清 0 请求退出初始化模式，INITFLG 位清 0 确认退出初始化模式。

初始化模式下，禁止报文接收和发送。

25.4.3.2 正常模式

通过软件配置寄存器 CAN_MCTRL 的 INITREQ 位清 0 请求从初始化模式进入正

常模式，等待硬件对 INITFLG 位清 0 确认进入正常模式。

正常模式下，可以正常接收和发送报文。

25.4.3.3 睡眠模式

配置寄存器 CAN_MCTRL 的 SLEEPREQ 位置 1 请求进入睡眠模式。

睡眠模式下 CAN 的时钟停止工作，软件可以正常访问邮箱寄存器，此时 CAN 处于低功耗状态。

25.4.4 通信模式

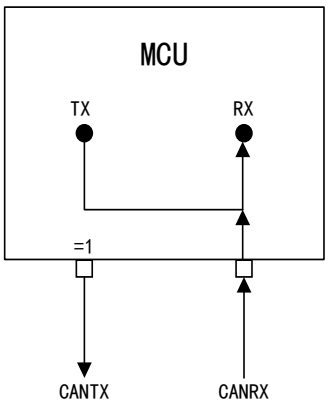
有四种通信模式分别是：静默模式、环回模式、静默环回模式和正常模式。只能在初始化模式下选择不同的通信模式。

25.4.4.1 静默模式

配置寄存器 CAN_BITTIM 的 SILMEN 位置 1，选择静默模式。

该模式下，只能向总线发送隐性位（逻辑 1），不能发送显性位（逻辑 0），可以从总线接收数据。

图 107 CAN 工作在静默模式

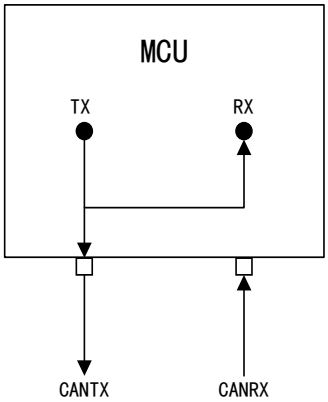


25.4.4.2 环回模式

配置寄存器 CAN_BITTIM 的 LBKMEN 位置 1，选择环回模式。

该模式下，发送的数据直接传到输入端接收，不从总线上接收数据，可以向总线发送所有数据。

图 108 CAN 工作在环回模式

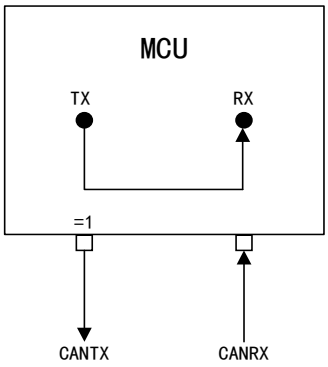


25.4.4.3 环回静默模式

配置寄存器 CAN_BITTIM 的 LBKMEN 和 SILMEN 位同时置 1，选择环回静默模式。

该模式下，发送的数据直接传到输入端接收，不从总线上接收数据，只能向总线发送隐性位（逻辑 1），不能发送显性位（逻辑 0）。

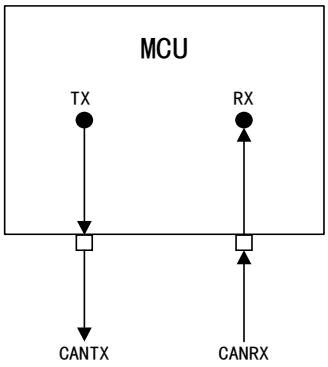
图 109 CAN 工作在静默环回模式



25.4.4.4 正常模式

该模式下，可以向总线发送数据和接收数据。

图 110 CAN 工作在正常模式



25.4.5 数据发送

25.4.5.1 发送邮箱状态转换

发送邮箱状态转换过程：

（1） 先选择空置邮箱进行设置，通过配置寄存器 CAN_TXMIDx 的 TXMREQ 位置 1 向 CAN 总线控制器提交发送请求，然后邮箱马上进入挂号状态。

（2） 多个邮箱在挂号状态情况下，进行优先级调度，当邮箱成为最高优先级时，进入预定状态。

（3） 当发送邮箱中的报文向总线发送时，进入发送状态。

（4） 报文发送成功后，邮箱重新变成空置状态。

25.4.5.2 发送优先级

当有多个报文同时等待发送时，通过配置寄存器 CAN_MCTRL 的 TXFPCFG 位决定发送顺序：

- 当 TXFPCFG 位置 0 时，优先级由报文标识符决定，标识符最小，优先级最高，标识符相等，则邮箱号小的先被发送
- 当 TXFPCFG 位置 1 时，优先级由发送请求的顺序来决定

25.4.5.3 中止

通过配置寄存器 CAN_TXSTS 的 ABREQFLG 位置 1，发送中止请求。

若邮箱处于挂号或预定状态，立马中止发送请求；若邮箱处于发送状态，两种状况：一种是邮箱发送成功，则邮箱变为空置状态，此时，CAN_TXSTS 寄存器的 TXSUSFLG 位由硬件置 1；另一种是邮箱发送失败，则邮箱变为预定状态，发送请求被中止。

25.4.5.4 禁止自动重传

一般在时间触发通信模式下，需要禁止自动重传。

在禁止自动重传模式下，报文只被发送一次，不管发送的结果如何（成功、出错或仲裁丢失），硬件不会再自动发送报文。

当发送过程结束后，CAN_TXSTS 寄存器的 REQCFLG 位置 1，发送的结果会在 TXSUSFLG、ARBLSTFLG 和 TXERRFLG 位上

25.4.6 数据接收

25.4.6.1 接收 FIFO

CAN 一共有两个接收 FIFO，每个 FIFO 有三个邮箱，寄存器 CAN_RXF 的 FMNUM[1:0]位反映当前存放的报文数目；RFOM 位置 1 来释放接收 FIFO 的输出邮箱；FFULLFLG 为满状态标志位；FOVRFLG 为溢出状态标志位。

25.4.6.2 接收 FIFO 状态转换

一开始 FIFO 处于空状态，接收到报文后变为挂号状态。

当 FIFO 处于挂号状态但 3 个邮箱已满时，接收下一个有效报文变为溢出状态，

溢出状态的报文丢弃分两种情况：

- 若禁用 FIFO 锁定功能，则最后收到的报文被新报文覆盖
- 若启用 FIFO 锁定功能，则新收到的报文被丢弃

25.4.7 过滤机制

过滤器的作用：在接收节点根据报文标识符决定是否需要此报文，过滤后只接收需要的报文。CAN 控制器有 28 个过滤器组。

25.4.7.1 位宽

每个过滤器组都可以配置两种位宽。

图 111 1 个 32 位过滤器

ID	CAN_FiBANK1[31:24]	CAN_FiBANK1[23:16]		CAN_FiBANK1[15:8]	CAN_FiBANK1[7:0]			
映像	STDID[10:3]	STDID[2:0]	EXTID[17:13]	EXTID[12:5]	EXTID[4:0]	IDTYPESEL	TXRFREQ	0

图 112 2 个 16 位过滤器

ID	CAN_FiBANK1[15:8]	CAN_FiBANK1[7:0]			CAN_FiBANK2[15:8]	CAN_FiBANK2[7:0]			
映像	STDID[10:3]	STDID [2:0]	TXRF REQ	IDTYP ESEL	EXTID [17:15]	STDID[12:5]	STDID [2:0]	TXRF REQ	IDTYP ESEL	EXTID [17:15]

25.4.7.2 过滤模式

屏蔽位模式

该模式下，只需要把报文标识符的某几位作为列表形成掩码，报文 ID 需要与掩码相同才能被接收

表格 108 屏蔽位模式举例

ID	**1**	**0**	**1**	**1**	**0**	**0**	**1**	**0**	**…….**
掩码	1	0	1	1	1	0	0	1	……
筛选的 ID	1	X	1	1	0	X	X	0	……

标识符列表模式

该模式下，报文 ID 的每一位都需要与过滤器标识符相同才能被接收。

表格 109 标识符列表模式举例

ID	**1**	**1**	**1**	**0**	**1**	**0**	**0**	**1**	**1**
ID	1	1	1	0	1	0	0	1	1
筛选的 ID	1	1	1	0	1	0	0	1	1

25.4.7.3 过滤器优先级

优先级规则如下：

- 位宽 32 位过滤器优先级高于位宽 16 位的
- 位宽相同情况下，标识符列表模式优先级高于屏蔽位模式
- 位宽和模式都相同情况下，过滤序号小的优先级高

25.4.8 位时序及波特率

25.4.8.1 位时序

APM32 的 CAN 外设位时序中包含三段：同步段（SYNC_SEG）、时间段 1（BS1）、时间段 2（BS2），采样点位于 BS1 及 BS2 段的交界处。

- 同步段（SYNC_SEG）：此段占用一个时间单元
- 时间段 1（BS1）：此段占用 1 到 16 个时间单元，它包含 CAN 标准里的 PROP_SEG 和 PHASE_SEG1
- 时间段 2（BS2）：此段占用 1 到 8 个时间单元，它代表 CAN 标准里的 PHASE_SEG2

25.4.8.2 波特率的计算

BS1 段时间：Ts1=Tq*（TIMSEG1[3:0]+1）

BS2 段时间：Ts2=Tq*（TIMSEG2[2:0]+1）

一个数据位的时间：T1bit=1Tq+Ts1+Ts2

波特率=1/ T1bit

Tq =（BRPSC+1）* T_{PCLK}

25.4.9 出错管理

通过配置寄存器 CAN_ERRSTS 的 TXERRCNT 位发送错误计数器和寄存器 CAN_ERRSTS 的 RXERRCNT 位接收错误计数器来反映 CAN 总线的错误管理。

通过配置寄存器 CAN_INTEN 的 ERRIEN 位来控制错误状态下产生中断。

25.4.9.1 离线恢复

当 CAN 错误状态寄存器的 TXERRCNT 大于 255 时，CAN 总线控制器就进入离线状态，此时寄存器 CAN_ERRSTS 的 BOFLG 位置 1，该状态下 CAN 总线控制器不能接收和发送报文。

通过配置寄存器 CAN_MCTRL 的 ALBOFFM 位来决定离线恢复方式：

- 若 ALBOFFM 位置 1，一旦硬件检测到 128 次 11 位连续的隐性位，则自动退出离线状态；
- 若 ALBOFFM 位置 0，软件请求进入再退出初始化模式后，退出离线状态。

25.4.10 中断

产生发送中断的事件：

- 硬件将寄存器 CAN_TXSTS 的 REQCFLG0 位置 1，发送邮箱 0 变为空置状态
- 硬件将寄存器 CAN_TXSTS 的 REQCFLG1 位置 1，发送邮箱 1 变为空置状态
- 硬件将寄存器 CAN_TXSTS 的 REQCFLG2 位置 1，发送邮箱 2 变为空置状态

产生 FIFO0 中断的事件：

- 硬件将寄存器 CAN_RXF0 的 FMNUM0[1:0]位为非 0 时，FIFO0 接收到一个新的保文
- 硬件将寄存器 CAN_RXF0 的 FFULLFLG0 位置 1，FIFO0 满
- 硬件将寄存器 CAN_RXF0 的 FOVRFLG0 位置 1，FIFO0 溢出

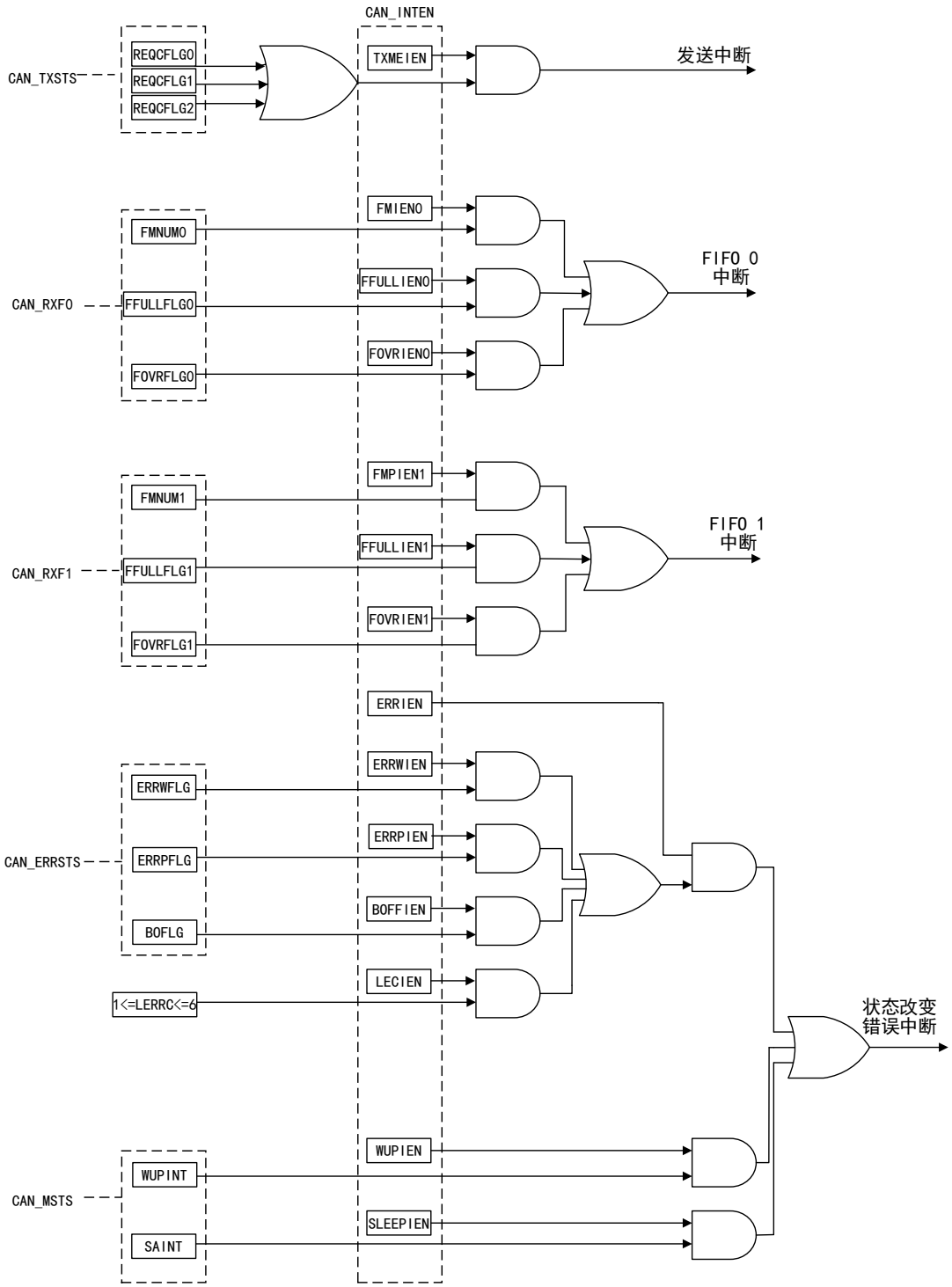
产生 FIFO1 中断的事件：

- 硬件将寄存器 CAN_RXF1 的 FMNUM1[1:0]位为非 0 时，FIFO1 接收到一个新的保文
- 硬件将寄存器 CAN_RXF1 的 FFULLFLG1 位置 1，FIFO1 满
- 硬件将寄存器 CAN_RXF1 的 FOVRFLG1 位置 1，FIFO1 溢出

产生状态改变和错误中断的事件：

- 硬件将寄存器 CAN_INTEN 的 SLEEPIEN 位置 1，进入睡眠模式
- 硬件将寄存器 CAN_INTEN 的 WUPIEN 位置 1，唤醒中断使能
- 硬件将寄存器 CAN_ERRSTS 的 ERRWFLG 位置 1，表示出错次数已达到阈值
- 硬件将寄存器 CAN_ERRSTS 的 ERRPFLG 位置 1，表示出错次数达到被动错误的阈值
- 硬件将寄存器 CAN_ERRSTS 的 LERRC[2:0]位，表明上次出错的情况

图 113 事件标志和中断产生



25.5 寄存器地址映射

CAN1 基地址：0x4000_6400

CAN2 基地址：0x4000_6800

注：CAN1 和 CAN2 除基地址外寄存器及偏移地址完全相同。

表格 110 CAN 寄存器地址映射

寄存器名	描述	偏移地址
CAN_MCTRL	CAN 主控制寄存器	0x00
CAN_MSTS	CAN 主状态寄存器	0x04
CAN_TXSTS	CAN 发送状态寄存器	0x08
CAN_RXF0	CAN 接收 FIFO 0 寄存器	0x0C
CAN_RXF1	CAN 接收 FIFO 1 寄存器	0x10
CAN_INTEN	CAN 中断使能寄存器	0x14
CAN_ERRSTS	CAN 错误状态寄存器	0x18
CAN_BITTIM	CAN 位时序寄存器	0x1C
CAN_TXMIDx	发送邮箱标识符寄存器	0x180，0x190，0x1A0
CAN_TXDLENx	发送邮箱数据长度寄存器	0x184，0x194，0x1A4
CAN_TXMDLx	发送邮箱低字节数据寄存器	0x188，0x198，0x1A8
CAN_TXMDHx	发送邮箱高字节数据寄存器	0x18C，0x19C，0x1AC
CAN_RXMIDx	接收 FIFO 邮箱标识符寄存器	0x1B0，0x1C0
CAN_RXDLENx	接收 FIFO 邮箱数据长度寄存器	0x1B4，0x1C4
CAN_RXMDLx	接收 FIFO 邮箱低字节数据寄存器	0x1B8，0x1C8
CAN_RXMDHx	接收 FIFO 邮箱高字节数据寄存器	0x1BC，0x1CC
CAN_FCTRL	CAN 过滤器控制寄存器	0x200
CAN_FMCFG	CAN 过滤器模式寄存器	0x204
CAN_FSCFG	CAN 过滤器位宽配置寄存器	0x20C
CAN_FFASS	CAN 过滤器 FIFO 关联寄存器	0x214
CAN_FACT	CAN 过滤器激活寄存器	0x21C
CAN_FiBANKx	CAN 过滤器组 i 的寄存器 x	0x240..0x31C

25.6 寄存器功能描述

25.6.1 CAN 控制和状态寄存器

25.6.1.1 CAN 主控制寄存器（CAN_MCTRL）

偏移地址：0x00

复位值：0x0001 0002

位/域	名称	R/W	描述
0	INITREQ	R/W	请求进入初始化模式（Request to Enter Initialization Mode） 0：从初始化模式进入正常工作模式 1：从正常工作模式进入初始化模式
1	SLEEPREQ	R/W	请求进入睡眠模式（Request to Enter Sleep Mode）

位/域	名称	R/W	描述
			0：退出睡眠模式 1：请求进入睡眠模式。 若 AWUPCFG 位置 1，当 RX 信号检测到 CAN 报文时，该位由硬件清零；复位后该位置 1，复位后处于睡眠模式。
2	TXFPCFG	R/W	配置发送 FIFO 优先级（Transmit FIFO Priority Configure） 该位用来决定在多个报文同时等待发送时，由哪些参数决定发送优先级。 0：由报文的标识符来决定 1：由发送请求的顺序来决定
3	RXFLOCK	R/W	配置接收 FIFO 锁定模式（Receive FIFO Locked Mode Configure） 该位用来决定接收溢出时 FIFO 是否被锁定，且当接收 FIFO 的报文未被读出时，下一个收到的报文如何处理。 0：未被锁定，当接收 FIFO 的报文未被读出，下一个收到的报文会覆盖原有的报文 1：被锁定，当接收 FIFO 的报文未被读出，下一个收到的报文会被丢弃
4	ARTXMD	R/W	禁止自动重传报文（Automatic Retransmission Message Disable） 0：使能自动重传，报文将一直自动重传直到发送成功 1：禁止自动重传，报文只被发送一次
5	AWUPCFG	R/W	配置自动唤醒模式（Automatic Wakeup Mode Configure） 0：软件唤醒睡眠模式，通过清除 CAN_MCTRL 寄存器的 SLEEPREQ 位唤醒 1：硬件唤醒睡眠模式，通过检测 CAN 报文唤醒
6	ALBOFFM	R/W	自动退出离线状态条件管理（Automatic Leaving Bus-Off Status Condition Management） 0：软件对 CAN_MCTRL 寄存器的 INITREQ 位进行置 1 随后清 0 后，当硬件检测到 128 次 11 位连续的隐性位，则退出离线状态 1：当硬件检测到 128 次 11 位连续的隐性位，则自动退出离线状态
14:7	保留		
15	SWRST	R/S	软件复位 CAN（Software Reset CAN） 0：正常工作 1：CAN 被强行复位，复位后 CAN 进入睡眠模式，硬件自动对该位清 0
16	DBGFRZE	R/W	冻结调试（Debug Freeze） 0：无效 1：调试时，CAN 的接收/发送无法工作，但仍可以正常读写和控制接收 FIFO
31:17	保留		

25.6.1.2 CAN 主状态寄存器（CAN_MSTS）

偏移地址：0x04

复位值：0x0000 0C02

位/域	名称	R/W	描述
0	INITFLG	R	正处于初始化模式标志（Being Initialization Mode Flag） 该位由硬件置 1 和清 0。 0：退出初始化模式 1：处于初始化模式，该位是对 CAN_MCTRL 寄存器初始化请求位的确认。

位/域	名称	R/W	描述
1	SLEEPFLG	R	正处于睡眠模式标志（Being Sleep Mode Fiag） 该位由硬件置 1 和清 0 0：退出睡眠模式 1：处于睡眠模式，该位是对 CAN_MCTRL 寄存器睡眠模式请求位的确认。
2	ERRIFLG	RC_W1	发生错误中断标志（Error Interrupt Occur Flag） 该位由硬件置 1，软件写 1 清 0。 0：未发生 1：发生
3	WUPIFLG	RC_W1	发生唤醒中断标志（Wakeup Interrupt Occur Flag） 当进入睡眠模式且检测到 SOF 唤醒时，该位由硬件置 1；软件写 1 清 0。 0：未从睡眠模式唤醒 1：从睡眠模式唤醒
4	SLEEPIFLG	RC_W1	已进入睡眠模式中断标志（Being Sleep Mode Interrupt Flag） 当进入睡眠模式时，该位由硬件置 1，触发相应的中断；退出睡眠模式是由硬件清 0，软件写 1 清 0。 0：未进入睡眠模式 1：进入睡眠模式
7:5	保留		
8	TXMFLG	R	正处于发送模式标志（Being Transmit Mode Flag） 0：CAN 不处于发送模式 1：CAN 处于发送模式
9	RXMFLG	R	正处于接收模式标志（Being Receive Mode Flag） 0：CAN 不处于接收模式 1：CAN 处于接收模式
10	LSAMVALUE	R	CAN 接收引脚上次采样值（CAN Rx Pin Last Sample Value）
11	RXSIGL	R	CAN 接收引脚信号电平（CAN Rx Pin Signal Level）
31:12	保留		

25.6.1.3 CAN 发送状态寄存器（CAN_TXSTS）

偏移地址：0x08

复位值：0x1C00 0000

位/域	名称	R/W	描述
0	REQCFLG0	RC_W1	邮箱 0 请求完成标志（Mailbox 0 Request Completed Flag） 当邮箱 0 的上次请求发送或中止完成时，该位由硬件置 1；当收到发送请求时，由硬件清 0；软件写 1 清 0。 0：正在发送 1：已完发送
1	TXSUSFLG0	RC_W1	邮箱 0 发送成功标志（Mailbox 0 Transmission Success Flag） 当邮箱 0 发送尝试成功后，由硬件置 1；软件写 1 清 0。 0：上次发送尝试失败 1：上次发送尝试成功

位/域	名称	R/W	描述
2	ARBLSTFLG0	RC_W1	邮箱 0 仲裁丢失标志（Mailbox 0 Arbitration Lost Flag） 当邮箱 0 仲裁丢失时由硬件置 1；软件写 1 清 0。 0：无意义 1：丢失
3	TXERRFLG0	RC_W1	邮箱 0 发送失败标志（Mailbox 0 Transmission Error Flag） 当邮箱 0 发送失败时，由硬件置 1；软件写 1 清 0。 0：无意义 1：发送失败
6:4	保留		
7	ABREQFLG0	R/S	邮箱 0 放弃请求标志（Mailbox 0 Abort Request Flag） 若邮箱 0 中没有等待发送的报文，则该位无效。 0：邮箱 0 的发送报文被清除，由硬件清 0 1：置 1 中止邮箱 0 的发送请求
8	REQCFLG1	RC_W1	邮箱 1 请求完成标志（Mailbox 1 Request Completed Flag） 当邮箱 1 的上次请求发送或中止完成时，该位由硬件置 1；当收到发送请求时，由硬件清 0；软件写 1 清 0。 0：正在发送 1：已完发送
9	TXSUSFLG1	RC_W1	邮箱 1 发送成功标志（Mailbox 1 Transmission Success Flag） 当邮箱 1 发送尝试成功后，由硬件置 1；软件写 1 清 0。 0：上次发送尝试失败 1：上次发送尝试成功
10	ARBLSTFLG1	RC_W1	邮箱 1 仲裁丢失标志（Mailbox 1 Arbitration Lost Flag） 当邮箱 1 仲裁丢失时由硬件置 1；软件写 1 清 0。 0：无意义 1：丢失
11	TXERRFLG1	RC_W1	邮箱 1 发送失败标志（Mailbox 1 Transmission Error Flag） 当邮箱 1 发送失败时，由硬件置 1；软件写 1 清 0。 0：无意义 1：发送失败
14:12	保留		
15	ABREQFLG1	R/S	邮箱 1 放弃请求标志（Mailbox 1 Abort Request Flag） 若邮箱 1 中没有等待发送的报文，则该位无效。 0：邮箱 1 的发送报文被清除，由硬件清 0 1：置 1 中止邮箱 1 的发送请求
16	REQCFLG2	RC_W1	邮箱 2 请求完成标志（Mailbox 2 Request Completed Flag） 当邮箱 2 的上次请求发送或中止完成时，该位由硬件置 1；当收到发送请求时，由硬件清 0；软件写 1 清 0。 0：正在发送 1：已完发送
17	TXSUSFLG2	RC_W1	邮箱 2 发送成功标志（Mailbox 2 Transmission Success Flag） 当邮箱 2 发送尝试成功后，由硬件置 1；软件写 1 清 0。 0：上次发送尝试失败 1：上次发送尝试成功

位/域	名称	R/W	描述
18	ARBLSTFLG2	RC_W1	邮箱 2 仲裁丢失标志（Mailbox 2 Arbitration Lost Flag） 当邮箱 2 仲裁丢失时由硬件置 1；软件写 1 清 0。 0：无意义 1：丢失
19	TXERRFLG2	RC_W1	邮箱 2 发送失败标志（Mailbox 2 Transmission Error Flag） 当邮箱 2 发送失败时，由硬件置 1；软件写 1 清 0。 0：无意义 1：发送失败
22:20	保留		
23	ABREQFLG2	R/S	邮箱 2 放弃请求标志（Mailbox 2 Abort Request Flag） 若邮箱 2 中没有等待发送的报文，则该位无效。 0：邮箱 2 的发送报文被清除，由硬件清 0 1：置 1 中止邮箱 2 的发送请求
25:24	EMNUM[1:0]	R	空邮箱编号（Empty Mailbox Number） 该位适用于存在空邮箱的情况。当所有的发送邮箱全空时，表示优先级最低的发送邮箱编号；当邮箱非空但不是全空时，表示下一个要发送的邮箱编号。
26	TXMEFLG0	R	发送邮箱 0 为空标志（Transmit Mailbox 0 Empty Flag） 发送邮箱 0 为空时，该位由硬件置 1。 0：邮箱 0 中有待发送的报文 1：邮箱 0 中没有待发送的报文
27	TXMEFLG1	R	发送邮箱 1 空标志（Transmit Mailbox 1 Empty Flag） 发送邮箱 1 为空时，该位由硬件置 1。 0：邮箱 1 中有待发送的报文 1：邮箱 1 中没有待发送的报文
28	TXMEFLG2	R	发送邮箱 2 空标志（Transmit Mailbox 2 Empty Flag） 发送邮箱 2 为空时，该位由硬件置 1。 0：邮箱 2 中有待发送的报文 1：邮箱 2 中没有待发送的报文
29	LOWESTP0	R	邮箱 0 的发送优先级最低标志（the Lowest Transmission Priority Flag For Mailbox 0） 0：无意义 1：邮箱 0 的优先级在等待发送报文的邮箱中最低 注：若只有 1 个邮箱在等待，则 LOWESTP[2:0]被清 0。
30	LOWESTP1	R	邮箱 1 的发送优先级最低标志（the Lowest Transmission Priority Flag For Mailbox 1） 0：无意义 1：邮箱 1 的优先级在等待发送报文的邮箱中最低
31	LOWESTP2	R	邮箱 2 的发送优先级最低标志（the Lowest Transmission Priority Flag For Mailbox 2） 0：无意义 1：邮箱 2 的优先级在等待发送报文的邮箱中最低

25.6.1.4 CAN 接收 FIFO 0 寄存器（CAN_RXF0）

偏移地址：0x0C

复位值：0x00

位/域	名称	R/W	描述
1:0	FMNUM0[1:0]	R	接收 FIFO0 中的报文数目（the number of Message in receive FIFO0） 这些位用来反映当前接收 FIFO0 中存放的报文数目。每新接收到 1 个报文，FMNUM0 位加 1；每释放输出邮箱的报文，FMNUM0 位减 1。
2	保留		
3	FFULLFLG0	RC_W1	接收 FIFO 0 满标志（Receive FIFO0 Full Flag） 当 FIFO0 中有 3 个报文时，表明 FIFO0 已满；该位由硬件置 1，软件写 1 清 0。 0：未满 1：已满
4	FOVRFLG0	RC_W1	接收 FIFO0 溢出标志（Receive FIFO 0 Overrun Flag） 当 FIFO0 中有 3 个报文时，此时又收到新报文，表明 FIFO0 溢出；该位由硬件置 1，软件写 1 清 0。 0：未产生溢出 1：产生溢出
5	RFOM0	R/S	释放接收 FIFO0 输出邮箱以接收报文（Release Receive FIFO0 Output Mailbox to Receive Massage） 该位由硬件置 1，软件清 0。若 FIFO 中无报文，则无效。当 FIFO 中有 2 个以上的报文时，想要访问第 2 个报文必须先释放输出邮箱。 0：无意义 1：释放接收 FIFO0 的输出邮箱
31:6	保留		

25.6.1.5 CAN 接收 FIFO 1 寄存器（CAN_RXF1）

偏移地址：0x10

复位值：0x00

位/域	名称	R/W	描述
1:0	FMNUM1[1:0]	R	接收 FIFO1 中的报文数目（the number of Message in receive FIFO1） 这些位用来反映当前接收 FIFO1 中存放的报文数目。每新接收到 1 个报文，FMNUM1 位加 1；每释放输出邮箱的报文，FMNUM1 位减 1。
2	保留		
3	FFULLFLG1	RC_W1	接收 FIFO1 满标志（Receive FIFO0 Full Flag） 当 FIFO1 中有 3 个报文时，表明 FIFO1 已满；该位由硬件置 1，软件写 1 清 0。 0：未满 1：已满
4	FOVRFLG1	RC_W1	接收 FIFO1 溢出标志（Receive FIFO1 Overrun Flag） 当 FIFO1 中有 3 个报文时，此时又收到新报文，表明 FIFO1 溢出；该位由硬件置 1，软件写 1 清 0。 0：未产生溢出 1：产生溢出
5	RFOM1	R/S	释放接收 FIFO1 输出邮箱以接收报文（Release Receive FIFO1 Output Mailbox to Receive Massage）

位/域	名称	R/W	描述
			该位由硬件置 1，软件清 0。若 FIFO 中无报文，则无效。当 FIFO 中有 2 个以上的报文时，想要访问第 2 个报文必须先释放输出邮箱。 0：无意义 1：释放接收 FIFO1 的输出邮箱
31:6	保留		

25.6.1.6 CAN 中断使能寄存器（CAN_INTEN）

偏移地址：0x14

复位值：0x0000 0000

位/域	名称	R/W	描述
0	TXMEIEN	R/W	使能发送邮箱为空中断（Transmit Mailbox Empty Interrupt Enable） 当 REQCFLGx 位置 1 时，表明已完成发送，发送邮箱为空，若该位置 1 则产生中断。 0：不产生中断 1：产生中断
1	FMIEN0	R/W	使能 FIFO0 中报文数量为非 0 时产生中断 （Interrupt Enable When The Number Of FIFO0 Message Is Not 0） 当 FIFO 0 的 FMNUM0[1:0]位为非 0 时，表明 FIFO0 的报文数量非 0，若该位置 1 则产生中断。 0：不产生中断 1：产生中断
2	FFULLIEN0	R/W	使能 FIFO0 满中断（FIFO0 Full Interrupt Enable） 当 FIFO0 的 FFULLFLG0 位置 1 时，表明 FIFO0 的报文已满，若该位置 1 则产生中断。 0：不产生中断 1：产生中断
3	FOVRIEN0	R/W	使能 FIFO0 过载中断（FIFO0 Overrun Interrupt Enable） 当 FIFO0 的 FOVRFLG0 位置 1 时，表明已 FIFO0 已过载，若该位置 1 则产生中断。 0：不产生中断 1：产生中断
4	FMPIEN1	R/W	使能 FIFO1 中报文数量为非 0 时产生中断 （Interrupt Enable when the number of FIFO1 Message is not 0） 当 FIFO1 的 FMNUM1[1:0]位为非 0 时，表明 FIFO1 的报文数量非 0，若该位置 1 则产生中断。 0：不产生中断 1：产生中断
5	FFULLIEN1	R/W	使能 FIFO1 满中断（FIFO1 Full Interrupt Enable） 当 FIFO1 的 FFULLFLG1 位置 1 时，表明 FIFO1 的报文已满，若该位置 1 则产生中断。 0：不产生中断 1：产生中断

位/域	名称	R/W	描述
6	FOVRIEN1	R/W	使能 FIFO 1 过载中断（FIFO1 Overrun Interrupt Enable） 当 FIFO1 的 FOVRFLG1 位置 1 时，表明已 FIFO1 已过载，若该位置 1 则产生中断。 0：不产生中断 1：产生中断
7	保留		
8	ERRWIEN	R/W	使能错误警告中断（Error Warning Interrupt Enable） 当 ERRWFLG 位置 1 时，出现错误警告；若该位置 1，则设置 ERRIFLG，产生警告错误中断。 0：不设置 ERRIFLG 位 1：ERRIFLG 位置 1
9	ERRPIEN	R/W	使能被动错误中断（Error Passive Interrupt Enable） 当 ERRPFLG 位置 1 时，出现被动错误；若该位置 1，则设置 ERRIFLG，产生被动错误中断。 0：不设置 ERRIFLG 位 1：ERRIFLG 位置 1
10	BOFFIEN	R/W	使能离线中断（Bus-Off Interrupt Enable） 当 BOFFFLG 位置 1 时，出现离线；若该位置 1，则设置 ERRIFLG，产生离线中断。 0：不设置 ERRIFLG 位 1：ERRIFLG 位置 1
11	LECIEN	R/W	使能上次错误号中断（Last Error Code Interrupt Enable） 当将测到错误、硬件设置 LERRC[2:0]，记录上次错误代码，如果该位置 1，则设置 ERRIFLG，产生上次错误中断。 0：不设置 ERRIFLG 位 1：ERRIFLG 位置 1
14:12	保留		
15	ERRIEN	R/W	使能错误中断（Error Interrupt Enable） 当对应的错误状态寄存器置 1 时，若该位置 1，则产生错误中断。 0：不产生中断 1：产生中断
16	WUPIEN	R/W	使能唤醒中断（Wakeup Interrupt Enable） 当 WUPINT 位置 1 时，若该位置 1，则产生唤醒中断。 0：不产生中断 1：产生中断
17	SLEEPIEN	R/W	使能睡眠中断（Sleep Interrupt Enable） 当 SLEEPIFLG 位置 1 时，若该位置 1，则产生睡眠中断。 0：不产生中断 1：产生中断
31:18	保留		

25.6.1.7 CAN 错误状态寄存器（CAN_ERRSTS）

偏移地址：0x18

复位值：0x0000 0000

位/域	名称	R/W	描述
0	ERRWFLG	R	出现错误警告标志（Error Warning Occur Flag） 当接收错误计数器或发送错误计数器的值≥96 时，该位由硬件置 1。 0：未出现错误警告 1：出现错误警告
1	ERRPFLG	R	出现被动错误标志（Error Passive Occur Flag） 当接收错误计数器或发送错误计数器的值>127 时，该位由硬件置 1。 0：未出现被动错误 1：出现被动错误
2	BOFLG	R	进入离线标志（Enter Bus-Off Flag） 当发送错误计数器 TXERRCNT 的值>255 时，CAN 进入离线状态，该位由硬件置 1。 0：CAN 未进入离线状态 1：CAN 进入离线状态
3	保留		
6:4	LERRC	R/W	记录上次错误代码（Record Last Error Code） 当检测到 CAN 总线上的错误时，依据错误类别由硬件设置；当正确发送或接收报文时，由硬件清 0。 000：没有错误 001：位填充错 010：格式（Form）错 011：确认（ACK）错 100：隐性位错 101：显性位错 110：CRC 错 111：由软件设置
15:7	保留		
23:16	TXERRCNT	R	9 位发送错误计数器的低 8 位（Least Significant Byte Of The 9-Bit Transmit Error Counter） 此计数器依据 CAN 协议的故障界定机制的发送部分实现。
31:24	RXERRCNT	R	接收错误计数器（Receive Error Counter） 接收错误计数器是依据 CAN 协议的故障界定机制的接收部分实现，当出现接收错误时，根据出错的条件，计数器加 1 或加 8，接收成功后减 1，当计数器的值>127，设置计数器值为 120。

25.6.1.8 CAN 位时序寄存器（CAN_BITTIM）

偏移地址：0x1C

复位值：0x0123 0000

位/域	名称	R/W	描述
9:0	BRPSC	R/W	配置波特率预分频器系数（Baud Rate Prescaler Factor Setup） 时间单元 t_q =（BRPSC+1） × t_{PCLK}
15:10	保留		
19:16	TIMSEG1	R/W	设置时间段 1（Time Segment1 Setup） 时间段 1 占用的时间 t_{BS1} = t_{CAN} x（TIMSEG1+1）。
22:20	TIMSEG2	R/W	设置时间段 2（Time Segment2 Setup）

			时间段 2 占用的时间 $t_{BS2} = t_{CAN}$ x（TIMSEG2+1）。
23	保留		
25:24	RSYNJW	R/W	重新同步跳跃宽度（Resynchronization Jump Width） CAN 硬件在每位中可以延长或缩短多少的时间 $t_{RJW}=t_{CAN}$ x（RSYNJW+1）。
29:26	保留		
30	LBKMEN	R/W	使能环回模式（Loop Back Mode Enable） 0：禁止 1：使能
31	SILMEN	R/W	使能静默模式（Silent Mode Enable） 0：正常状态 1：静默模式

注：当 CAN 处于初始化模式时，该寄存器只能由软件访问

25.6.2 CAN 邮箱寄存器

本节描述发送和接收邮箱寄存器。

除了下述例外，发送和接收邮箱几乎一样：

- CAN_RXDLENx 寄存器的 FMIDX 域；
- 接收邮箱是只读的；
- 发送邮箱只有在它为空时才是可写的，CAN_TXSTS 寄存器的相应 TXMEFLG 位为 1，表示发送邮箱为空。

共有 3 个发送邮箱和 2 个接收邮箱。每个接收邮箱为 3 级深度的 FIFO，并且只能访问 FIFO 中最先收到的报文。

25.6.2.1 发送邮箱标识符寄存器（CAN_TXMIDx）（x=0..2）

偏移地址：0x180，0x190，0x1A0

复位值：0xXXXX XXXX，X=未定义位（除了第 0 位，复位时 TXMREQ=0）

位/域	名称	R/W	描述
0	TXMREQ	R/W	请求发送邮箱数据（Transmit Mailbox Data Request） 0：邮箱中的数据发送完成时，邮箱为空，该位由硬件清 0 1：软件写 1，使能请求发送邮箱数据
1	TXRFREQ	R/W	请求发送远程帧（Transmit Remote Frame Request） 0：数据帧 1：远程帧
2	IDTYPESEL	R/W	选择标识符类型（Identifier Type Select） 0：标准标识符 1：扩展标识符
20:3	EXTID[17:0]	R/W	设置扩展标识符（Extended Identifier Setup） 扩展身份标识的低字节。
31:21	STDID[10:0]/EXTID[28:18]	R/W	标准标识符或扩展标识符（Standard Identifier Or Extended Identifier） 根据 IDTYPESEL 位的内容，这些位是标准标识符 STDID[10:0]，还是扩展标识符的高字节 EXTID[28:18]。

注：1 当其所属的邮箱处在等待发送的状态时，该寄存器是写保护的

2 该寄存器实现了发送请求控制功能（第 0 位）一复位值为 0

25.6.2.2 发送邮箱数据长度寄存器（CAN_TXDLENx）（x=0..2）

当邮箱不在空置状态时，该寄存器的所有位为写保护。

偏移地址：0x184，0x194，0x1A4

复位值：0xXXXX XXXX

位/域	名称	R/W	描述
3:0	DLCODE	R/W	设置发送数据长度码（Transmit Data Length Code Setup）
31:4	保留		

25.6.2.3 发送邮箱低字节数据寄存器（CAN_TXMDLx）（x=0..2）

当邮箱不在空置状态时，该寄存器的所有位为写保护，报文包含 0 到 7 个字节数据，且从字节 0 开始。

偏移地址：0x188，0x198，0x1A8

复位值：0xXXXX XXXX

位/域	名称	R/W	描述
7:0	DATABYTE0	R/W	报文数据字节 0（Data Byte 0 of the Message）
15:8	DATABYTE1	R/W	报文数据字节 1（Data Byte 1 of the Message）
23:16	DATABYTE2	R/W	报文数据字节 2（Data Byte 2of the Message）
31:24	DATABYTE3	R/W	报文数据字节 3（Data Byte 3 of the Message）

25.6.2.4 发送邮箱高字节数据寄存器（CAN_TXMDHx）（x=0..2）

当邮箱不在空置状态时，该寄存器的所有位为写保护。

偏移地址：0x18C，0x19C，0x1AC

复位值：0xXXXX XXXX，X=未定义位

位/域	名称	R/W	描述
7:0	DATABYTE4	R/W	报文数据字节 4（Data Byte 4 of the Message）。
15:8	DATABYTE5	R/W	报文数据字节 5（Data Byte 5 of the Message）
23:16	DATABYTE6	R/W	报文数据字节 6（Data Byte 6 of the Message）
31:24	DATABYTE7	R/W	报文数据字节 7（Data Byte 7 of the Message）

25.6.2.5 接收 FIFO 邮箱标识符寄存器（CAN_RXMIDx）（x=0..1）

偏移地址：0x1B0，0x1C0

复位值：0xXXXX XXXX，X=未定义位

位/域	名称	R/W	描述
0	保留		
1	RFTXREQ	R	发送请求远程帧（Remote Frame Transmission Request） 0：数据帧 1：远程帧
2	IDTYPESEL	R	选择标识符类型（Identifier Type Select） 0：标准标识符 1：扩展标识符

位/域	名称	R/W	描述
20:3	EXTID[17:0]	R	设置扩展标识符（Extended Identifier Setup） 扩展标识符的低字节。
31:21	STDID[10:0]/EXTID[28:18]	R	标准标识符或扩展标识符（Standard Identifier Or Extended Identifier） 根据 IDTYPESEL 位的内容，这些位是标准标识符 STDID[10:0]，还是扩展标识符的高字节 EXTID[28:18]。

注： 所有接收邮箱寄存器都是只读的。

25.6.2.6 接收 FIFO 邮箱数据长度寄存器（CAN_RXDLENx）（x=0..1）

偏移地址：0x1B4，0x1C4

复位值：0xXXXXX XXXX

位/域	名称	R/W	描述
3:0	DLCODE	R	设置接收数据长度码（Receive Data Length Code Setup） 该位表示帧内的数据长度；对于远程帧，DLCODE 恒为 0。
7:4	保留		
15:8	FMIDX	R	设置过滤器匹配序号（Filter Match Index Setup）
31:16	保留		

注： 所有接收邮箱寄存器都是只读的。

25.6.2.7 接收 FIFO 邮箱低字节数据寄存器（CAN_RXMDLx）（x=0..1）

偏移地址：0x1B8，0x1C8，报文包含 0 到 8 个字节数据，且从字节 0 开始。

复位值：0xXXXXX XXXX

位/域	名称	R/W	描述
7:0	DATABYTE0	R	报文数据字节 0（Data Byte 0 of the Message）
15:8	DATABYTE1	R	报文数据字节 1（Data Byte 0 of the Message）
23:16	DATABYTE2	R	报文数据字节 2（Data Byte 0 of the Message）
31:24	DATABYTE3	R	报文数据字节 3（Data Byte 0 of the Message）

注： 所有接收邮箱寄存器都是只读的。

25.6.2.8 接收 FIFO 邮箱高字节数据寄存器（CAN_RXMDHx）（x=0..1）

偏移地址：0x1BC，0x1CC

复位值：0xXXXX XXXX，X=未定义位

位/域	名称	R/W	描述
7:0	DATABYTE4	R	报文数据字节 4（Data Byte 0 of the Message）
15:8	DATABYTE5	R	报文数据字节 5（Data Byte 0 of the Message）
23:16	DATABYTE6	R	报文数据字节 6（Data Byte 0 of the Message）
31:24	DATABYTE7	R	报文数据字节 7（Data Byte 0 of the Message）

注： 所有接收邮箱寄存器都是只读的。

25.6.3 CAN 过滤器寄存器

25.6.3.1 CAN 过滤器控制寄存器（CAN_FCTRL）

偏移地址：0x200

复位值：0x2A1C 0E01

位/域	名称	R/W	描述
0	FINITEN	R/W	使能过滤器初始化模式（Filter Init Mode Enable） 0：正常模式 1：初始化模式
7:1	保留		
13:8	CAN2SB	R/W	CAN2 起始存储区（CAN2 Start Bank） 该位用来定义 CAN2 的起始存储区，范围：0-27 注：当 CAN2SB=28d 时，CAN1 的所有过滤器都可以使用；当 CAN2SB=0 时，CAN2 的所有过滤器都可以使用。
31:14	保留		

注： 该寄存器的非保留位完全由软件控制。

25.6.3.2 CAN 过滤器模式配置寄存器（CAN_FMCFG）

偏移地址：0x204

复位值：0x0000 0000

位/域	名称	R/W	描述
27:0	FMCFGx	R/W	配置过滤器 x 模式（Filter Mode Configure） x 取值为 0-27。 0：标识符屏蔽位模式 1：标识符列表模式
31:28	保留		

注：只有在设置 CAN_FCTRL（FINITEN =1），使过滤器处于初始化模式下，才能对该寄存器写入。

25.6.3.3 CAN 过滤器位宽配置寄存器（CAN_FSCFG）

偏移地址：0x20C

复位值：0x0000 0000

位/域	名称	R/W	描述
27:0	FSCFGx	R/W	配置过滤器 x 位宽（Filterx Scale Configure） x 取值为 0-27。 0：2 个 16 位 1：单个 32 位
31:28	保留		

注：只有在设置 CAN_FCTRL（FINITEN=1），使过滤器处于初始化模式下，才能对该寄存器写入。

25.6.3.4 CAN 过滤器 FIFO 关联寄存器（CAN_FFASS）

偏移地址：0x214

复位值：0x0000 0000

位/域	名称	R/W	描述
0	FFASS0	R/W	配置过滤器 0 与 FIFO 关联（Configure Filter0 Associated with FIFO） 0：过滤器与 FIFO0 关联 1：过滤器与 FIFO1 关联
1	FFASS1	R/W	配置过滤器 1 与 FIFO 关联（Configure Filter1 Associated with FIFO） 具体描述参考 FFASS0。
2	FFASS2	R/W	配置过滤器 2 与 FIFO 关联（Configure Filter2 Associated with FIFO） 具体描述参考 FFASS0。
3	FFASS3	R/W	配置过滤器 3 与 FIFO 关联（Configure Filter3 Associated with FIFO） 具体描述参考 FFASS0。
4	FFASS4	R/W	配置过滤器 4 与 FIFO 关联（Configure Filter4 Associated with FIFO） 具体描述参考 FFASS0。
5	FFASS5	R/W	配置过滤器 5 与 FIFO 关联（Configure Filter5 Associated with FIFO） 具体描述参考 FFASS0。
6	FFASS6	R/W	配置过滤器 6 与 FIFO 关联（Configure Filter6 Associated with FIFO） 具体描述参考 FFASS0。
7	FFASS7	R/W	配置过滤器 7 与 FIFO 关联（Configure Filter7 Associated with FIFO） 具体描述参考 FFASS0。
8	FFASS8	R/W	配置过滤器 8 与 FIFO 关联（Configure Filter8 Associated with FIFO） 具体描述参考 FFASS0。
9	FFASS9	R/W	配置过滤器 9 与 FIFO 关联（Configure Filter9 Associated with FIFO） 具体描述参考 FFASS0。
10	FFASS10	R/W	配置过滤器 10 与 FIFO 关联（Configure Filter10 Associated with FIFO） 具体描述参考 FFASS0。
11	FFASS11	R/W	配置过滤器 11 与 FIFO 关联（Configure Filter11 Associated with FIFO） 具体描述参考 FFASS0。
12	FFASS12	R/W	配置过滤器 12 与 FIFO 关联（Configure Filter12 Associated with FIFO） 具体描述参考 FFASS0。
13	FFASS13	R/W	配置过滤器 13 与 FIFO 关联（Configure Filter13 Associated with FIFO） 具体描述参考 FFASS0。
14	FFASS14	R/W	配置过滤器 14 与 FIFO 关联（Configure Filter14 Associated with FIFO） 具体描述参考 FFASS0。
15	FFASS15	R/W	配置过滤器 15 与 FIFO 关联（Configure Filter15 Associated with FIFO） 具体描述参考 FFASS0。
16	FFASS16	R/W	配置过滤器 16 与 FIFO 关联（Configure Filter16 Associated with FIFO） 具体描述参考 FFASS0。
17	FFASS17	R/W	配置过滤器 17 与 FIFO 关联（Configure Filter17 Associated with FIFO） 具体描述参考 FFASS0。
18	FFASS18	R/W	配置过滤器 18 与 FIFO 关联（Configure Filter18 Associated with FIFO） 具体描述参考 FFASS0。
19	FFASS19	R/W	配置过滤器 19 与 FIFO 关联（Configure Filter19 Associated with FIFO） 具体描述参考 FFASS0。
20	FFASS20	R/W	配置过滤器 20 与 FIFO 关联（Configure Filter20 Associated with FIFO） 具体描述参考 FFASS0。

位/域	名称	R/W	描述
21	FFASS21	R/W	配置过滤器 21 与 FIFO 关联（Configure Filter21 Associated with FIFO） 具体描述参考 FFASS0。
22	FFASS22	R/W	配置过滤器 22 与 FIFO 关联（Configure Filter22 Associated with FIFO） 具体描述参考 FFASS0。
23	FFASS23	R/W	配置过滤器 23 与 FIFO 关联（Configure Filter23 Associated with FIFO） 具体描述参考 FFASS0。
24	FFASS24	R/W	配置过滤器 24 与 FIFO 关联（Configure Filter24 Associated with FIFO） 具体描述参考 FFASS0。
25	FFASS25	R/W	配置过滤器 25 与 FIFO 关联（Configure Filter25 Associated with FIFO） 具体描述参考 FFASS0。
26	FFASS26	R/W	配置过滤器 26 与 FIFO 关联（Configure Filter26 Associated with FIFO） 具体描述参考 FFASS0。
27	FFASS27	R/W	配置过滤器 27 与 FIFO 关联（Configure Filter27 Associated with FIFO） 具体描述参考 FFASS0。
31:28	保留		

注： 只有在设置 CAN_FCTRL（FINITEN=1），使过滤器处于初始化模式下，才能对该寄存器写入。

25.6.3.5 CAN 过滤器激活寄存器（CAN_FACT）

偏移地址：0x21C

复位值：0x0000 0000

位/域	名称	R/W	描述
0	FACT0	R/W	激活过滤器 0（Filter0 Active） 0：禁用 1：激活
1	FACT1	R/W	激活过滤器 1（Filter1 Active） 具体描述参考 FACT0。
2	FACT2	R/W	激活过滤器 2（Filter3 Active） 具体描述参考 FACT0。
3	FACT3	R/W	激活过滤器 3（Filter3 Active） 具体描述参考 FACT0。
4	FACT4	R/W	激活过滤器 4（Filter4 Active） 具体描述参考 FACT0。
5	FACT5	R/W	激活过滤器 5（Filter5 Active） 具体描述参考 FACT0。
6	FACT6	R/W	激活过滤器 6（Filter6 Active） 具体描述参考 FACT0。
7	FACT7	R/W	激活过滤器 7（Filter7 Active） 具体描述参考 FACT0。
8	FACT8	R/W	激活过滤器 8（Filter8 Active） 具体描述参考 FACT0。
9	FACT9	R/W	激活过滤器 9（Filter9 Active） 具体描述参考 FACT0。

位/域	名称	R/W	描述
10	FACT10	R/W	激活过滤器 10（Filter10 Active） 具体描述参考 FACT0。
11	FACT11	R/W	激活过滤器 11（Filter11 Active） 具体描述参考 FACT0。
12	FACT12	R/W	激活过滤器 12（Filter12 Active） 具体描述参考 FACT0。
13	FACT13	R/W	激活过滤器 13（Filter13 Active） 具体描述参考 FACT0。
14	FACT14	R/W	激活过滤器 14（Filter14 Active） 具体描述参考 FACT0。
15	FACT15	R/W	激活过滤器 15（Filter15 Active） 具体描述参考 FACT0。
16	FACT16	R/W	激活过滤器 16（Filter16 Active） 具体描述参考 FACT0。
17	FACT17	R/W	激活过滤器 17（Filter17 Active） 具体描述参考 FACT0。
18	FACT18	R/W	激活过滤器 18（Filter18 Active） 具体描述参考 FACT0。
19	FACT19	R/W	激活过滤器 19（Filter19 Active） 具体描述参考 FACT0。
20	FACT20	R/W	激活过滤器 20（Filter20 Active） 具体描述参考 FACT0。
21	FACT21	R/W	激活过滤器 21（Filter21 Active） 具体描述参考 FACT0。
22	FACT22	R/W	激活过滤器 22（Filter22 Active） 具体描述参考 FACT0。
23	FACT23	R/W	激活过滤器 23（Filter23 Active） 具体描述参考 FACT0。
24	FACT24	R/W	激活过滤器 24（Filter24 Active） 具体描述参考 FACT0。
25	FACT25	R/W	激活过滤器 25（Filter25 Active） 具体描述参考 FACT0。
26	FACT26	R/W	激活过滤器 26（Filter26 Active） 具体描述参考 FACT0。
27	FACT27	R/W	激活过滤器 27（Filter27 Active） 具体描述参考 FACT0。
31:28	保留		

25.6.3.6 CAN 过滤器组 i 的寄存器 x（CAN_FiBANKx）（i＝0..27；x=1..2）

偏移地址：0x240..0x31C

CAN_F0BANK1 偏移地址：0x240　　CAN_F0BANK2 偏移地址：0x244

CAN_F1BANK1 偏移地址：0x248　　CAN_F1BANK2 偏移地址：0x24C

依此类推得到后面的偏移地址

复位值：0xXXXX XXXX

位/域	名称	R/W	描述
31:0	FBIT[31:0]	R/W	设置过滤器位（Filter Bits Setup） 标识符列表模式： 0：FBITx 为显性位 1：FBITx 位为隐性位 标识符屏蔽位模式： 0：FBITx 不用于比较 1：FBITx 必须匹配 说明：x 取值为 0~31，表示 FBIT 的位编号。

注：在产品中共有 28 组过滤器：i=0..27。每组过滤器由 2 个 32 位的寄存器，CAN_FiBANK[2:1]组成。只有在 CAN_FACT 寄存器相应的 FACTx 位清 0，或 CAN_FCTRL 寄存器的 FINITEN 位为 1 时，才能修改相应的过滤器寄存器。

26 安全数字输入输出接口（SDIO）

26.1 术语全称、缩写描述

表格 111 术语全称、缩写描述

中文全称	英文全称	英文缩写
先入先出队列	First Input First Output	FIFO
命令状态机	Command Path State Machine	CPSM
数据状态机	Data Path State Machine	DPSM

26.2 简介

安全数字输入/输出接口能够连接 SD 卡，SD I/O 卡，多媒体卡（MMC）和 CE-ATA 卡主机接口,提供 APB2 系统总线与 SD 存储卡、SD I/O 卡、MMC 和 CE-ATA 设备之间的数据传输。

26.3 主要特征

（1） SD 卡：与 SD 存储卡规格版本 2.0 全兼容

（2） SD I/O 卡：与 SD I/O 卡规格版本 2.0 全兼容:支持两种不同的总线模式:1 位（默认）和 4 位。

（3） MMC：与多媒体卡系统规格书 4.2 及之前版本全兼容。有三种不同的数据总线模式：1 位（默认）、4 位和 8 位。

（4） CE-ATA：与 CE-ATA 数字协议版本 1.1 全兼容。

（5） 8 位总线模式下数据传输速率达 48MHz

（6） 中断和 DMA 请求

（7） 数据和命令输出使能信号，用于控制外部双向驱动器。

注：当前版本的 SDIO 在同一时间里只支持一个 SD/SD IO/MMC 4.2 卡，但可支持多个 MMC4.1 或以前版本的卡。

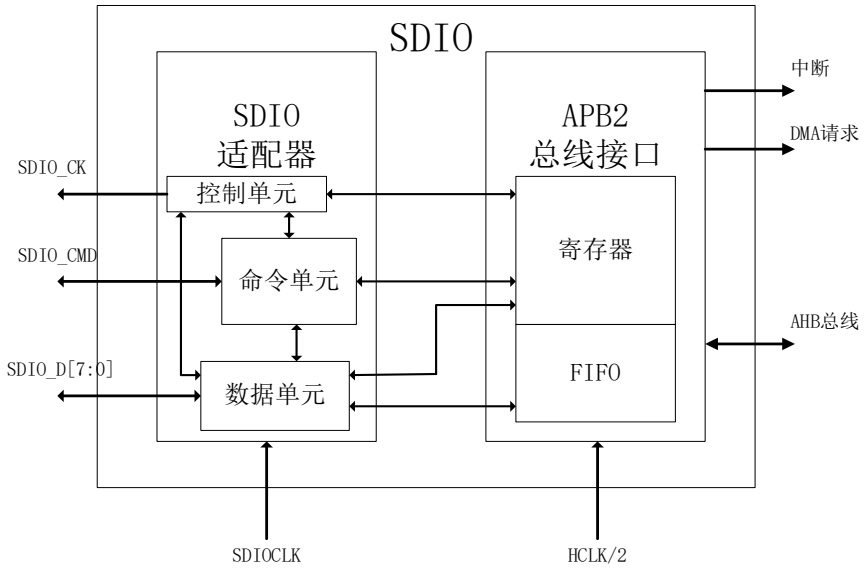
26.4 功能描述

SDIO 结构主要有两大部分：

SDIO 适配器：实现 MMC/SD/SD I/O 卡的相关功能，由控制单元、数据单元、命令单元组成。控制单元管理时钟信号，数据单元管理数据传输，命令单元管理命令传输。

APB2 总线接口：操作 SDIO 适配器中的寄存器，用于数据传输的 FIFO 单元，产生中断和 DMA 请求信号。

图 114 SDIO 结构框图如图



表格 112 SDIO 引脚定义

引脚	方向	说明
SDIO_CK	输出	MMC/SD/SD I/O 卡时钟，从主机到卡的时钟线
SDIO_CMD	双向	MMC/SD/SD I/O 卡命令，双向命令信号
SDIO_D[7:0]	双向	MMC/SD/SD I/O 卡数据，双向数据总线

26.4.1 SDIO 总线拓扑

上电复位后，主机必须通过特殊的基于消息的总线协议初始化设备。

每个消息有以下部分中的一个来表示：

- 命令：命令是启动一个操作的令牌，主机到卡，命令串行传输到 CMD 线上。
- 响应：从卡到主机，作为先前收到命令的应答，响应串行传输在 CMD 上。
- 数据：可以从主机到卡或者从卡到主机。通过数据线传送。用于数据传输的数据线数目可以是 1（D0）、4（D0-D3）、8（D0-D7）。

在多媒体卡/SD/SD I/O 总线上的基本操作是命令/响应结构。

在 SD/SD I/O 存储器卡上传送的数据时以数据块的形式传输；在 MMC 上传送的数据时以数据块或数据流的形式传输；在 CE-ATA 设备上传送的数据也是以数据块的形式传输。

图 115 SDIO “无响应”和“无数据”操作

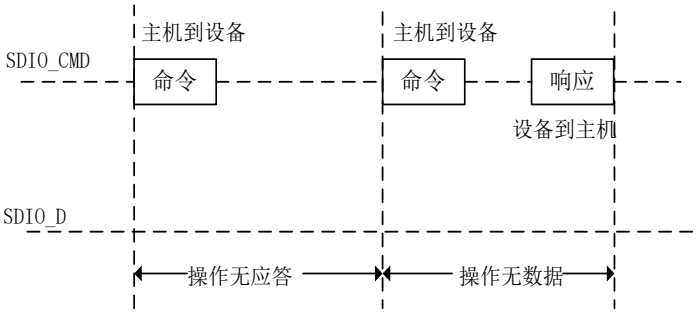


图 116 SDIO（多）数据块读操作

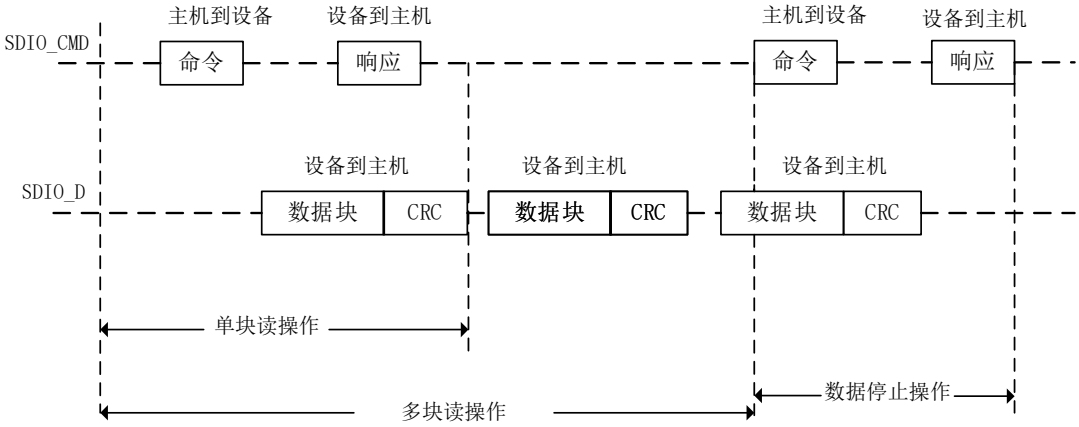
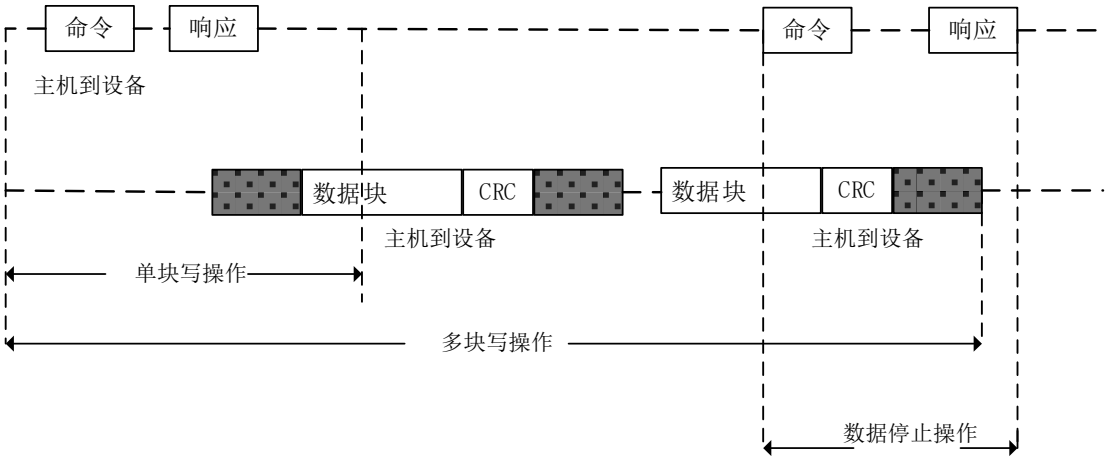


图 117 SDIO（多）数据块写操作



:繁忙

图 118 SDIO 数据流读操作

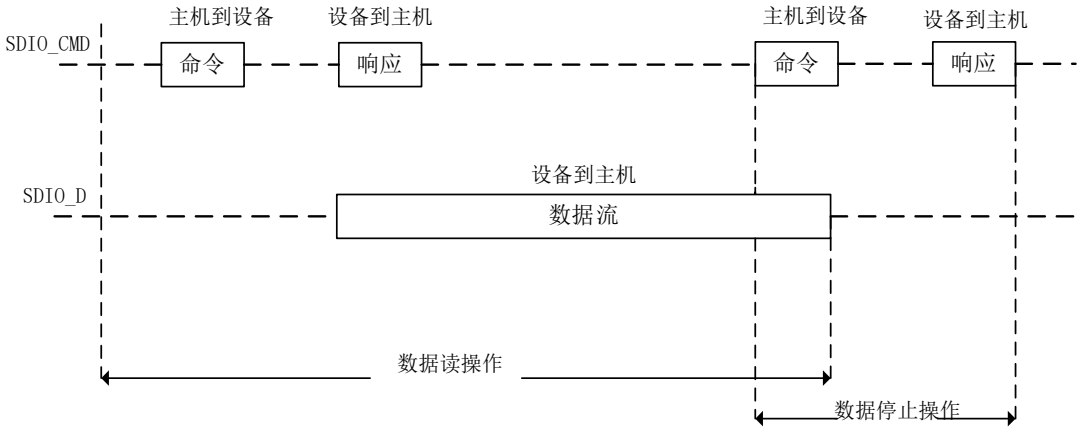
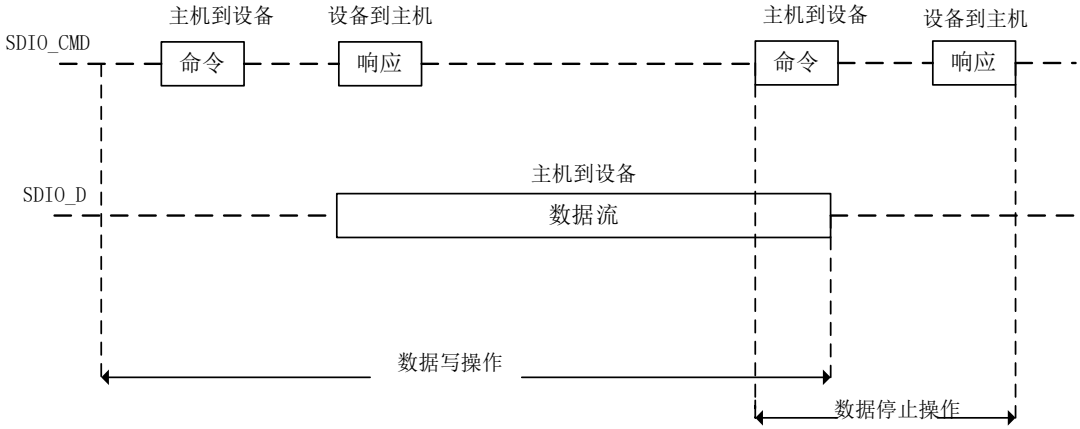


图 119 SDIO 数据流写操作



26.4.2 SDIO 适配器

SDIO 产生的信号有以下几种：

- SDIO_CLK：SDIO 控制器提供给卡的时钟。每个时钟周期在命令线（SDIO_CMD）和所有的数据线（SDIO_D）上直接发送一位命令或数据。对于 MMC 卡 V3.31 版本，SDIO_CLK 频率在 0-20MHz，对于 MMC 卡 V4.2 版本在 0-48MHz 之间，对于 SD 或 SD I/O 卡在 0-25MHz 之间。
- SDIO_CMD：该信号是双向命令通道，用于卡的初始化和命令传输。命令从 SDIO 控制器到卡，响应从卡发送到主机。CMD 信号有两种操作模式：初始化的开漏模式（用于 MMC 卡 V3.31 及以前版本）和命令发送的推挽模式（SD、SD I/O、MMC 卡 4.2 版本初始化也是推挽模式）。
- SDIO_D[7:0]：信号线均为双向数据通道，处于推挽模式。默认情况下，上电或复位后，只有 D0 用于数据传输，SDIO 适配器可配置更宽的数据总线用于数据传输，使用 D0-D3、D0-D7（仅使用于 MMC V4.2）。

控制单元

控制单元包括电源管理和时钟管理功能。

命令单元

命令单元实现向卡发送命令与接收卡发送的命令，数据传输由命令状态机（CPSM）控制。

命令状态机

CS_Idle　复位后准备发送命令		
1.CPSM被使能并且WAITDEND使能	→	CS_Pend
2.CPSM被使能并且WAITDEND失能	→	CS_Send
3.CPSM被关闭	→	CS_Idle
注：命令状态机空闲状态至少保持8个SDIO_CLK周期，以满足NCC和NRC时序限制。 NCC：两个主机命令之间最小时间间隔 NRC：主机命令与卡响应的最小时间间隔		

CS_Pend　等待数据传输结束		
1.数据传送完成	→	CS_Send
2.CPSM被关闭	→	CS_Idle

CS_Send　发送命令		
1.发送命令后有响应	→	CS_Wait
2.发送命令后无响应	→	CS_Idle
3.CPSM被关闭	→	CS_Idle

CS_Wait 等待响应起始位		
1.接收到响应(检测到起始位)	→	CS_Wait
2.接收响应超时	→	CS_Idle
3.CPSM被关闭	→	CS_Idle
注意:命令超时时间固定为64个SDIO_CLK时钟周期		

CS_Receive 接收响应并检测CRC		
1.在CE-ATA模式下收到响应，失能CE-ATA中断并且等待CE-ATA设备命令完成信号使能	→	CS_Waitcompl
2.在CE-ATA模式下收到响应，失能CE-ATA中断并且等待CE-ATA设备命令完成信号失能	→	CS_Pend
3.CPSM被关闭	→	CS_Idle
4.收到响应	→	CS_Idle
5.命令CRC检测失败	→	CS_Idle

CS_Waitcompl 等待CE-ATA设备命令完成信号		
1.收到CE-ATA命令完成信号	→	CS_Idle
2.CPSM被关闭	→	CS_Idle
3.命令CRC检测失败	→	CS_Idle

数据单元

数据单元实现主机与卡之间的数据传输。当数据宽度为 8 位,数据传输使用 SDIO_D[7:0]信号线。当数据宽度为 4 位，数据传输使用 SDIO_D[3:0]信号线。当数据宽度为 1 位，数据传输使用 SDIO_D[0]信号线。

数据传输流由数据状态机（DPSM）控制。

数据状态机

DS_Idle 数据单元空闲，等待发送和接收数据		
1.DPSM使能并且数据传输从主机到卡	→	DS_WaitS
2.DPSM使能并且数据传输从卡到主机	→	DS_WaitR
3.DPSM使能并且读等待已经开始并且使能SDIO模式	→	DS_Readwait

DS_WaitS 等待数据FIFO为空标志无效或者数据传输结束		
1.数据传输结束	→	DS_Idle
2.DPSM被关闭	→	DS_Idle
3.数据FIFO为空标志无效	→	DS_Send

DS_Send 发送数据到卡		
1.数据已发送	→	DS_Busy
2.DPSM被关闭	→	DS_Idle
3.数据FIFO下溢错误发送	→	DS_Idle
4.内部CRC错误	→	DS_Idle

DS_Busy 等待CRC状态标志		
1.数据已发送	→	DS_Busy
2.DPSM被关闭	→	DS_Idle
3.数据FIFO下溢错误发送	→	DS_Idle
4.内部CRC错误	→	DS_Idle

DS_WaitR 等待接收数据的起始位		
1.数据接收结束	→	DS_Idle
2.DPSM被关闭	→	DS_Idle
3.数据超时	→	DS_Idle
4.在超时前收到起始位	→	DS_Receive

DS_Receive 接收卡的数据并将其写入数据FIFO		
1.数据块已接收	→	DS_WaitR
2.数据传输结束	→	DS_WaitR
3.数据FIFO下溢发送	→	DS_Idle
4.数据已经接收并且读等待开始并使能SDI/O模式	→	DS_Readwait
5.DPSM被关闭或CRC错误	→	DS_Idle

DS_Readwait 等待“读等待停止”指令		
1.“读等待停止”使能	→	DS_WaitR
2.DPSM被关闭	→	DS_Idle

26.4.3 APB2 接口

APB2 接口实现了访问 SDIO 寄存器、数据 FIFO 和生成中断和 DMA 请求。它包括数据 FIFO 单元、寄存器单元和中断/DMA 请求控制逻辑。

SDIO 中断

当至少一个已经被选中的状态标志为高时，中断逻辑产生中断请求。中断使能允许寄存器允许中断逻辑产生相应中断。

数据 FIFO

数据 FIFO 单元有一个数据缓冲区，用于接收与发送 FIFO。FIFO 包括一个每个字的宽度为 32 位，深度为 32 字的数据缓冲区。发送 FIFO 被用在当需要写数据到卡上，待传输的数据通过 APB2 总线写入发送 FIFO，SDIO 适配器中的数据单元从发送 FIFO 读取数据，再发送到卡。接收 FIFO 用于从卡读取数据时，从卡读取数据，然后将待传送数据写入接收 FIFO。

寄存器单元

寄存器单元包括所有的系统寄存器，生成信号用于控制卡与控制器之间的通信。

26.4.4 卡功能说明

26.4.4.1 卡寄存器

卡内部定义了接口寄存器：OCR、CID、CSD、EXT_CSD、RCA、DSR、SCR。这些寄存器只能通过相应命令访问。OCR、CID、CSD 和 SCR 寄存器包括卡的特定信息，RCA 和 DSR 寄存器时配置寄存器，存储实际的配置参数。EXT_CSD 寄存器同时包括卡的特定信息和实际的结构参数。

OCR 寄存器：32 位操作条件寄存器存储卡的 V_{DD} 电压描述和存储模式指示（MMC）。另外，该寄存器包括一个状态信息位。如果卡上电过程已经完成该状态位置位。该寄存器在 MMC 和 SD 卡之间有点不同。主机可以使用 CMD1（MMC）,ACMD41（SD 存储卡），CMD5（SD I/O）来获取该寄存器的内容。

CID 寄存器：卡识别寄存器（CID）是 128 位宽。它包含在卡识别阶段使用的卡识别信息。每个读/写（RW）卡应具有唯一的标识号。

CSD 寄存器：卡特定数据寄存器提供访问卡中的内容信息。CSD 定义数据格式、错误校正类型、最大数据访问时间、数据传输速度等。

扩展 CSD 寄存器：只有 MMC4.2 有该寄存器。扩展 CSD 寄存器定义卡属性和选择模式。它的长度为 512 字节。最高 320 字节为属性段，定义了卡的功能，并且不能由主机修改。最低 192 字节是模式段，定义了卡工作在哪种配置下。

RCA 寄存器：可写的 16 位相对卡地址寄存器存放卡地址，该地址在卡的初始化期间由卡向外发布。这个地址用于卡识别过程之后，所寻址的主机和卡通信。

DSR 寄存器：16 位驱动阶段寄存器，可用于在扩展操作条件中提高总线性能（取决于总线长度、传输速率等参数）。

SCR 寄存器：仅 SD/SD I/O 有这个寄存器。

26.4.4.2 命令

控制卡的命令有以下四种不同的类型：

表格 113 命令类型

命令类型	意义
广播命令（BC）	发送到所有卡，没有响应返回
带响应的广播命令（BCR）	发送到所有卡，同时收到从所有卡返回的响应
寻址（点对点）命令（AC）	发送到寻址卡上，SDIO_D 线上没有数据传输
寻址（点对点）的数据传输命令（ADTC）	发送到寻址卡上，SDIO_D 线上有数据传输

命令格式

所有命令格式都是 48 位的固定码长，需要 1.92us（25MHz）0.96us（50MHz）和 0.92us（52MHz）的发送时间。

表格 114 表命令格式

位	47	46	[45:40]	[39:8]	[7:1]	0
宽度	1	1	6	32	7	1
数值	0	1	-	-	-	1
说明	开始位	传输位	命令索引	参数	CRC7	结束位

SD I/O 支持两种响应类型，两种类型都有 CRC 错误检测。

- 48 位短响应
- 136 位长响应

表格 115 短响应格式

位	47	46	[45:40]	[39:8]	[7:1]	0
宽度	1	1	6	32	7	1
数值	0	0	-	-	-	1
说明	开始位	传输位	命令索引	参数	CRC7 或（1111111）	结束位

表格 116 长响应格式

位	135	134	[133:128]	[127:1]	0
宽度	1	1	6	127	1
数值	0	0	111111	-	1
说明	开始位	传输位	保留	CID 或 CSD	结束位

命令描述

表格 117 基本命令

命令索引	类型	参数	响应格式	简称	说明
CMD0	bc	[31:0]填充位	-	GO_IDLE_STATE	复位所有卡到空闲状态。

命令索引	类型	参数	响应格式	简称	说明
CMD1	bc	[31:0]OCR	R3	SEND_OP_COND	在空闲状态，请求卡通过 CMD 线发送响应（包含操作条件寄存器的内容）
CMD2	bcr	[31:0]填充位	R2	ALL_SEND_CID	请求任何卡通过 CMD 线发送 CID 数据（所有连接到主机的卡都会响应）
CMD3	bcr	[31:0]填充位	R6	SEND_RELATIVE_ADDR	请求卡发布新的相对卡地址（RCA）
CMD4	bc	[31:16]DSR [15:0]填充位	-	SET_DSR	设置所有卡的 DSR 寄存器。
CMD5	bcr	[31:25]保留位 [24]S18R [23:0]I/O OCR	R4	IO_SEND_OP_COND	仅适用于 I/O 卡。查询所有 IO 卡的电压范围。
CMD6	ac	[31:26]设为 0 [25:24]访问 [23:16]索引 [15:8]值 [7:3]设为 0 [2:0]命令集	R1b	SWITCH	仅适用于 MMC 卡。切换所选卡操作模式或修改 EXT_CSD 寄存器。
CMD7	ac	[31:16]RCA [15:0]填充位	R1b	SELECT/DESELECT_CARD	用于卡在状态上的切换。
CMD8	bcr	[31:12]保留位 [11:8]工作电压（VHS） [7:0]检查模式	R7	SEND_IF_COND	向 SD 卡发送接口条件，包括主机供电电压信息和询问卡是否支持电压。保留位应设为 0。
CMD9	ac	[31:16]RCA [15:0]填充位	R2	SEND_CSD	被选定的卡通过 CMD 发送到他的卡特定数据（CSD）
CMD10	ac	[31:16]RCA [15:0]填充位	R2	SEND_CID	被选定的卡通过 CMD 发送到他的卡标识（CID）

命令索引	类型	参数	响应格式	简称	说明
CMD12	ac	[31:0]填充位	R1b	STOP_TRANSMISSION	强制卡停止传输。
CMD13	ac	[31:16]RCA [15:0]填充位	R1	SEND_STATUS	被选定的卡发送它的状态寄存器。
CMD14	adtc	[31:0]填充位	R1	BUSTEST_R	主机从卡中读取反向的总线测试数据模式。
CMD15	ac	[31:16]RCA [15:0]填充位	-	GO_INACTIVE_STATE	将被选定的卡转换到非激活（Inactive）状态。
CMD19	adtc	[31:0]填充位	R1	BUSTEST_W	主机向卡发送总线测试模式。

表格 118 面向块的写命令

命令索引	类型	参数	响应格式	简称	说明
CMD23	ac	[31:16]设为 0 [15:0]块数目	R1	SET_BLOCK_COUNT	定义在后续的多个块或写命令中传输块的数目。
CMD24	adtc	[31:0]数据地址	R1	WRITE_BLOCK	按照 SET_BLOCKLEN 命令选择的长度写一个块。
CMD25	adtc	[31:0]数据地址	R1	WRITE_MULTIPLE_BLOCK	连续写入数据块，直到收到 STOP_TRANSMISSION 命令或达到了指定的块数目。
CMD26	adtc	[31:0]填充位	R1	PROGAM_CID	对卡识别寄存器编程。对每个卡只能发送一次该命令。该编程涉及到硬件更改，防止首次编程后以后的操作。通过该命令保留给生产厂商。
CMD27	adtc	[31:0]填充位	R1	PROGAM_CSD	对卡的 CSD 中可编程的位编程。
CMD28	ac	[31:0]数据地址	R1b	SET_WRITE_PROT	如果卡有写保护功能，该命令设置指定组的写保护位。写保护特性设置在卡的特殊数据区（WP_GRP_SIZE）

命令索引	类型	参数	响应格式	简称	说明
CMD29	ac	[31:0]数据地址	R1b	CLR_WRITE_PROT	如果卡有写保护功能，该命令将清除寻址组的写保护位。
CMD30	adtc	[31:0]写保护数据地址	R1	SEND_WRITE_PROT	如果卡有写保护功能，该命令请求卡发送写保护位状态。

26.4.5 特定操作

26.4.5.1 SD I/O 卡操作

SD I/O 卡（包括 IO 卡与组合卡）支持以下特定操作：

- 读等待操作
- 暂停/恢复操作
- 中断

只有设置 SDIO_DCTRL 的 SDIOEN 位时，SDIO 才支持这些操作；但读暂停除外，它不需要特殊的硬件操作。

SD I/O 读等待操作

读等待（RW）仅用于 SD I/O 的 1 位和 4 位模式。读等待操作允许一个主机给卡执行一个读多个块操作时发信号，以停止数据传输，同时允许主机发送命令到 SD I/O 卡内任何功能函数。

在收到第一个数据块之前即可以开始读等待过程，使能数据通道（DTEN 位置 1）、使能 SDIO 特定操作（SDIOEN 位置 1）、开始读等待,同时数据传输方式为从卡到 SDIO 主机，DPSM 将直接从空闲进入读等待状态。

在读等待状态时，2 个 SDIO_CK 时钟周期后，DPSM 驱动 SDIO_D2 为 0，在此状态，如果设置了 RWSTOP 位，则 DPSM 会在等待状态多停留 2 个 SDIO_CK 时钟周期，（根据 SDIO 规范）并在一个时钟周期中驱动 SDIO_D2 为 1。然后 DPSM 开始等待从卡里接收数据。在接收数据块时，即使设置了开始等待，DPSM 也不会进入读等待。

SDIO 卡不能以上读等待操作，SDIO 可以停止 SDIO_CK 进入读等待，在接收大当前数据块结束后 2 个 SDIO_CK 周期后，DPSM 停止时钟，在设置读等待开始位后恢复时钟。

图 120 使用 SDIO_D2 信号线的读等待操作

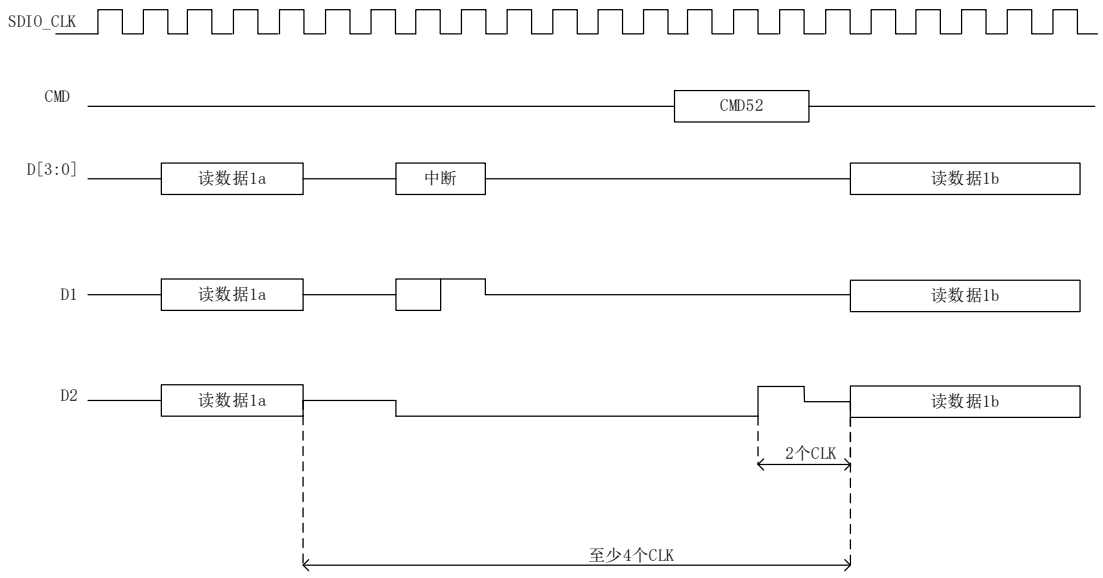
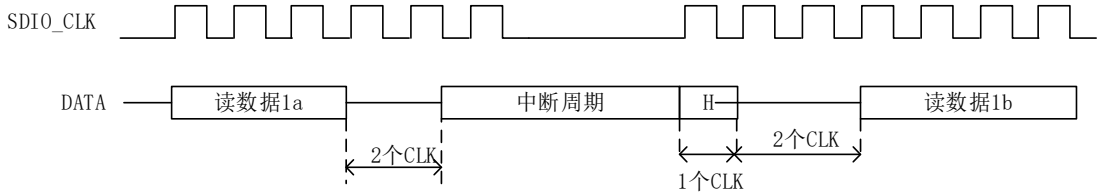


图 121 通过停止 SDIO_CLK 的读等待操作



SDIO 中断

当设置了 SDIOEN 位，SDIO 主机在 SDIO_D1 信号线上检测 SDIO 中断。

26.4.5.2 CE-ATA 特定操作

CE-ATA 设备有以下特定操作：

- 接收命令完成信号
- 发送命令完成关闭信号

只有在设置了 SDIO_CMD 的 ATACMD 位时，SDIO 才支持这些操作。

命令完成信号

CE-ATA 定义了命令完成信号，设备使用该信号通知主机 ATA 命令完成或者遇到错误，ATA 命令终止

命令完成关闭信号

主机可通过发送命令完成关闭信号取消设备返回命令完成信号的功能。

如果未设置 ATACMD 的“允许 CMD 结束位”，设置了 INTDIS 中的“非终端使能位”，则在收到一个短响应后的八个位周期后，发送命令完成关闭信号。

26.4.6 卡状态寄存器功能描述

响应格式 R1 包含了一个 32 位的卡状态域，这个域是用于向卡主机发送卡的状态信息（这些信息有可能存在本地的状态寄存器中）。除非特别说明，卡返回的状态始终是与之前的命令相关的。

下表定义了不同的状态信息：

表格 119 不同的状态信息类型

缩写	定义
E	错误位
S	状态位
R	检测位，并依据实际的命令响应而设置
X	检测位，在命令的执行中设置。 SDIO 卡主机通过发送状态命令读出这些位而查询卡的状态。

表格 120 清除条件

缩写	定义
A	依据卡的当前状态
B	始终与之前的命令相关。接收到正确的命令即可清除（具有一个命令的延迟）。
C	读即可清除

表格 121 卡状态

位	名称	类型	数值	说明	清除条件
1:0	保留给生产厂家的测试模式。				
2	保留给与应用相关的命令。				
3	AKE_SEQ_ERROR	ER	0=无错误 1=错误	验证的顺序有错误。	C
4	保留给 SD I/O 卡				
5	APP_CMD	SR	0=不允许 1=允许	卡期望 ACMD，或指示命令已经被解释为 ACMD 命令。	C
6	保留				
7	SWITCH_ERROR	EX	0=无错误 1=转换错	卡没有按照 SWITCH 命令的要求转换到希望的模式。	B
8	READY_FOR_DATA	SR	0=未就绪 1=就绪	与总线上的缓冲器空的信号相对应。	
12:9	CURRENT_STATE	SR	0=空闲 1=就绪 2=识别 3=待机 4=发送 5=数据	当收到命令时卡内状态机的状态。如果命令的执行导致状态的变化，这个变化将会在下个命令的响应中反映出来。这四个位按十进制数 0 至 15 解释。	B

位	名称	类型	数值	说明	清除条件
			6=接收 7=编程 8=断开 9=忙测试 10~15=保留		
13	ERASE_RESET		0=清除 1=设置	因为收到一个擦除顺序之外的命令（非 CMD35 、CMD36、CMD38 或 CMD13 命令），进入擦除过程的序列被中止。	C
14	CARD_ECC_DISABLED	SX	0=允许 1=不允许	执行命令时没有使用内部的 ECC。	A
15	WP_ERASE_SKIP	EX	0=未保护 1=已保护	遇到已经存在的写保护数据块，仅有部分地址空间被擦除。	C
16	CID/CSD_OVERWRITE	EX	0=无错误 1=错误	可以是任何一个下述的错误： 已经写入了 CID 寄存器，不能覆盖 CSD 的只读部分与卡的内容不匹配 试图进行拷贝或永久写保护的反向操作，即恢复原状或解除写保护。	C
17	保留				
18	保留				
19	ERROR	EX	0=无错误 1=错误	产生了与执行上一个主机命令相关的（标准中未定义） 卡内部的错误（例如：读或写错误）。	C
20	CC_ERROR	ER	0=无错误 1=错误	（标准中未定义）卡内部发生错误，与主机的命令无关。	C
21	CARD_ECC_FAILED	EX	0=成功 1=失败	卡的内部实施了 ECC 校验，但在更正数据时失败。	C
22	ILLEGAL_COMMAND	ER	0=无错误 1=错误	对于当前的卡状态，命令非法。	B
23	COM_CRC_ERROR	ER	0=无错误 1=错误	之前的命令中 CRC 校验错误。	B
24	LOCK_UNLOCK_FAILED	EX	0=无错误 1=错误	在上锁/解锁中有命令的顺序错误或检测到密码错误。	C
25	CARD_IS_LOCKED	SR	0=卡未锁 1=卡已锁	当设置了该位，表示卡已经被锁住。	A
26	WP_VIOLATION	EX	0=无错误 1=错误	试图对一个写保护的数据块编程。	C
27	ERASE_PARAM	EX	0=无错误 1=错误	擦除时选择了非法的擦除组。	C

位	名称	类型	数值	说明	清除条件
28	ERASE_SEQ_ERROR		0=无错误 1=错误	发送擦除命令的顺序错误。	C
29	BLOCK_LEN_ERROR		0=无错误 1=错误	SET_BLOCKLEN 命令的参数超出了卡的最大允许范 围，或先前定义的数据块长度对于当前命令来说是非法的（例如：主机发出一个写命令，当前的块长度小于卡所允许的最小长度，同时又不允许写入部分数据块）。	C
30	ADDRESS_MISALIGN		0=无错误 1=错误	命令中的地址参数（与当前的数据块长度对照）定义的第一个数据块未与卡的物理块对齐。 一个多数据块或数据流读/写操作（即使从一个合法的地址开始）试图读或写未与物理块对齐的数据块。	C
31	ADDRESS_OUT_OF_RANGE	ERX	0=无错误 1=错误	命令中的地址参数超出了卡的允许范围。 一个多数据块或数据流读/写操作（即使从一个合法的地址开始）试图读或写超出卡的容量的部分。	C

26.4.6.1 SD 状态寄存器功能描述

SD 状态包含与 SD 存储器卡特定功能相关的状态位和一些与未来应用相关的状态位， SD 状态的长度是一个 512 位的数据块。收到 ACMD13 命令（CMD55，然后是 CMD13）后，这个寄存器的内容被传送到 SDIO 卡主机。只有卡处于传输状态时（卡已被选择）才能发送 ACMD13 命令。

下表定义了不同的 SD 状态寄存器信息。

表格 122 SD 状态寄存器信息

缩写	定义
E	错误位
S	状态位
R	检测位，并依据实际的命令响应而设置
X	检测位，在命令的执行中设置。 SDIO 卡主机通过发送状态命令读出这些位而查询卡的状态。

注：表中有关类型和清除条件域的缩写定义见。

表格 123 清除条件

缩写	定义
A	依据卡的当前状态
B	始终与之前的命令相关。接收到正确的命令即可清除（具有一个命令的延迟）。

缩写	定义
C	读即可清除置

表格 124 SD 状态

位	名称	类型	数值	说明	清除条件
311:0	保留给生产厂商				
399:312	保留				
401:400	ERASE_OFFSET				
407:402	ERASE_TIMEOUT	S R	在擦除时增加的固定偏移数值	（见以下说明）	A
423:408	ERASE_SIZE	S R	擦除 UNIT_OF_ERASE_AU 指定的范围的超时数值	（见以下说明）	A
427:424	保留	S R	一次可以擦除的 AU 数目	（见以下说明）	A
431:428	AU_SIZE	S R	AU 的大小（见以下说明）	（见以下说明）	A
439:432	PERFORMANCE_MOVE	S R	以 1MB/秒为单位的传输性能（见以下说明）	（见以下说明）	A
447:440	SPEED_CLASS	S R	卡的速度类型（见以下说明）	（见以下说明）	A
479:448	SIZE_OF_PROTECTED_AREA	S R	受保护的区域大小（见以下说明）	（见以下说明）	A
495:480	SD_CARD_TYPE	S R	‘00xxh’= 在物理规范版本 1.01 ~2.00 的 SD 存储器卡（’x’表示任意值）。已定义的卡有： ‘0000’= 通用 SD 读写卡 ‘0001’= SD ROM 卡	这个域的低 8 位可以在未来定义 SD 存储卡的不同变种（每个位可以用于定义不同的 SD 类型）。高 8 位可以用于定义那些不遵守当前的 SD 物理层规范的 SD 卡。	A
508:496	保留				
509	SECURED_MODE	S R	0= 未处于保密模式 1= 处于保密模式	卡处于保密操作模式（详见“SD 保密规范 “）。	A

位	名称	类型	数值	说明	清除条件
511:510	DAT_BUS_WIDTH	S R	00=1（默认） 01=保留 10= 4 位宽 11=保留	由 SET_BUS_WIDTH 命令定义的当前数据总线宽度。	A

SIZE_OF_PROTECTED_AREA

标准容量卡和高容量卡设置该位的方式不同：

- 对于标准容量卡，受保护区域的容量由下式计算：
  受保护区域=SIZE_OF_PROTECTED_AREA * MULT * BLOCK_LEN
  SIZE_OF_PROTECTED_AREA 的单位是 MULT * BLOCK_LEN。
- 对于高容量卡，受保护区域的容量由下式计算：
  受保护区域=SIZE_OF_PROTECTED_AREA
  SIZE_OF_PROTECTED_AREA 的单位是字节。

SPEED_CLASS

这 8 位指示速度的类型和可以通过计算 PW/2 的数值（PW 是写的性能）。

表格 125 速度类型代码

SPEED_CLASS	数值定义
00h	类型 0
01h	类型 2
02h	类型 4
03h	类型 6
04h~FFh	保留

PERFORMANCE_MOVE

这 8 位以 1MB/秒为单位指示移动性能（Pm）。如果卡不用 RU（纪录单位）移动数据，应该认为 Pm 是无穷大。设置这个域为 FFh 表示无穷大。

表格 126 移动性能代码

PERFORMANCE_MOVE	数值定义
00h	未定义
01h	1MB/秒
02h	2MB/秒
……	……
Feh	254MB/秒

PERFORMANCE_MOVE	数值定义
FFh	无穷大

AU_SIZE

这 4 位指示 AU 的长度，数值是 16K 字节为单位 2 的幂次的倍数。

表格 127 AU_SIZE 代码

AU_SIZE	数值定义
00h	未定义
01h	16KB
02h	32KB
03h	64KB
04h	128KB
05h	256KB
06h	512KB
07h	1MB
08h	2MB
09h	4MB
Ah~Fh	保留

依据卡的容量，最大的 AU 长度由下表定义。卡可以在 RU 长度和最大的 AU 长度之间设置任意的 AU 长度。

表格 128 最大的 AU 长度

容量	最大的 AU 长度
16MB~64MB	512KB
128MB~256MB	1MB
512MB	2MB
1GB~32GB	4MB

ERASE_SIZE

这个 16 位域给出了 N_{ERASE} 的值，当 N_{ERASE} 个 AU 被擦除时，ERASE_TIMEOUT 定义超时时间。

如果主机能够确定某次擦除中 N_{ERASE} 的值，那么就可以显示擦除的进度。

表格 129 ERASE_SIZE 代码

ERASE_SIZE	数值定义
0000h	不支持擦除的超时计算
0001h	1 个 AU

ERASE_SIZE	数值定义
0002h	2 个 AU
0003h	3 个 AU
……	……
FFFFh	65535 个 AU

ERASE_TIMEOUT

这 6 位给出了 T_{ERASE}，当多个 AU 被擦除时，T_{ERASE} 给出了从偏移量算起的擦除超时。

表格 130 擦除超时代码

ERASE_TIMEOUT	数值定义
00	不支持擦除的超时计算
01	1 秒
02	2 秒
03	3 秒
……	……
63	63 秒

ERASE_OFFSET

这 2 位给出了 TOFFSET，当 ERASE_SIZE 和 ERASE_TIMEOUT 同为 0 时这个数值没有意义。

表格 131 擦除偏移代码

ERASE_OFFSET	数值定义
0	0 秒
1	1 秒
2	2 秒
3	3 秒

26.5 寄存器地址映射

表格 132 SDIO 寄存器地址映射

寄存器名	描述	偏移地址
SDIO_PWRCTRL	SDIO 电源控制寄存器	0x00
SDIO_CLKCTRL	SDIO 时钟控制寄存器	0x04
SDIO_ARG	SDIO 参数寄存器	0x08

寄存器名	描述	偏移地址
SDIO_CMD	SDIO 命令寄存器	0x0C
SDIO_CMDRES	SDIO 命令响应寄存器	0x10
SDIO_RESx	SDIO 响应 x 寄存器	0x14 + 4*（x-1），其中 x=1…4
SDIO_DATATIME	SDIO 数据定时器寄存器	0x24
SDIO_DATALEN	SDIO 数据长度寄存器	0x28
SDIO_DCTRL	SDIO 数据控制寄存器	0x2C
SDIO_DCNT	SDIO 数据计数器寄存器	0x30
SDIO_STS	SDIO 状态寄存器	0x34
SDIO_ICF	SDIO 清除中断寄存器	0x38
SDIO_MASK	SDIO 中断屏蔽寄存器	0x3C
SDIO_FIFOCNT	SDIO 计数器寄存器	0x48
SDIO_FIFODATA	SDIO 数据 FIFO 寄存器	0x80

26.6 寄存器功能描述

设备通过可以在 APB2 上操作的 32 位控制寄存器与系统通信，必须以字（32 位）的方式操作这些外设寄存器。

26.6.1 SDIO 电源控制寄存器（SDIO_PWRCTRL）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
1:0	PWRCTRL	R/W	控制电源（Power Supply Control） 选择卡时钟的当前功能状态。 00：电源关闭，卡的时钟停止。 01：保留。 10：保留的上电状态。 11：上电状态，卡的时钟开启。
31:2	保留		

注：写数据后的 7 个 HCLK 时钟周期内，不能写入这个寄存器。

26.6.2 SDIO 时钟控制寄存器（SDIO_CLKCTRL）

偏移地址：0x04

复位值：0x0000 0000

SDIO_CLKCTRL 寄存器控制 SDIO_CLK 输出时钟。

位/域	名称	R/W	描述
7:0	CLKDIV	R/W	时钟分频系数（Clock Divide Factor） 这个域定义了输入时钟（SDIOCLK）与输出时钟（SDIO_CLK）间的分频系数： SDIO_CLK 频率=SDIOCLK/[CLKDIV + 2]。

位/域	名称	R/W	描述
8	CLKEN	R/W	使能时钟（Clock Enable） 0：禁止 1：使能
9	PWRSAV	R/W	配置省电模式（Power Saving Mode Configuration） 通过禁止 SDIO_CLK 在总线活动外输出来减少功耗。 0：允许 1：禁止
10	BYPASSEN	R/W	使能旁路时钟分频器（Clock Divider Bypass Enable） 驱动 SDIO_CLK 输出信号前，需要对 SDIOCLK 分频，但如果旁路了分频器，那么 SDIOCLK 直接驱动 SDIO_CLK 输出信号。 0：禁止 1：使能
12:11	WBSEL	R/W	选择总线模式宽度（Wide Bus Mode Select） 选择不同位的总线模式，对应不同 SDIO_D 位。 00：默认，使用 SDIO_D0 01：4 位，使用 SDIO_D[3:0] 10：8 位，使用 SDIO_D[7:0] 11：保留
13	DEPSEL	R/W	选择 SDIO_CLK 相位（SDIO_CLK Dephasing Select） 选择 SDIOCLK 上升沿或者下降沿产生 SDIO_CLK。 0：上升沿 1：下降沿
14	HFCEN	R/W	使能硬件流控制（HW Flow Control Enable） 0：禁止 1：使能
31:15	保留		

注：

（1）当 SD/SD I/O 卡或多媒体卡处于识别模式， SDIO_CLK 的频率必须低于 400kHz。

（2）当所有卡都被赋予了相应的地址后，时钟频率可以改变到卡总线允许的最大频率。

（3）写数据后的 7 个 HCLK 时钟周期内不能写入这个寄存器。对于 SD I/O 卡，在读等待期间可以停止 SDIO_CLK，此时 SDIO_CLKCTRL 寄存器不控制 SDIO_CLK。

26.6.3 SDIO 参数寄存器（SDIO_ARG）

偏移地址：0x08

复位值：0x0000 0000

命令参数也是命令的一部分，SDIO_ARG 寄存器包含 32 位命令参数并且和命令一起发送到卡中。

位/域	名称	R/W	描述
31:0	CMDARG	R/W	命令参数（Command Argument） 存储命令参数。

26.6.4 SDIO 命令寄存器（SDIO_CMD）

偏移地址：0x0C

复位值：0x0000 0000

SDIO_CMD 寄存器包含命令索引和命令类型位。

位/域	名称	R/W	描述
5:0	CMDINDEX	R/W	命令索引（Command Index） 命令索引作为命令的一部分与其一起发送到卡中。
7:6	WAITRES	R/W	等待响应（Wait for Response） 指示 CPSM 是否需要等待响应，如果需要等待响应，则指示响应类型。 00：无响应，期待 CMDSENT 标志 01：短响应，期待 CMDREND 或 CCRCFAIL 标志 10：无响应，期待 CMDSENT 标志 11：长响应，期待 CMDREND 或 CCRCFAIL 标志
8	WAITINT	R/W	CPSM 等待中断请求（CPSM Waits for Interrupt Request） CPSM 开启或关闭命令超时控制并等待中断请求。 0：开启 1：关闭
9	WENDDATA	R/W	CPSM 等待数据传输结束（CmdPend 内部信号）（CPSM Waits for Ends of Data Transfer（CmdPend Internal Signal）） 0：无效 1：CPSM 在开始发送一个命令之前等待数据传输结束。
10	CPSMEN	R/W	使能命令通道状态机（CPSM）（Command Path State Machine（CPSM）Enable） 使能 CPSM。 0：禁止 1：使能
11	SDIOSC	R/W	SD I/O 暂停命令（SD I/O Suspend Command） 0：无效 1：将要发送的命令是一个暂停命令（只能用于 SD I/O 卡）。
12	CMDCPEN	R/W	使能 CMD 完成（Enable CMD Completion） 使能命令完成信号。 0：禁止 1：使能
13	INTEN	R/W	使能中断（Interrupt Enable） 0：使能 1：禁止
14	ATACMD	R/W	CE-ATA 命令（CE-ATA Command） 0：无效 1：CPSM 转至 CMD61
31:15	保留		

注：

（1）写数据后的 7 个 HCLK 时钟周期内不能写入这个寄存器。

（2）多媒体卡可以发送 2 种响应：48 位长的短响应，或 136 位长的长响应。SD 卡和 SD I/O 卡只能发送短响应，参数可以根据响应的类型而变化，软件将根据发送的命令区分响应的类型。CE-ATA 设备只发送短响应。

26.6.5 SDIO 命令响应寄存器（SDIO_CMDRES）

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
5:0	CMDRES	R	响应的命令索引（Response Command Index） 存储最后收到的命令响应中的命令索引。
31:6	保留		

26.6.6 SDIO 响应 x 寄存器（SDIO_RESx）

偏移地址：0x14 + 4*（x-1），其中 x=1…4

复位值：0x0000 0000

SDIO_RES1/2/3/4 寄存器包含卡的状态，即收到响应的部分信息。

位/域	名称	R/W	描述
31:0	CARDSTSx	R	见下表。

根据响应状态，卡的状态长度是 32 位或 127 位。

表格 133 响应类型和 SDIO_RESPx 寄存器

寄存器	短响应	长响应
SDIO_RES1	卡状态[31:0]	卡状态[127:96]
SDIO_RES2	不用	卡状态[95:64]
SDIO_RES3	不用	卡状态[63:32]
SDIO_RES4	不用	卡状态[31:1]

总是先收到卡状态的最高位，SDIO_RES3 寄存器的最低位始终为 0。

26.6.7 SDIO 数据定时器寄存器（SDIO_DATATIME）

偏移地址：0x24

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	DATATIME	R/W	数据超时时间（Data Timeout Period） 记录以卡总线时钟周期为单位的数据超时时间。

注：在写入数据控制寄存器进行数据传输之前，必须先写入数据定时器寄存器和数据长度寄存器。

26.6.8 SDIO 数据长度寄存器（SDIO_DATALEN）

偏移地址：0x28

复位值：0x0000 0000

位/域	名称	R/W	描述
24:0	DATALEN	R/W	数据长度（Data Length） 要传输的数据字节长度。
31:25	保留		

注:对于块数据传输，SDIO_DATALEN 中的数值必须是数据块长度的倍数。在写入 SDIO_DCTRL 进行数据传输之前，必须先写入 SDIO_DATATIME 和 SDIO_DATALEN。

26.6.9 SDIO 数据控制寄存器（SDIO_DCTRL）

偏移地址：0x2C

复位值：0x0000 0000

SDIO_DCTRL 寄存器控制数据通道状态机（DPSM）。

位/域	名称	R/W	描述
0	DTEN	R/W	使能数据传输（Data Transfer Enabled） 0：禁止 1：使能
1	DTDRCFG	R/W	配置数据传输方向（Data Transfer Direction Configuration） 0：控制器至卡 1：卡至控制器
2	DTSEL	R/W	选择数据传输模式（Data Transfer Mode Select） 0：块数据传输 1：流数据传输
3	DMAEN	R/W	使能 DMA（DMA Enable） 0：禁止 1：使能
7:4	DBSIZE	R/W	数据块长度（Data Block Size） 定义数据块长度： 0000：块长度=20=1 字节 0001：块长度=21=2 字节 0010：块长度=22=4 字节 0011：块长度=23=8 字节 0100：块长度=24=16 字节 0101：块长度=25=32 字节 0110：块长度=26=64 字节 0111：块长度=27=128 字节 1000：块长度=28=256 字 1001：块长度=29=512 字 1010：块长度=210=1024 字节 1011：块长度=211=2048 字节 1100：块长度=212=4096 字节 1101：块长度=213=8192 字节 1110：块长度=214=16384 字节 1111：保留
8	RWSTR	R/W	读等待开始（Read Wait Start） 0：无效 1：开始读等待操作
9	RWSTOP	R/W	使能读等待停止（Read Wait Stop Enable） 如果设置了 RWSTR，可使能停止读操作。 0：禁止 1：使能
10	RDWAIT	R/W	读等待模式（Read Wait Mode） 0：控制停止 SDIO_D2 1：控制使用 SDIO_DK

位/域	名称	R/W	描述
11	SDIOF	R/W	使能 SD I/O 功能（SD I/O Enable Functions） 如果设置了该位，则 DPSM 执行 SD I/O 卡特定的操作。
31:12	保留		

26.6.10 SDIO 数据计数器寄存器（SDIO_DCNT）

偏移地址：0x30

复位值：0x0000 0000

当 DPSM 从空闲状态进入 Wait_R 或 Wait_S 状态时，SDIO_DCNT 从 SDIO_DATALEN 加载数值，数据传输过程中，该计数器向下计数至 0，然后 DPSM 进入空闲状态并设置 DATAEND 标志。

位/域	名称	R/W	描述
24:0	DATACNT	R	数据计数数值（Data Count Number） 存储待传输的数据字节数。
31:25	保留		

注:只能在数据传输结束时读这个寄存器。

26.6.11 SDIO 状态寄存器（SDIO_STS）

偏移地址：0x34

复位值：0x0000 0000

SDIO_STS 是一个只读寄存器，它包含两类标志：

（1）静态标志（位[23:22、10:0]）：写入 SDIO 中断清除寄存器，可以清除这些位。

（2）动态标志（位[21:11]）：这些位的状态变化根据它们对应的那部分逻辑而变化。

位/域	名称	R/W	描述
0	COMRESP	R	已收到命令响应（CRC 检测失败）（Command Response Received）
1	DBDR	R	已发送/接收数据块（CRC 检测失败）（Data Block Sent/Received）
2	CMDRESTO	R	命令响应超时（Command Response Timeout） 命令超时时间为 64 个 SDIO_CLK 时钟周期。
3	DATATO	R	数据超时（Data Timeout）
4	TXUDRER	R	发送 FIFO 下溢错误（Transmit FIFO Underrun Error）
5	RXOVRER	R	接收 FIFO 上溢错误（Received FIFO Overrun Error）
6	CMDRES	R	已接收到响应（CRC 检测成功）（Command Response）
7	CMDSENT	R	命令已发送（不需要响应）（Command Sent（No Response Required））
8	DATAEND	R	数据结束（数据计数器，SDIO_DCNT=0）
9	SBE	R	在总线模式宽度下，没有在所有数据信号上检测到起始位（Start Bit Not Detected On All Data Signals In Wide Bus Mode）
10	DBCP	R	已发送/接收数据块（Data Block Sent/Received）
11	CMDACT	R	正在传输命令（Command Transfer In Progress）

位/域	名称	R/W	描述
12	TXACT	R	正在发送数据（Data Transmit In Progress）
13	RXACT	R	正在接收数据（Data Receive In Progress）
14	TXFHF	R	发送 FIFO 半空（Transmit FIFO Half Empty）： FIFO 中至少还可以写入 8 个字。
15	RXFHF	R	接收 FIFO 半满（Receive FIFO Half Full） FIFO 中至少还有 8 个字。
16	TXFF	R	发送 FIFO 满（Transmit FIFO Full）
17	RXFF	R	接收 FIFO 满（Receive FIFO Full） 若使用了硬件流控制，当 FIFO 还差 2 个字满时， RXFF 信号变为有效。
18	TXFE	R	发送 FIFO 空（Transmit FIFO Empty） 若使用了硬件流控制，当 FIFO 包含 2 个字时， TXFE 信号变为有效。
19	RXFE	R	接收 FIFO 空（Receive FIFO Empty）
20	TXDA	R	在发送 FIFO 中的数据可用（Data Available In Transmit FIFO）
21	RXDA	R	在接收 FIFO 中的数据可用（Data Available In Receive FIFO）
22	SDIOINT	R	收到 SDIO 中断（SDIO Interrupt Received）
23	ATAEND	R	在 CMD61 接收到 CE-ATA 命令完成信号（CE-ATA Command Completion Signal Received For CMD61）
31:24	保留		

26.6.12 SDIO 清除中断寄存器（SDIO_ICF）

偏移地址：0x38

复位值：0x0000 0000

SDIO_ICF 是一个只写寄存器，在对应寄存器位置位将清除 SDIO_STS 状态寄存器中的对应位。

位/域	名称	R/W	描述
0	DBCE	R/W	DBCE 标志清除位（DBCE Flag Clear） 清除 DBCE 标志。 0：无效 1：清除
1	CRCE	R/W	CRCE 标志清除位（CRCE Flag Clear） 清除 CRCE 标志。 0：无效 1：清除
2	CRTO	R/W	CRTO 标志清除位（CRTO Flag Clear） 清除 CRTO 标志。 0：无效 1：清除
3	DTO	R/W	DTO 标志清除位（DTO Flag Clear） 清除 DTO 标志。 0：无效 1：清除

位/域	名称	R/W	描述
4	TXFUE	R/W	TXFUE 标志清除（TXFUE Flag Clear） 清除 TXFUE 标志。 0：无效 1：清除
5	RXFOE	R/W	RXFOE 标志清除位（RXFOE Flag Clear） 清除 RXFOE 标志。 0：无效 1：清除
6	CMDRES	R/W	CMDRES 标志清除位（CMDRES Flag Clear） 清除 CMDRES 标志。 0：无效 1：清除
7	CMDSENT	R/W	CMDSENT 标志清除位（CMDSENT Flag Clear） 清除 CMDSENT 标志。 0：无效 1：清除
8	DATAEND	R/W	DATAEND 标志清除位（DATAEND Flag clear） 清除 DATAEND 标志。 0：无效 1：清除
9	SBE	R/W	SBE 标志清除位（SBE Flag Clear） 清除 SBE 标志。 0：无效 1：清除
10	DBCP	R/W	DBCP 标志清除位（DBCP Flag Clear） 清除 DBCP 标志。 0：无效 1：清除
21:11	保留		
22	SDIOIT	R/W	SDIOIT 标志清除位（SDIOIT flag clear bit） 清除 SDIOIT 标志。 0：无效 1：清除
23	ATAEND	R/W	ATAEND 标志清除位（ATAEND flag clear bit） 清除 ATAEND 标志。 0：无效 1：清除
31:24	保留		

26.6.13 SDIO 中断屏蔽寄存器（SDIO_MASK）

偏移地址：0x3C

复位值：0x0000 0000

由软件置位或清零。

在对应位置 1，SDIO_MASK 中断屏蔽寄存器决定哪一个状态位产生中断。

位/域	名称	R/W	描述
0	CCRCFAIL	R/W	使能命令块 CRC 检测失败产生中断（Command CRC Fail Interrupt Enable） 允许/关闭命令块 CRC 检测失败中断。 0：禁止 1：使能
1	DCRCFAIL	R/W	使能数据块 CRC 检测失败产生中断（Data CRC Fail Interrupt Enable） 允许/关闭数据块 CRC 检测失败中断。 0：禁止 1：使能
2	CMDTO	R/W	使能命令超时产生中断（Command Timeout Interrupt Enable） 允许/关闭命令超时中断。 0：禁止 1：使能
3	DATATO	R/W	使能数据超时产生中断（Data timeout interrupt enable） 允许/关闭数据超时中断。 0：禁止 1：使能
4	TXURER	R/W	发送 FIFO 下溢错误产生中断（Tx FIFO Underrun Error Interrupt Enable） 允许/关闭发送 FIFO 下溢错误中断。 0：禁止 1：使能
5	RXORER	R/W	使能接收 FIFO 上溢错误产生中断（Rx FIFO Overrun Error Interrupt Enable） 允许/关闭接收 FIFO 上溢错误中断。 0：禁止 1：使能
6	CMDRESRC	R/W	使能接收到响应产生中断（Command Response Received Interrupt Enable） 允许/关闭接收到响应中断。 0：禁止 1：使能
7	CMDSENT	R/W	使能命令已发送产生中断（Command Sent Interrupt Enable） 由软件设置/清除该位，允许/关闭命令已发送中断。 0：禁止 1：使能
8	DATAEND	R/W	使能数据传输结束产生中断（Data End Interrupt Enable） 允许/关闭数据传输结束中断。 0：禁止 1：使能
9	STRTER	R/W	使能起始位错误产生中断（Start Bit Error Interrupt Enable） 允许/关闭起始位错误中断。 0：禁止 1：使能

位/域	名称	R/W	描述
10	DBEND	R/W	使能数据块传输结束产生中断（Data Block End Interrupt Enable） 允许/关闭数据块传输结束中断。 0：禁止 1：使能
11	CMDACT	R/W	使能正在传输命令产生中断（Command Acting Interrupt Enable） 允许/关闭正在传输命令中断。 0：禁止 1：使能
12	TXACT	R/W	使能正在发送数据产生中断（Data Transmit Acting Interrupt Enable） 允许/关闭正在发送数据中断。 0：禁止 1：使能
13	RXACT	R/W	正在接收数据产生中断（Data receive acting interrupt enable） 允许/关闭正在接收数据中断。 0：禁止 1：使能
14	TXHFERT	R/W	使能发送 FIFO 半空产生中断（Tx FIFO Half Empty Interrupt Enable） 允许/关闭发送 FIFO 半空中断。 0：禁止 1：使能
15	RXHFFUL	R/W	使能接收 FIFO 半满产生中断（Rx FIFO Half Full Interrupt Enable） 允许/关闭接收 FIFO 半满中断。 0：禁止 1：使能
16	TXFUL	R/W	使能发送 FIFO 满产生中断（Tx FIFO full Interrupt Enable） 允许/关闭发送 FIFO 满中断。 0：禁止 1：使能
17	RXFUL	R/W	使能接收 FIFO 满产生中断（Rx FIFO full interrupt enable） 允许/关闭接收 FIFO 满中断。 0：禁止 1：使能
18	TXEPT	R/W	使能发送 FIFO 空产生中断（Tx FIFO Empty Interrupt Enable） 允许/关闭发送 FIFO 空中断。 0：禁止 1：使能
19	RXFEIE	R/W	使能接收 FIFO 空产生中断（Rx FIFO Empty Interrupt Enable） 允许/关闭接收 FIFO 空中断。 0：禁止 1：使能
20	TXDAVB	R/W	使能发送 FIFO 中的数据有效产生中断（Data Available in Tx FIFO Interrupt Enable） 允许/关闭发送 FIFO 中的数据有效中断。 0：禁止 1：使能

位/域	名称	R/W	描述
21	RXDAVB	R/W	使能接收 FIFO 中的数据有效产生中断（Data Available in Rx FIFO Interrupt Enable） 允许/关闭接收 FIFO 中的数据有效中断。 0：禁止 1：使能
22	SDIOINTREC	R/W	使能允许 SDIO 模式中断已接收中断（SDIO Mode Interrupt Received Interrupt Enable） 允许/关闭 SDIO 模式中断已接收中断功能。 0：禁止 1：使能
23	ATACLPREC	R/W	使能允许接收到 CE-ATA 命令完成信号产生中断（CE-ATA Command Completion Signal Received Interrupt Enable） 允许/关闭在收到 CE-ATA 命令完成信号产生中断功能。 0：禁止 1：使能
31:24	保留		

26.6.14 SDIO FIFO 计数器寄存器（SDIO_FIFOCNT）

偏移地址：0x48

复位值：0x0000 0000

位/域	名称	R/W	描述
23:0	FIFOCNT	R	接收和发送 FIFO 数目（Receive And Transmit FIFO Number） 将要写入 FIFO 或将要从 FIFO 读出数据字的数目。 注：如果数据长度不是 4 的倍数，则最后剩下的字节可以当成一个字处理。
31:24	保留		

26.6.15 SDIO 数据 FIFO 寄存器（SDIO_FIFODATA）

偏移地址：0x80

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	DATA	R/W	接收或发送 FIFO 数据（Receive And Transmit FIFO Data） 将要写入 FIFO 或将要从 FIFO 读出数据。

27 USB_OTG

27.1 简介

该芯片一共内嵌三个 USB 控制器。

OTG_FS

OTG_FS 可同时支持主机和从机功能，符合 USB 2.0 规范的 On-The-Go 补充标准，也可配置为“仅主机”或“仅从机”模式，完全符合 USB 2.0 规范，支持主机协商协议(HNP) 和会话请求协议(SRP)。主机模式下，支持全速（FS，12Mb/s）和低速（LS，1.5Mb/s）传输，从机模式下，仅支持全速（FS，12Mb/s）传输。

OTG_HS1

OTG_HS1 可同时支持主机和从机功能，符合 USB 2.0 规范的 On-The-Go 补充标准，也可配置为“仅主机”或“仅从机”模式，完全符合 USB 2.0 规范，支持主机协商协议(HNP) 和会话请求协议(SRP)。主机模式下，支持高速（HS，480Mb/s）、全速（FS，12Mb/s）和低速（LS，1.5Mb/s）传输，从机模式下，仅支持高速（HS，480Mb/s）和全速（FS，12Mb/s）传输。

OTG_HS2

OTG_HS2 可同时支持主机和从机功能，符合 USB 2.0 规范的 On-The-Go 补充标准，也可配置为“仅主机”或“仅从机”模式，完全符合 USB 2.0 规范，支持高速（HS，480Mb/s）、全速（FS，12Mb/s）和低速（LS，1.5Mb/s）传输，支持 USB 2.0 规范定义的自检模式，支持 FS/LS 串行模式，支持 12MHz 外置晶体时钟输入。

27.2 OTG_FS 全局寄存器地址映射

表格 134OTG_FS 全局寄存器地址映射

寄存器名	描述	偏移地址
OTG_FS_GCTRLSTS	全速 OTG 控制状态寄存器	0x00
OTG_FS_GINT	全速 OTG 中断寄存器	0x04
OTG_FS_GAHBCFG	全速 OTG AHB 配置寄存器	0x08
OTG_FS_GUSBCFG	全速 OTG USB 配置寄存器	0x0C
OTG_FS_GRSTCTRL	全速 OTG 复位控制寄存器	0x10
OTG_FS_GCINT	全速 OTG 模块中断寄存器	0x14
OTG_FS_GINTMASK	全速 OTG 模块中断屏蔽寄存器	0x18
OTG_FS_GRXSTS	全速 OTG 读取调试接收状态寄存器	0x1C
OTG_FS_GRXSTSP	全速 OTG 状态读取和出栈寄存器	0x20

寄存器名	描述	偏移地址
OTG_FS_GRXFIFO	全速 OTG 接收 FIFO 大小寄存器	0x24
OTG_FS_GTXFCFG	全速 OTG TXFIFIO 配置寄存器	0x28
OTG_FS_GNPTXFQSTS	全速 OTG 非周期性 TXFIFIO 队列状态寄存器	0x2C
OTG_FS_GGCCFG	全速 OTG 通用模块配置寄存器	0x38
OTG_FS_GCID	全速 OTG 模块 ID 寄存器	0x3C
OTG_FS_GHPTXFSIZE	全速 OTG 主机周期性 TXFIFO 大小寄存器	0x100
OTG_FS_DTXFIFO1	全速 OTG 设备 IN 端点 TXFIFO 大小寄存器 1	0x104
OTG_FS_DTXFIFO2	全速 OTG 设备 IN 端点 TXFIFO 大小寄存器 2	0x108
OTG_FS_DTXFIFO3	全速 OTG 设备 IN 端点 TXFIFO 大小寄存器 3	0x10C

27.3 OTG_FS 全局寄存器功能描述

27.3.1 全速 OTG 控制状态寄存器（OTG_FS_GCTRLSTS）

偏移地址：0x00

复位值：0x0000 0800

位/域	名称	R/W	描述
0	SREQSUC	R	会话请求成功（Session Request Success） 0：会话请求失败 1：会话请求成功 注意：只能在设备模式下使用
1	SREQ	R/W	请求会话（Session Request） 0：无请求会话 1：请求会话 当设置 OTG_FS_GINT 寄存器中的 HNSUCCHG 位时，写 0 清除该位。当 HNSUCCHG 清 0 时，该位也会清 0。 当使用 USB 1.1 全速串行收发器接口来会话请求时，要在该寄存器的 BSVD 位清 0 后，等待 V_{BUS} 放电到 0.2 V。放电时间会因为 PHY 的不同存在差异。 注意：只能在设备模式下使用
7:2	保留		
8	HNSUC	R	主机协商成功（Host Negotiation Success） 该寄存器中的 HNPREQ 置 1 时，该位清 0 0：主机协商失败 1：主机协商成功 注意：只能在设备模式下使用
9	HNPREQ	R/W	HNP 请求（Host Negotiation Protocol Request） 0：不发送 HNP 请求 1：发送 HNP 请求 当设置 OTG_FS_GINT 寄存器中的 HNSUCCHG 位时，写 0 清除该位。当 HNSUCCHG 清 0 时，该位也会清 0。 注意：只能在设备模式下使用

位/域	名称	R/W	描述
10	HHNPEN	R/W	使能主机设置 HNP（Host Set HNP Enable） 0：禁止 1：使能 注意：只能在主机模式下使用
11	DHNPEN	R/W	使能设备 HNP（Device HNP Enable） 0：禁止 1：使能 注意：只能在设备模式下使用
15:12	保留		
16	CIDSTS	R	连接器 ID 状态（Connector ID Status） 0：OTG_FS 控制器处于 A 设备模式 1：OTG_FS 控制器处于 B 设备模式 注意：在设备以及主机模式下均可使用
17	LSDEBT	R	长/短去抖动时间（Long/Short Debounce Time） 指示检测到的去抖动时间。长的用于物理连接，短的用于软（程序）连接。 0：长去抖动时间（100ms+2.5μs） 1：短去抖动时间（2.5μS） 注意：仅可在主机模式下使用
18	ASVD	R	A 会话有效（A-Session Valid） 0：无效 1：有效 注意：只能在主机模式下访问
19	BSVD	R	B 会话有效（B-Session Valid） 在 OTG 模式下，此位可用于确认设备是否处于连接状态。 0：无效 1：有效 注意：只能在设备模式下访问
31:20	保留		

27.3.2 全速 OTG 中断寄存器（OTG_FS_GINT）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
1:0	保留		
2	SEFLG	RC_W1	会话结束标志位（Session End Flag） 当 V_{BUS}<0.8V 时，表示 V_{BUS} 不用于 B 会话，该位置 1。
7:3	保留		
8	SREQSUCCHG	RC_W1	改变会话请求成功位（Session Request Success Bit Change） 如果 SREQSUC 位的值有所改变，此位置 1。
9	HNSUCCHG	RC_W1	改变主机协商成功位（Host Negotiation Success Bit Change） 如果 HNSUC 位的值有所改变，此位置 1。
16:10	保留		

位/域	名称	R/W	描述
17	HNFLG	RC_W1	主机协商标志位（Host Negotiation Flag） 当检测到 USB 主机协商请求时该位置 1。
18	ADTOFLG	RC_W1	A 器件超时标志位（A-Device Timeout Flag） 此位如果置 1，则表示 A 器件等待 B 器件连接时超时。
19	DEBDFLG	RC_W1	去抖动完成标志位（Debpouncce Done Flag） 设备连接且去抖动结束时该位置 1；产生中断后，USB 复位。 该位仅在 OTG_FS_GUSBCFG 寄存器中的 HNPEN 和 SRPEN 位置 1 时有效。 注意：只能在主机模式下访问
31:20	保留		

27.3.3 全速 OTG AHB 配置寄存器（OTG_FS_GAHBCFG）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
0	GINTMASK	R/W	屏蔽全局中断（Global Interrupt Mask） 0：屏蔽全局中断 1：取消屏蔽全局中断
6:1	保留		
7	TXFEL	R/W	TXFIFO 空级别（TXFIFO Empty Level） 设备模式下： 0：TXFE 中断表示 IN 端点 TXFIFIO 为半空 1：TXFE 中断表示 IN 端点 TXFIFIO 为全空 主机模式下： 0：NPTXFEM 中断表示非周期性 TXFIFO 为半空 1：NPTXFEM 中断表示非周期性 TXFIFO 为全空
8	PTXFEL	R/W	周期性 TXFIFO 空级别（Periodic TXFIFO Empty Level） 0：PTXFE 中断表示周期性 TXFIFIO 为半空 1：PTXFE 中断表示周期性 TXFIFIO 为全空 注意：只能在主机模式下访问
31:9	保留		

27.3.4 全速 OTG USB 配置寄存器（OTG_FS_GUSBCFG）

偏移地址：0x0C

复位值：0x0000 0A00

位/域	名称	R/W	描述
2:0	SEFLG	R/W	校准 FS 超时（FS Timeout Calibrate） PHY 的额外延迟包含 PHY 的时钟数量以及 FS 超时间隔，数据线的状态会因 PHY 的不同存在差异。 OTG_FS 的超时值为 16~18 个位时间。
5:3	保留		

位/域	名称	R/W	描述
6	FSSTSEL	W	选择全速串行收发器（Full-Speed Serial Transceiver Select） 0：USB2.0 全速 ULPI PHY 1：USB1.1 全速串行收发器 此位始终为 1。
7	保留		
8	SRPEN	R/W	使能 SRP（SRP Enable） 0：禁止 1：使能 如果禁止了 SRP 功能，则无法请求连接器件激活 V_{BUS}，也不能开始会话。
9	HNPEN	R/W	使能 HNP（HNP Enable） 0：禁止 1：使能
13:10	TRTIM	R/W	USB 周转时间（USB Turnaround Time） f_{PHYCLK}=48MHZ，以 f_{PHYCLK} 为单位。 TRTIM=4×f_{AHBCLK}+f_{PHYCLK} 例： 当 f_{AHBCLK}=72MHz 时，TRTIM 设置为 7
28:14	保留		
29	FHMODE	R/W	强制主机模式（Forced Host Mode） 0：正常模式 1：主机模式
30	FDMODE	R/W	强制设备模式（Forced Device Mode） 0：正常模式 1：设备模式
31	CTXP	R/W	发送数据包损坏（Corrupt TX Packet） 调试位，禁止置 1 注意：在设备和主机模式下进行访问

27.3.5 全速 OTG 复位寄存器（OTG_FS_GRSTCTRL）

偏移地址：0x10

复位值：0x2000 0000

位/域	名称	R/W	描述
0	CSRST	R/S	软件复位模块（Core Soft Reset） 该位控制 HCLK 和 PCLK 复位 除以下各位外，将各个中断和所有控制状态寄存器位清零： —OTG_FS_PCGCTRL 中的 GCLK 位 —OTG_FS_PCGCTRL 中的 PCLKSTOP 位 —OTG_FS_HCFG 中的 PHYCLKSEL 位 —OTG_FS_DCFG 中的 DSPDSEL 位 将 AHB 从机复位为空闲状态，清空 TXFIFO 和 RXFIFO，当结束 AHB 传输后，应尽快中止 AHB 的所有事务，立即中止 USB 上的所有事务。 一般在以下两种情况下使用软件复位： ● 软件开发期间。

位/域	名称	R/W	描述
			● 用户动态更改以上所列 USB 配置寄存器中的 PHY 选择位后。用户更改 PHY 时，将为 PHY 选择相应的时钟并用于 PHY 域中。一旦选择了新的时钟，则必须复位 PHY 域，才能保证正常运行。
1	HSRST	R/S	软件复位 HCLK（HCLK Soft Reset） 该位用于刷新 AHB 时钟域的控制逻辑。 清除该中断时，需要清除对应的屏蔽中断状态控制位；当中断状态位未清零时，可以读取该位置 1 后的事件状态。
2	HFCNTRST	R/S	复位主机帧计数器（Host Frame Counter Reset） 通过写该位复位主机中的帧数计数器，复位后后续发送的 SOF 帧号为 0。 注意：只在主机模式下访问。
3	保留		
4	RXFFLU	R/S	刷新 RXFIFO（RXFIFO Flush） 该位用于刷新整个 RXFIFO，在对该位执行写操作之前，需要确保模块未对 RXFIFO 执行读写操作。 该位清 0 后，其他操作才可执行（通常需要等待 8 个时钟周期）。
5	TXFFLU	R/S	刷新 TXFIFO（TXFIFO Flush） 该位用于刷新一个或所有 TXFIFO，在对该位执行写操作之前，需要确保模块未对 TXFIFO 执行读写操作。
10:6	TXFNUM	R/W	TXFIFO 编号（TXFIFO Number） 使用 TXFIFO 刷新位刷新 FIFO 编号，这些位只能在刷新 TXFFIO 清 0 后更改。 主机模式下： 00000：刷新非周期性 TXFIFO 00001：刷新周期性 TXFIFO 10000：刷新所有 TXFIFO 设备模式下： 00000：刷新 TXFIFO 0 00001：刷新 TXFIFO 1 …… 00101：刷新 TXFIFO 15 10000：刷新所有 TXFIFO
30:11	保留		
31	AHBMIDL	R	AHB 主设备空闲（AHB Master Idle） 该位表示 AHB 主设备是否处于空闲状态。

27.3.6 全速 OTG 模块中断寄存器（OTG_FS_GCINT）

偏移地址：0x14

复位值：0x0400 0020

为了避免在初始化前产生中断，软件必须在使能中断位前将此寄存器清零。

位/域	名称	R/W	描述
0	CURMOSEL	R	选择当前工作模式（Current Mode of Opration Select） 0：设备模式 1：主机模式

位/域	名称	R/W	描述
1	MMIS	RC_W1	模式不匹配中断（Mode Mismatch Interrupt） 访问以下寄存器时，该位置 1： ● 在设备模式下访问主机模式寄存器 ● 在主机模式下访问设备模式寄存器
2	OTG	R	OTG 中断（OTG Interrupt） 该位被置 1 时表示发生 OTG 协议事件。 通过读取 OTG_FS_GINT 寄存器确定引发 OTG 中断的事件，在清除该寄存器的相应位后才能清零此位。
3	SOF	RC_W1	帧起始中断（Start of Frame Interrupt） 当此位被置位时： ● 主机模式下，表示 USB 已发送一个 SOF（FS）或者 Keep-Alive（LS）； ● 设备模式下，表示 USB 已接收到一个 SOF，可以通过读取设备状态寄存器获取当前的帧编号。仅在 FS 模式运行下产生中断。
4	RXFNONE	R	RXFIFO 非空中断（RXFIFO Nonempty Interrupt） 该位表示 RXFIFO 中还有数据包没有被读取。
5	NPTXFEM	R	非周期性 TXFIFO 空中断（Nonperiodic TXFIFO Empty Interrupt） 当非周期性 TXFIFO 为非空且请求队列中存在可写入条目的空间时，将触发此中断。 注意：仅在主机模式下访问
6	GINNPNAKE	R	全局非周期性 IN NAK 有效中断（Global IN Nonperiodic NAK Effective Interrupt） 该位表示 OTG_FS_DCTRL 寄存器的 GINAKSET 位有效；可以通过清除 OTG_FS_DCTRL 寄存器的 GINAKCLR 位，清除该位。 由于 STALL 优先级高于 NAK 位，所以产生此中断并不能说明 USB 已发送 NAK 信号。 注意：仅在设备模式下访问
7	GONAKE	R	全局 OUT NAK 有效中断（Global OUT NAK Effective Interrupt） 该位表示 OTG_FS_DCTRL 寄存器的 GONAKSET 有效；可以通过清除 OTG_FS_DCTRL 中的 GONALCLR 位，清除该位。 注意：仅在设备模式下访问
9:8	保留		
10	ESUS	RC_W1	早期挂起中断（Early Suspend Interrupt） 当 USB 处于空闲状态已经达到 3ms 时，该位置 1。 注意：仅在设备模式下访问
11	USBSUS	RC_W1	USB 挂起中断（USB Suspend Interrupt） 当检测到 USB 挂起时，该位置 1；当 USB 空闲状态保持 3ms 时，USB 进入挂起状态。 注意：仅在设备模式下访问
12	USBRST	RC_W1	USB 复位中断（USB Reset Interrupt） 当在 USB 上检测到复位时，该位置 1。 注意：仅在设备模式下访问
13	ENUMD	RC_W1	枚举完成中断（Enumeration Done Interrupt） 当完成速度枚举时，该位置 1。 注意：仅在设备模式下访问

位/域	名称	R/W	描述
14	ISOPD	RC_W1	丢弃同步 OUT 数据包中断（(Isochronous OUT Packet Dropped Interrupt) 当 RXFIFO 空间不足，模块无法向 RXFIFO 写入同步 OUT 数据包时，该位置 1。 注意：仅在设备模式下访问
15	EOPF	RC_W1	周期性帧结束中断（End of Periodic Frame Interrupt） 该位表示当前帧达到 OTG_FS_DCFG 寄存器中的 PFITV 位所指定的周期。 注意：仅在设备模式下访问
17:16	保留		
18	INEP	R	IN 端点中断（IN Endpoint Interrupt） 当一个 IN 端点存在挂起中断时，该位置 1 通过读取 OTG_FS_DAEPINT 寄存器确定发生中断的 IN 端点的编号，通过读取 OTG_FS_DIEPINTx 寄存器确定触发中断的原因。 如果要清除该位，要先清除 OTG_FS_DIEPINTx 寄存器的相应状态位。 注意：仅在设备模式下访问
19	ONEP	R	OUT 端点中断（OUT Endpoint Interrupt） 当一个 OUT 端点存在挂起中断时，该位置 1 通过读取 OTG_FS_DAEPINT 寄存器确定发生中断的 OUT 端点的编号，通过读取 OTG_FS_DOEPINTx 寄存器确定触发中断的原因。 如果要清除该位，要先清除 OTG_FS_DOEPINTx 寄存器的相应状态位。 注意：仅在设备模式下访问
20	IIINTX	RC_W1	未完成 IN 同步传输中断（Incomplete Isochronous IN Transfer Interrupt） 当前帧中至少有一个同步 IN 端点上的传输未完成时，该位置 1。 该中断与 EOPF 同时触发。 注意：仅在设备模式下访问
21	IP_OUTTX	RC_W1	未完成周期性传输中断（Incomplete Periodic Transfer Interrupt） 此位在不同模式下，此位置 1 时指示的中断不同。 在主机模式下，计划在当前帧应完成的周期性事务仍处于挂起状态（即未完成），将触发未完成周期性传输中断。 在设备模式下，当前帧中至少有一个同步 OUT 端点上的传输未完成时，将触发未完成 OUT 同步传输中断，该中断与 EOPF 同时触发。
23:22	保留		
24	HPORT	R	主机端口中断（Host Port Interrupt） 当主机模式下全速 OTG 控制器端口的状态发生变化时，该位置 1。 注意：仅在主机模式下访问
25	HCHAN	R	主机通道中断（Host Channels Interrupt） 当主机通道上存在挂起中断时，该位置 1。 注意：仅在主机模式下访问
26	PTXFE	R	周期性 TXFIFO 空中断（Periodic TXFIFO Empty Interrupt）

位/域	名称	R/W	描述
			当周期性 TXFIFO 为空且请求队列中存在可写入条目的空间时，将触发此中断。注意：仅在主机模式下访问
27	保留		
28	CINSTSCHG	RC_W1	连接器 ID 线更改状态中断（Connector ID Status Change Interrupt） 当连接器 ID 线状态发生更改时，该位置 1。 注意：在主机和设备模式下均可访问
29	DEDIS	RC_W1	断开连接中断（Device Disconnect Interrupt） 当检测到设备断开连接时，该位置 1。 注意：仅在主机模式下访问
30	SREQ	RC_W1	会话请求/新会话中断（Session Request/New Session Interrupt） 在不同模式下，触发此中断的条件： ● 主机模式下，检测到会话请求 ● 设备模式下，V_{BUS} 在 B 器件的范围内
31	RWAKE	RC_W1	恢复/远程唤醒中断（Resume/Remote Wakeup Interrupt） 在不同模式下，触发此中断的条件： ● 主机模式下，在 USB 上检测到远程唤醒信号 ● 设备模式下，在 USB 总线上检测到恢复信号

27.3.7 全速 OTG 模块中断屏蔽寄存器（OTG_FS_GINTMASK）

偏移地址：0x18

复位值：0x0000 0000

此寄存器用于屏蔽中断，但中断寄存器的相应位仍会置 1。

位/域	名称	R/W	描述
0	保留		
1	MMISM	R/W	屏蔽模式不匹配中断（Mode Mismatch Interrupt Mask） 0：屏蔽 1：不屏蔽
2	OTGM	R/W	屏蔽 OTG 中断（OTG Interrupt Mask） 0：屏蔽 1：不屏蔽
3	SOFM	R/W	屏蔽帧起始中断（Frame Start Interrupt Mask） 0：屏蔽 1：不屏蔽
4	RXFNONEM	R/W	屏蔽 RXFIFO 非空中断（RXFIFO Nonempty Interrupt Mask） 0：屏蔽 1：不屏蔽
5	NPTXFEMM	R/W	屏蔽非周期性 TXFIFO 空中断（Nonperiodic TXFIFO Empty Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：仅在主机模式下访问

位/域	名称	R/W	描述
6	GINNPNAKEM	R/W	屏蔽全局非周期性 IN NAK 有效中断（Global IN Nonperiodic NAK Effective Interrupt Make） 0：屏蔽 1：不屏蔽 注意：仅在设备模式下访问
7	GONAKEM	R/W	屏蔽全局 OUT NAK 有效中断（Global OUT NAK Effective Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：仅在设备模式下访问
9:8	保留		
10	ESUSM	R/W	屏蔽早期挂起中断（Early Suspend Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：仅在设备模式下访问
11	USBSUSM	R/W	屏蔽 USB 挂起中断（USB Suspend Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：仅在设备模式下访问
12	USBRSTM	R/W	屏蔽 USB 复位中断（USB Reset Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：仅在设备模式下访问
13	ENUMDM	R/W	屏蔽完成枚举中断（Enumeration Done Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：仅在设备模式下访问
14	ISOPDM	R/W	屏蔽丢弃同步 OUT 数据包中断（(Isochronous OUT Packet Dropped Interrupt Mask) 0：屏蔽 1：不屏蔽 注意：仅在设备模式下访问
15	EOPFM	R/W	屏蔽周期性帧结束中断（End of Periodic Frame Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：仅在设备模式下访问
16	保留		
17	EPMISM	R/W	屏蔽端点不匹配中断（Endpoint Mismatch Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：仅在设备模式下访问
18	INEPM	R/W	屏蔽 IN 端点中断（IN Endpoint Interrupt Mask） 0：屏蔽

位/域	名称	R/W	描述
			1：不屏蔽 注意：仅在设备模式下访问
19	OUTEPM	R/W	屏蔽 OUT 端点中断（OUT Endpoint Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：仅在设备模式下访问
20	IIINTXM	R/W	屏蔽未完成 IN 同步传输中断（Incomplete Isochronous IN Transfer Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：仅在设备模式下访问
21	IP_OUTTXM	R/W	屏蔽未完成周期性传输中断（Incomplete Periodic Transfer Interrupt Mask） 主机模式下，此位控制是否屏蔽未完成周期性传输中断。 设备模式下，此位控制是否屏蔽未完成 OUT 同步传输中断。 0：屏蔽 1：不屏蔽
23:22	保留		
24	HPORTM	R/W	屏蔽主机端口中断（Host Port Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：仅在主机模式下访问
25	HCHM	R/W	屏蔽主机通道中断（Host Channels Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：仅在主机模式下访问
26	PTXFEM	R/W	屏蔽周期性 TXFIFO 空中断（Periodic TXFIFO Empty Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：仅在主机模式下访问
27	保留		
28	CIDSTSCM	R/W	屏蔽连接器 ID 线更改状态中断（Connector ID Status Change Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：在主机和设备模式下均可访问
29	DEDISM	R/W	屏蔽断开连接中断（Device Disconnect Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：仅在设备模式下访问
30	SREQM	R/W	屏蔽会话请求/新会话中断（Session Request/New Session Interrupt Mask）

位/域	名称	R/W	描述
			0：屏蔽 1：不屏蔽
31	RWAKEM	R/W	屏蔽恢复/远程唤醒中断（Resume/Remote Wakeup Interrupt Mask） 0：屏蔽 1：不屏蔽 注意：在主机和设备模式下均可访问

27.3.8 全速 OTG 读取调试接收状态寄存器/全速 OTG 状态读取和出栈寄存器（OTG_FS_GRXSTS/OTG_FS_GRXSTSP）

读取偏移地址：0x1C

出栈偏移地址：0x20

复位值：0x0000 0000

主机模式

位/域	名称	R/W	描述
3:0	CHNUM	R	通道编号（Channel Number） 该位表示接受的数据包是由哪个通道传输的。
14:4	BCNT	R	字节计数（Byte Count） 该位表示接收的 IN 数据包的字节数。
16:15	DPID	R	数据 PID（Data Packet ID） 该位表示接收的数据包的 ID（PID） 00：DATA0 10：DATA1 01：DATA2 11：MDATA
20:17	PSTS	R	数据包状态（Packet Status） 该位表示接收的数据包的状态。 0010：接收到 IN 数据包 0011：IN 传输完成 0101：数据同步错误 0111：通道停止 其他：保留
31:21	保留		

设备模式

位/域	名称	R/W	描述
3:0	EPNUM	R	端点编号（Endpoint Number） 该位表示接受的数据包是由哪个端点传输的。
14:4	BCNT	R	字节计数（Byte Count） 该位表示接收的数据包的字节数
16:15	DPID	R	数据 PID（Data PID） 该位表示接收的数据包的 ID（PID） 00：DATA0

位/域	名称	R/W	描述
			10：DATA1 01：DATA2 11：MDATA
20:17	PSTS	R	数据包状态（Packet Status） 该位表示接收的数据包的状态 0001：全局 OUT NAK 0010：接收到 OUT 数据包 0011：OUT 传输完成 0100：完成 SETUP 事件 0110：接收到 SETUP 数据包 其他：保留
24:21	FNUM	R	帧编号（Frame Number） 支持同步 OUT 端点时这些位有效。 这些位是 USB 上接收的数据包帧编号的 4 个最低有效位
31:25	保留		

27.3.9 全速 OTG 接收 FIFO 大小寄存器（OTG_FS_GRXFIFO）

偏移地址：0x24

复位值：0x0000 0200

位/域	名称	R/W	描述
15:0	RXFDEP	R/W	RXFIFO 深度（RXFIFO Depth） RXFIFO 以字为单位，深度范围：16~256。
31:16	保留		

27.3.10 全速 OTG TXFIFO 配置寄存器（OTG_FS_GTXFCFG）

偏移地址：0x28

复位值：0x0000 0200

主机模式

位/域	名称	R/W	描述
15:0	NPTXSA	R/W	非周期性 TXFIFO RAM 起始地址（Nonperiodic TXFIFO RAM Start Address） 该位表示非周期性 TXFIFO RAM 的起始地址。
31:16	NPTXFDEP	R/W	非周期性 TXFIFO 深度（Nonperiodic TXFIFO Depth） TXFIFO 以字为单位，深度范围为：16~256。

设备模式

位/域	名称	R/W	描述
15:0	EPTXSA	R/W	端点 0 TXFIFO RAM 起始地址（Endpoint0 TXFIFO RAM Start Address） 该位表示端点 0 的 TXFIFO RAM 的起始地址。
31:16	EPTXFDEP	R/W	端点 0 TXFIFO 深度（Endpoint0 TXFIFO Depth） TXFIFO 以字为单位，深度范围为：16~256。

27.3.11 全速 OTG 非周期性 TXFIFO 队列状态寄存器（OTG_FS_GNPTXFQSTS）

偏移地址：0x2C

复位值：0x0008 0200

位/域	名称	R/W	描述
15:0	NPTXFSA	R	非周期性 TXFIFO 可用空间（Nonperiodic TXFFIO Space Available） 这些位表示非周期性 TXFIFO 的可用空间的大小。（以 32 位字为单位）0x0：非周期性 TXFIFO 满 0x1：1 个字 0x2：2 个字 ….. 0xn：n 个字可用（0≤n≤256） 其他：保留
23:16	NPTXRSA	R	非周期性发送请求队列可用空间（Nonperiodic Transmit Request Space Available） 该位表示非周期性发送请求队列的可用空间大小。 主机模式下：保存 IN 和 OUT 请求 设备模式下：只有 IN 请求 0x0：队列已满 0x0：1 个位置 0x2：2 个位置 ….. 0xn：n 位置可用（0≤n≤8） 其他：保留
30:24	NPTXRQ	R	非周期性发送请求队列（Nonperiodic Transmit Request Queue） 位 24：终止（选定通道/端点的最后数据） 位[26:25]： 00：IN/OUT 令牌 01：发送数据包长度为 0（设备模式下 IN/主机模式下 OUT） 10：PING/CPLIT 令牌 11：停止通道指令 位[30:27]：通道/端点编号
31	保留		

27.3.12 全速 OTG 通用模块配置寄存器（OTG_FS_GGCCFG）

偏移地址：0x38

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	保留		
16	PWEN	R/W	使能掉电（Power Down Enable） 该位用于激活收发器。 0：掉电激活 1：掉电失活（激活收发器）
17	保留		
18	ADVBSEN	R/W	使能 A 设备 V_{BUS} 感应功能（A Device V_{BUS} Sensing Enable）

位/域	名称	R/W	描述
			0：禁止 1：使能
19	BDVBSEN	R/W	使能 B 设备 V_{BUS} 感应功能（B Device V_{BUS} Sensing Enable） 0：禁止 1：使能
20	SOFPOUT	R/W	PAD 输出 SOF 脉冲（SOF Pulse Available on PAD Output） 该位选择 SOF 脉冲能否从 PAD 输出。 0：不能 1：能
21	VBSDIS	R/W	禁止 V_{BUS} 感应（VBUS Sensing Disable） 0：支持 V_{BUS} 感应 1：禁止 V_{BUS} 感应
31:22	保留		

27.3.13 全速 OTG 模块 ID 寄存器（OTG_FS_GCID）

偏移地址：0x3C

复位值：0x0000 1100

位/域	名称	R/W	描述
31:0	PID	R/W	产品 ID（Product ID） 可以通过该位编程产品的 ID。

27.3.14 全速 OTG 主机周期性 TXFIFO 大小寄存器（OTG_FS_GHPTXFSIZE）

偏移地址：0x100

复位值：0x0200 0600

位/域	名称	R/W	描述
15:0	HPDTXFSA	R/W	主机周期性 TXFIFO 起始地址（Host Periodic TXFIFO Start Address）
31:16	HPDTXFDEP	R/W	主机周期性 TXFIFO 深度（Host Periodic TXFIFO Depth） TXFIFO 以字为单位，最小值为 16。

27.3.15 全速 OTG 设备 IN 端点 TXFIFO 大小寄存器 x（OTG_FS_DIEPTXFIFOx）（x=1~3）

偏移地址：0x104+4(x-1)

复位值：0x0200 0400

x 为 FIFO 编号。

位/域	名称	R/W	描述
15:0	INEPTXFRSA	R/W	IN 端点 TXFIFOx RAM 起始地址（IN Endpoint TXFIFOx Transmit RAM Start Address） 这些位表示 IN 端点 TXFIFOx RAM 的起始地址，需要与 32 位存储器对齐。
31:16	INEPTXFDEP	R/W	IN 端点 TXFIFO 深度（IN Endpoint TXFIFO Depth） TXFIFO 以字为单位，最小值为 16。

27.4 OTG_FS 主机模式寄存器地址映射

表格 135 OTG_FS 主机模式寄存器地址映射

寄存器名	描述	偏移地址
OTG_FS_HCFG	全速 OTG 主机配置寄存器	0x400
OTG_FS_HFIVL	全速 OTG 主机帧间隔寄存器	0x404
OTG_FS_HFIFM	全速 OTG 主机帧信息寄存器	0x408
OTG_FS_HPTXSTS	全速 OTG 主机定期发送状态寄存器	0x410
OTG_FS_HACHINT	全速 OTG 主机所有通道中断寄存器	0x414
OTG_FS_HACHIMASK	全速 OTG 主机所有通道中断屏蔽寄存器	0x418
OTG_FS_HPORTCSTS	全速 OTG 主机端口控制状态寄存器	0x440
OTG_FS_HCHX	全速 OTG 主机通道 X 特性寄存器(X=0…7)	0x500+20*X
OTG_FS_HCHINTX	全速 OTG 主机通道 X 中断寄存器(X=0…7)	0x508+20*X
OTG_FS_HCHIMASKX	全速 OTG 主机通道 X 中断屏蔽寄存器(X=0…7)	0x50C+20*X
OTG_FS_HCHTSIZEX	全速 OTG 主机通道 X 传输大小寄存器(X=0…7)	0x510+20*X

27.5 OTG_FS 主机模式寄存器功能描述

27.5.1 全速 OTG 主机配置寄存器（OTG_FS_HCFG）

偏移地址：0x400

复位值：0x0000 0000

位/域	名称	R/W	描述
1:0	PHYCLKSEL	R/W	选择 FS/LS PHY 时钟（FS/LS PHY Clock Select） ● 处于 FS 模式时： 01：PHY 时钟为 48MHz 其他：保留 ● 处于 LS 模式时： 00：保留 01：PHY 时钟为 48MHz 10：PHY 时钟为 6MHz 11：保留 注意：此位的值被更改后需要进行软件复位。
2	FSSPT	R	支持 FS（FS Support） 主机连接设备后，可选择主机是否跟随设备支持的最大速度。若此位置 1，那么就算设备支持 HS 模式，主机最高支持 FS。 0：主机可支持 HS/FS/LS 1：主机仅支持 FS/LS
31:3	保留		

27.5.2 全速 OTG 主机帧间隔寄存器（OTG_FS_HFIVL）

偏移地址：0x404

复位值：0x0000 EA60

只有使能了端口（将 OTG_FS_HPORTCSTS 寄存器的 PEN 位置 1）后，才能编辑此寄存器。

位/域	名称	R/W	描述
15:0	FIVL	R/W	帧间隔（Frame Interval） 此位用于控制两个连续的 SOF（FS）、micro-SOF（HS）、Keep-Alive（LS）之间的时间间隔。 时间间隔=帧持续时间×PHY 时钟
31:16	保留		

27.5.3 全速 OTG 主机帧信息寄存器（OTG_FS_HFIFM）

偏移地址：0x408

复位值：0x0000 3FFF

位/域	名称	R/W	描述
15:0	FNUM	R	帧序号（Frame Number） 此位用于指示当前的帧序号。当达到 0x3FFF 则此位清零。
31:16	FRTIME	R	帧剩余时间（Frame Remaining Time） 此位用于指示当前的帧剩余时间。初始值为 OTG_FS_HFIVL 的值，每过去一个 PHY 时钟，此位的值减 1，当达到 0 时此位重新装载帧间隔的值。

27.5.4 全速 OTG 主机定期发送状态寄存器（OTG_FS_HPTXSTS）

偏移地址：0x410

复位值：0x0008 0100

位/域	名称	R/W	描述
15:0	FSPACE	R/W	周期性发送数据 FIFO 空余空间（Periodic Transmit Data FIFO Available Space） 此位表示周期性 TXFIFO 的空闲空间（以 32 位字为单位）。 0x0：TXFIFO 已满 0x1：1 个字 0x2：2 个字 0xn：n 个字可用（0＜n＜512＝ 其他：保留
23:16	QSPACE	R	周期性发送请求队列可用空间（Periodic Transmit Request Queue Available Space） 此位表示周期性发送请求队列的可用空间。 0x0：队列已满 0x1：1 个位置 0x2：2 个位置 0xn：n 个位置可用（0＜n＜8＝ 其他：保留
31:24	QTOP	R	周期性发送队列头（Top of the Periodic Transmit Request Queue） 此位表示周期性发送请求队列中正在处理的事务。 [24]：结束 [26:25]：类型 00：IN/OUT 01：零长度数据包

位/域	名称	R/W	描述
			11：禁用通道命令 [30:27]：通道/端点序号 [31]：奇/偶帧 0：偶数帧 1：奇数帧

27.5.5 全速 OTG 主机所有通道中断寄存器（OTG_FS_HACHINT）

偏移地址：0x414

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	ACHINT	R	所有通道中断（All Channels Interrupts） 第 X 位代表通道 X 的中断。最多有 16 个通道。
31:16	保留		

27.5.6 全速 OTG 主机所有通道中断屏蔽寄存器（OTG_FS_HACHIMASK）

偏移地址：0x418

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	ACHIMASK	R/W	屏蔽所有通道中断（All Channels Interrupts Mask） 第 X 位代表通道 X 的中断屏蔽。最多有 16 个通道。 0：屏蔽 1：不屏蔽
31:16	保留		

27.5.7 全速 OTG 主机端口控制状态寄存器（OTG_FS_HPORTCSTS）

偏移地址：0x440

复位值：0x0000 0000

位/域	名称	R/W	描述
0	PCNNTFLG	R	端口连接标志（Port Connect Flag） 0：端口未连接 1：端口已连接
1	PCINTFLG	RC_W1	端口连接中断标志（Port Connect Interrupt Flag） 当端口连接到设备时，此位置 1。
2	PEN	RC_W0	使能端口（Port Enable） 端口复位序列后，程序无法对此位进行写操作，只能通过模块使能端口，对此位清零则禁止端口。 0：禁止 1：使能
3	PENCHG	RC_W1	改变端口使能位（PEN Bit Change） 此寄存器的 PEN 位改变时，此位置 1。
4	POVC	R	端口过载（Port Overcurrent） 此位表示端口有无过载。 0：无过载 1：过载

位/域	名称	R/W	描述
5	POVCCHG	RC_W1	改变端口过载位（POVC Bit Change） POVC 位改变时，此位置 1。
6	PRS	R/W	端口恢复（Port Resume） 0：未驱动恢复信号 1：驱动恢复信号
7	PSUS	R/S	挂起端口（Port Suspend） 0：端口未挂起 1：端口挂起
8	PRST	R/W	复位端口（Port Reset） 此位置 1 并保持 10ms 以上，端口才启动复位。 0：未处于复位状态 1：处于复位状态
9	保留		
11:10	PDLSTS	R	端口数据队列状态（Port Data Line Status） 此位表示此时 USB 数据线的逻辑电平。 [10]位表示 OTG_FS_FS_DP [11]位表示 OTG_FS_FS_DM
12	PP	R/W	端口电源（Port Power） 此位控制端口的电源通电情况，如果有过载，则会掉电（清 0）。 0：掉电 1：通电
16:13	PTSEL	R/W	选择端口测试模式（Port Test Mode Select） 0000：禁止测试 0001：Test_J 0010：Test_K 0011：Test_SE0_NAK 0100：Test_Packet 0101：Test_Force_Enable 其他：保留
18:17	PSPDSEL	R	选择端口速度（Port Speed Select） 01：全速 10：低速 11：保留
31:19	保留		

27.5.8 全速 OTG 主机通道 X 特性寄存器（OTG_FS_HCHX）(X=0…7)

偏移地址：0x500+20*X

复位值：0x0000 0000

位/域	名称	R/W	描述
10:0	MAXPSIZE	R/W	最大数据包大小（Maximum Data Packet Size） 此位表示连接主机的设备端点的最大数据包的大小。
14:11	EDPNUM	R/W	端点序号（Endpoint Number） 此位表示连接主机的设备端点的序号。

位/域	名称	R/W	描述
15	EDPDRT	R/W	端点方向（Endpoint Direction） 0：OUT 1：IN
16	保留		
17	LSDV	R/W	低速设备（Low-speed Device） 此位表示连接了低速设备。
19:18	EDPTYP	R/W	端点类型（Endpoint Type） 此位选择端点的传输类型。 00：控制 01：同步 10：批量 11：中断
21:20	CNTSEL	R/W	选择计数器作用（Count Function Select） 此寄存器中，这个位只用作表示周期性端点每帧必须执行的事务数。 00：保留 01：1 个 10：2 个 11：3 个
28:22	DVADDR	R/W	设备地址（Device Address） 此位表示连接主机的设备地址。
29	ODDF	R/W	奇数帧（Odd Frame） 此位控制 OTG 主机是否以奇数帧传输。 0：偶数帧 1：奇数帧 注意：只适用于周期性事务。
30	CHINT	R/S	通道中断（Channel Interrupt） 0：不中断 1：停止通过通道传输数据
31	CHEN	R/S	使能通道（Channel Enable） 0：禁止 1：使能

27.5.9 全速 OTG 主机通道 X 中断寄存器（OTG_FS_HCHINTX）(X=0…7)

偏移地址：0x508+20*X

复位值：0x0000 0000

位/域	名称	R/W	描述
0	TSFCMPN	RC_W1	传输正常完成（Transfer Complete Normally）
1	TSFCMPAN	RC_W1	传输异常完成（Transfer Complete Abnormally）
2	保留		
3	RXSTALL	RC_W1	收到 STALL 响应中断（STALL Response Received Interrupt）
4	RXNAK	RC_W1	收到 NAK 响应中断（NAK Response Received Interrupt）

位/域	名称	R/W	描述
5	RXTXACK	RC_W1	收到/发送 ACK 响应中断（ACK Response Received/Transmitted Interrupt）
6	保留		
7	TERR	RC_W1	事务中断（Transaction Error） 表示发生以下错误： CRC 校验失败 超时 位填充错误 EOP 错误
8	BABBLE	RC_W1	串扰错误（Babble Error）
9	FOVR	RC_W1	帧溢出错误（Frame Overrun Error）
10	DTOG	RC_W1	数据翻转错误（Data Toggle Error）
31:11	保留		

27.5.10 全速 OTG 主机通道 X 中断屏蔽寄存器（OTG_FS_HCHIMASKX）(X=0…7)

偏移地址：0x50C+20*X

复位值：0x0000 0000

位/域	名称	R/W	描述
0	TSFCMPNM	R/W	屏蔽传输正常完成（Transfer Complete Normally Mask） 0：屏蔽 1：不屏蔽
1	TSFCMPANM	R/W	屏蔽传输异常完成（Transfer Complete Abnormally Mask） 0：屏蔽 1：不屏蔽
2	保留		
3	RXSTALLM	R/W	屏蔽收到 STALL 响应中断（STALL Response Received Interrupt Mask） 0：屏蔽 1：不屏蔽
4	RXNAKM	R/W	屏蔽收到 NAK 响应中断（NAK Response Received Interrupt Mask） 0：屏蔽 1：不屏蔽
5	RXTXACKM	R/W	屏蔽收到/发送 ACK 响应中断（ACK Response Received/Transmitted Interrupt） 0：屏蔽 1：不屏蔽
6	RXNYETM	R/W	屏蔽收到 NYET 响应中断（NYET Response Received Interrupt Mask） 0：屏蔽 1：不屏蔽

位/域	名称	R/W	描述
7	TERRM	R/W	屏蔽事务中断（Transaction Error Mask） 0：屏蔽 1：不屏蔽
8	BABBLEM	R/W	屏蔽串扰错误（Babble Error Mask） 0：屏蔽 1：不屏蔽
9	FOVRM	R/W	屏蔽帧溢出错误（Frame Overrun Error Mask） 0：屏蔽 1：不屏蔽
10	DTOGM	R/W	屏蔽数据翻转错误（Data Toggle Error Mask） 0：屏蔽 1：不屏蔽
31:11	保留		

27.5.11 全速 OTG 主机通道 X 传输大小寄存器（OTG_FS_HCHTSIZEX）(X=0…7)

偏移地址：0x510+20*X

复位值：0x0000 0000

位/域	名称	R/W	描述
18:0	TSFSIZE	R/W	传输大小（Transfer Size） ● 对于 IN：此位的值为保留给传输缓冲区的大小，一般为最大数据包的整数倍。 ● 对于 OUT：此位的值为主机要传输的字节数。
28:19	PCKTCNT	R/W	数据包计数（Packet Count） 此位表示发送或接收的数据包的值，每传输一个数据包，此位的值减 1，当减为 0 时，表示传输完成。
30:29	DATAPID	R/W	数据 PID（Data PID） 此位为数据通信的初始 PID。 00：DATA0 01：DATA2 10：DATA1 11：MDATA（控制传输）/SETUP（非控制传输）
31	保留		

27.6 OTG_FS 设备模式寄存器地址映射

表格 136 OTG_FS 设备模式寄存器地址映射

寄存器名	描述	偏移地址
OTG_FS_DCFG	全速 OTG 设备配置寄存器	0x800
OTG_FS_DCTRL	全速 OTG 设备控制寄存器	0x804
OTG_FS_DSTS	全速 OTG 设备状态寄存器	0x808
OTG_FS_DINIMASK	全速 OTG 设备 IN 端点中断屏蔽寄存器	0x810

寄存器名	描述	偏移地址
OTG_FS_DOUTIMASK	全速 OTG 设备 OUT 端点中断屏蔽寄存器	0x814
OTG_FS_DAEPINT	全速 OTG 设备所有端点中断寄存器	0x818
OTG_FS_DAEPIMASK	全速 OTG 设备所有端点中断屏蔽寄存器	0x81C
OTG_FS_DVBUSDTIM	全速 OTG 设备 VBUS 释放时间寄存器	0x828
OTG_FS_DVBUSPTIM	全速 OTG 设备 VBUS 脉冲时间寄存器	0x82C
OTG_FS_DIEIMASK	全速 OTG 设备 IN 端点 FIFO 空中断屏蔽寄存器	0x834
OTG_FS_DIEPCTRL0	全速 OTG 设备 IN 端点 0 控制寄存器	0x900
OTG_FS_DIEPCTRLx	全速 OTG 设备 IN 端点 x 控制寄存器	0x900+20x
OTG_FS_DIEPINTx	全速 OTG 设备 IN 端点 x 中断寄存器（x=0...3）	0x908+20x
OTG_FS_DIEPTRS0	全速 OTG 设备 IN 端点 0 传输大小寄存器	0x910
OTG_FS_DIEPTRSx	全速 OTG 设备 IN 端点 x 传输大小寄存器（x=1…3）	0x910+20x
OTG_FS_DITXFSTSx	全速 OTG 设备 IN 端点 xTXFIFO 状态寄存器（x=0...3）	0x918+20x
OTG_FS_DOEPCTRL0	全速 OTG 设备 OUT 端点 0 控制寄存器	0xB00
OTG_FS_DOEPCTRLx	全速 OTG 设备 OUT 端点 x 控制寄存器（x=1…3）	0xB00+20x
OTG_FS_DOEPINTx	全速 OTG 设备 OUT 端点 x 中断寄存器（x=0...3）	0xB08+20x
OTG_FS_DOEPTRS0	全速 OTG 设备 OUT 端点 0 传输大小寄存器	0xB10
OTG_FS_DOEPTRSx	全速 OTG 设备 OUT 端点 x 传输大小寄存器（x=1…3）	0xB10+20x

27.7 OTG_FS 设备模式寄存器功能描述

27.7.1 全速 OTG 设备配置寄存器（OTG_FS_DCFG）

偏移地址：0x800

复位值：0x0220 0000

位/域	名称	R/W	描述
1:0	DSPDSEL	R/W	选择设备速度（Device Speed Select） 此位选择连接主机的设备最大枚举速度， 11：FS（48MHz） 其他：保留
2	SENDOUT	R/W	在非零长度状态发送接收 OUT 数据包（Send the Received OUT Packet on Nonzero-length Status） 0：接收到 OUT 数据包后将数据包发送给应用程序，并根据端点的 NAK 和 STALL 位回复握手信号 1：接收到 OUT 数据包（非零长度）后，回复 STALL 握手信号
3	保留		
10:4	DADDR	R/W	设备地址（Device Address） 此位存储设备的地址，参数来源于 SetAddress 命令。

位/域	名称	R/W	描述
12:11	PFITV	R/W	周期性微帧间距（Periodic (Micro)Frame Interval） 此位配置确定周期性帧中断程序的时间点，可以确定帧的同步通信是否全部完成。 00：80%帧间隔 01：85%帧间隔 10：90%帧间隔 11：95%帧间隔
31:13	保留		

27.7.2 全速 OTG 设备控制寄存器（OTG_FS_DCTRL）

偏移地址：0x804

复位值：0x0000 0000

位/域	名称	R/W	描述
0	RWKUPS	R/W	远程唤醒信号（Remote Wakeup Signaling） 程序通过将此位置 1 使模块退出挂起状态，唤醒 USB 主机。 注意：根据协议，此位置 1 后，需在 1~15ms 内清 0。
1	SDCNNT	R/W	软断开（Soft Disconnect） 软断开是指主机接收不到“设备已连接”的信号，设备也接收不到信号。 0：正常。主机能收到设备连接事件 1：软断开
2	GINAKSTS	R	全局 IN 应答状态（Global IN NAK Status） 此位决定是否根据 TXFIFO 中的数据可用性回复握手信号。 0：是 1：否，所有非周期性 IN 端点都回复握手信号
3	GONAKSTS	R	全局 OUT 应答状态（Global OUT NAK Status） 0：根据 FIFO 状态和 NAK 和 STALL 位的状态发送握手信号 1：不接收数据，除 SETUP 事务外的所有数据包都回复 NAK 信号
6:4	TESTSEL	R/W	选择测试模式（Test Mode Select） 000：禁止测试 001：Test_J 010：Test_K 011：Test_SE0_NAK 100：Test_Packet 101：Test_Force_Enable 其他：保留
7	GINAKSET	W	设置全局 IN 应答（Global IN NAK Setup） 将全局非周期性 IN NAK 置 1，使非周期性 IN 端点发送 NAK 信号。 只有 OTG_FS_GCINT 寄存器的 GINNPNAKE 位清 0 时，此位才能置 1。
8	GINAKCLR	W	清除全局 IN 应答（Global IN NAK Clear） 将全局非周期性 IN NAK 清 0。
9	GONAKSET	W	设置全局 OUT 应答（Global OUT NAK Setup） 将全局 OUT NAK 置 1，使 OUT 端点发送 NAK 信号。 只有 OTG_FS_GCINT 寄存器的 GONAKE 位清 0 时，此位才能置 1。

位/域	名称	R/W	描述
10	GONAKCLR	W	清除全局 OUT 应答（Global OUT NAK Clear） 将全局 OUT NAK 清 0。
11	POPROGCMP	R/W	上电编程完成（Power-on Programming Complete） 此位表示寄存器被唤醒后完成了编程操作。
31:12	保留		

27.7.3 全速 OTG 设备状态寄存器（OTG_FS_DSTS）

偏移地址：0x808

复位值：0x0000 0010

位/域	名称	R/W	描述
0	SUSSTS	R	挂起状态（Suspend Status） 当 USB 总线被闲置 3ms 以上，模块就进入挂起状态，此位置 1。当 USB 线上有活动或模块接收到远程唤醒信号时，模块会退出挂起状态。
2:1	ENUMSPD	R	枚举速度（Enumerated Speed） 通过 chirp 序列检测后，全速 OTG 的枚举速度。 11：全速（48MHz） 其他：保留
3	ERTERR	R	不规则错误（Erratic Error） 如果出现任何不规则错误，此位置 1，此时只有执行软断开才能恢复通信。
7:4	保留		
21:8	SOFNUM	R	接收 SOF 的帧序号（Frame Number of the Received SOF）
31:22	保留		

27.7.4 全速 OTG 设备 IN 端点中断屏蔽寄存器（OTG_FS_DINIMASK）

偏移地址：0x810

复位值：0x0000 0000

位/域	名称	R/W	描述
0	TSFCMPM	R/W	屏蔽传输完成中断（Transfer Completed Interrupt Mask） 0：屏蔽 1：不屏蔽
1	EPDISM	R/W	屏蔽端点禁止中断（Endpoint Disable Interrupt Mask） 0：屏蔽 1：不屏蔽
2	保留		
3	TOM	R/W	屏蔽超时中断（Timeout Interrupt Mask） 0：屏蔽 1：不屏蔽
4	ITXEMPM	R/W	屏蔽 TXFIFO 空时接收到 IN 令牌中断（IN Token Received when TxFIFO Empty Mask） 0：屏蔽 1：不屏蔽

位/域	名称	R/W	描述
5	IEPMMM	R/W	屏蔽接收到端点不匹配的 IN 令牌中断（IN Token Received with Endpoint Mismatch Mask） 0：屏蔽 1：不屏蔽
6	IEPNAKEM	R/W	屏蔽 IN 端点 NAK 有效中断（IN Endpoint NAK Effective Mask） 0：屏蔽 1：不屏蔽
31:7	保留		

27.7.5 全速 OTG 设备 OUT 端点中断屏蔽寄存器（OTG_FS_DOUTIMASK）

偏移地址：0x814

复位值：0x0000 0000

位/域	名称	R/W	描述
0	TSFCMPM	R/W	屏蔽传输完成中断（Transfer Completed Interrupt Mask） 0：屏蔽 1：不屏蔽
1	EPDISM	R/W	屏蔽端点禁止中断（Endpoint Disable Interrupt Mask） 0：屏蔽 1：不屏蔽
2	保留		
3	SETPCMPM	R/W	屏蔽 SETUP 阶段完成中断（SETUP Phase Complete Mask） 0：屏蔽 1：不屏蔽
4	OTXEMPM	R/W	屏蔽端点被禁止时接收到 OUT 令牌中断（OUT Token Received when Endpoint Disabled Mask） 0：屏蔽 1：不屏蔽
31:5	保留		

27.7.6 全速 OTG 设备所有端点中断寄存器（OTG_FS_DAEPINT）

偏移地址：0x818

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	INEPINT	R	所有 IN 端点中断（All IN Endpoint Interrupts） 第 X 位代表 IN 端点 X 的中断。最多有 16 个 IN 端点。
31:16	OUTEPINT	R	所有 OUT 端点中断（All OUT Endpoint Interrupts） 第 X 位代表 OUT 端点（X-16）的中断。最多有 16 个 OUT 端点。

27.7.7 全速 OTG 设备所有端点中断屏蔽寄存器（OTG_FS_DAEPIMASK）

偏移地址：0x81C

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	AINM	R/W	屏蔽所有 IN 端点中断（All IN Endpoint Interrupts Mask） 第 X 位代表 IN 端点 X 的中断屏蔽。最多有 16 个 IN 端点。 0：屏蔽 1：不屏蔽
31:16	AOUTM	R/W	屏蔽所有 OUT 端点中断（All OUT Endpoint Interrupts Mask） 第 X 位代表 OUT 端点（X-16）的中断屏蔽。最多有 16 个 OUT 端点。 0：屏蔽 1：不屏蔽

27.7.8 全速 OTG 设备 V_{BUS} 释放时间寄存器（OTG_FS_DVBUSDTIM）

偏移地址：0x828

复位值：0x0000 17D7

位/域	名称	R/W	描述
15:0	VBUSDTIM	R/W	设备 V_{BUS} 释放时间（Device V_{BUS} Discharge Time） SRP 期间 V_{BUS} 发出脉冲后的放电时间。 值=放电时间（PHY 时钟数）/1024
31:16	保留		

27.7.9 全速 OTG 设备 V_{BUS} 脉冲时间寄存器（OTG_FS_DVBUSPTIM）

偏移地址：0x82C

复位值：0x0000 05B8

位/域	名称	R/W	描述
11:0	VBUSPTIM	R/W	设备 V_{BUS} 脉冲时间（Device VBUS Pulsing Time） SRP 期间 V_{BUS} 脉冲时间。 值=脉冲时间（PHY 时钟数）/1024
31:12	保留		

27.7.10 全速 OTG 设备 IN 端点 FIFO 空中断屏蔽寄存器（OTG_FS_DIEIMASK）

偏移地址：0x834

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	INEM	R/W	屏蔽 IN 端点发送空的 FIFO 中断（IN Endpoint Tx FIFO Empty Interrupt Mask） 第 X 位代表 IN 端点 X 的 TXFE 中断屏蔽。最多有 16 个 IN 端点。 0：屏蔽 1：不屏蔽
31:16	保留		

27.7.11 全速 OTG 设备 IN 端点 0 控制寄存器（OTG_FS_DIEPCTRL0）

偏移地址：0x900

复位值：0x0000 0000

位/域	名称	R/W	描述
1:0	MAXPS	R/W	最大数据包大小（Maximum Packet Size） 此位配置端点的最大数据包的大小。 00：64 字节 01：32 字节 10：16 字节 11：8 字节
14:2	保留		
15	USBAEP	R	USB 活动端点（USB Active Endpoint） 该位表示是否在当前配置和接口中端点是否被激活。 此位总置 1。
16	保留		
17	NAKSTS	R	NAK 状态（NAK Status） 0：模块根据 FIFO 状态回复非 NAK 握手信号 1：模块在此端点上回复 NAK 握手信号，此时即使 TXFIFO 还有空间，模块仍然会停止发送数据。
19:18	EPTYPE	R	端点类型（Endpoint Type） 此位由硬件置 00，表示端点为控制类型。
20	保留		
21	STALLH	R/S	STALL 握手（STALL Handshake） 程序只能将此位置 1，直到端点接收到 SETUP 令牌，此位清 0。STALL 的优先级高于 NAK。
25:22	TXFNUM	R/W	TXFIFO 编号（TXFIFO Number） 为 IN 端点 0 设置单独的 FIFO 编号。
26	NAKCLR	W	清除 NAK（NAK Clear） 对该位进行写操作时端点 0 的 NAK 位清 0。
27	NAKSET	W	设置 NAK（NAK Set） 对该位进行写操作使 NAK 位置 1。
29:28	保留		
30	EPDIS	R	禁止端点（Endpoint Disable） 可以通过该位置 1 停止端点上的数据发送。 该位需要端点禁止中断位置 1 前清 0；该位只能在 EPEN 置 1 后才能置 1。
31	EPEN	R	使能端点（Endpoint Enable） 该位置 1 后，端点开始发送数据。 当触发以下任一中断时，此位清 0： ● SETUP 完成 ● 禁止端点 ● 传输完成

27.7.12 全速 OTG 设备 IN 端点 x 控制寄存器（OTG_FS_DIEPCTRLx）（x=1~3，端点编号）

偏移地址：0x900+0x20x

复位值：0x0000 0000

位/域	名称	R/W	描述
10:0	MAXPS	R/W	最大数据包大小（Maximum Packet Size） 此位配置端点的最大数据包的大小（以字节为单位）。
14:11	保留		
15	USBAEP	R/W	USB 活动端点（USB Active Endpoint） 该位表示是否在当前配置和接口中端点是否被激活。 当 USB 复位后，该位清 0（端点 0 除外）。
16	EOF	R	奇偶帧（Even Odd Frame） 此位用于指示端点发送/接收的帧编号（对于同步 IN）或数据包的 PID（对于中断/批量 IN）。 用于同步 IN 端点： 0：偶数帧 1：奇数帧 端点数据 PID（Endpoint Data PID） 用于中断/批量 IN 端点： 0：DATA0 1：DATA1
17	NAKSTS	R	NAK 状态（NAK Status） 0：模块根据 FIFO 状态回复非 NAK 握手信号 1：模块在此端点上回复 NAK 握手信号，此时对于非同步 IN：即使 TXFIFO 还有可用数据，模块仍然会停止发送数据；对于同步 IN，即使 TXFIFO 还有可用数据，模块也会发送零长度数据包 注意：模块总是通过 ACK 握手响应 SETUP 数据包。
19:18	EPTYPE	R/W	选择端点类型（Endpoint Type） 00：控制 01：同步 10：批量 11：中断
20	保留		
21	STALLH	RW/RS	STALL 握手（STALL Handshake） ● 用于非控制、非同步 IN 端点（读写方式为 R/W）： 此位置 1 时，设备对来自 USB 主机所有的令牌都回复 STALL。此位只能由软件清 0。 ● 用于控制端点（读写方式为 R/S）： 此位置 1 时，表示模块接收到 SETUP 令牌。
25:22	TXFNUM	R/W	TXFIFO 编号（TXFIFO Number） 这些位表示与端点相关联的 FIFO 编号，需要为每个有效的 IN 端点设置单独的 FIFO 编号
26	NAKCLR	W	清除 NAK（NAK Clear） 对该位进行写操作时，端点的 NAK 位清 0。
27	NAKSET	W	设置 NAK（NAK Set） 对该位进行写操作时，端点的 NAK 位置 1。 该位可以控制 NAK 握手信号的发送。
28	DPIDSET	W	设置 DATA0 PID（DATA0 PID Set） ● 用于中断/批量 IN 端点： 对该位进行写操作时将 PID 设置为 DATA0。

位/域	名称	R/W	描述
			设置偶数帧（Even Frame Set） ● 用于同步 IN 端点： 对该位进行写操作会将 EOF 设置为偶数帧。
29	OFSET	W	设置奇数帧（Odd Frame Set） 用于同步 IN 端点，对该位进行写操作会将 EOF 设置为奇数帧。
30	EPDIS	R/S	禁止端点（Endpoint Disable） 可以通过该位置 1 停止端点上的数据发送。 该位需要端点禁止中断位置 1 前清 0；该位只能在 EPEN 置 1 后才能置 1。
31	EPEN	R/S	使能端点（Endpoint Enable） 该位置 1 后，端点开始发送数据。 当触发以下任一中断时，此位清 0： ● SETUP 完成 ● 禁止端点 ● 传输完成

27.7.13 全速 OTG 设备 IN 端点 x 中断寄存器（OTG_FS_DIEPINTx）（x=0~3，端点编号）

偏移地址：0x908+0x20x；m=0~3

复位值：0x0000 0080

OTG_FS_GCINT 寄存器的 ONEP 位置 1 时，读取该寄存器；

读取 OTG_FS_DAEPINT 寄存器获取设备端点 x 中断寄存器的准确端点编号，之后读取该寄存器；只有当该寄存器的相应位清 0 后 OTG_FS_DAEPINT 寄存器和 OTG_FS_GCINT 寄存器的相应位才可以清 0。

位/域	名称	R/W	描述
0	TSFCMP	RC_W1	传输完成中断（Transfer Complete Interrupt） 此位表示该端点上的传输已完成。
1	EPDIS	RC_W1	禁止端点中断（Endpoint Interrupt Disable） 此位表示已禁止端点。
2	保留		
3	TO	RC_W1	超时中断（Timeout Interrupt） 此位只适用于控制 IN 端点，表示对最近收到的 IN 令牌响应已超时。
4	ITXEMP	RC_W1	FIFO 为空时接收 IN 令牌中断（Receive IN Token Interrupt） 此位只适用于非周期性 IN 端点，表示当端点对应的 TXFIFO 为空时，接收到 IN 令牌。
5	保留		
6	IEPNAKE	RC_W1	IN 端点 NAK 有效（IN Endpoint NAK Effective） 此位表示模块对 NAK 采样，即 IN 端点的 NAK 位已经生效。 当 OTG_FS_DIEPCTRLx 寄存器的 NAKCLR 位被写时，此位清 0。
7	TXFE	R	TXFIFO 为空中断（TXFIFO Empty Interrupt） 当该端点的 TXFIFO 为空时，产生中断。
31:8	保留		

27.7.14 全速 OTG 设备 IN 端点 0 传输大小寄存器（OTG_FS_DIEPTRS0）

偏移地址：0x910

复位值：0x0000 0000

OTG_FS_DIEPCTRLx 寄存器的 EPEN 位置 1 后，该寄存器才可以进行修改；

OTG_FS_DIEPCTRLx 寄存器的 EPEN 位清 0 后，才可以读取该寄存器

位/域	名称	R/W	描述
6:0	EPTRS	R/W	端点传输大小（Endpoint Transfer Size） 此位表示端点 0 在一次数据传输中包含的数据量。
18:7	保留		
20:19	EPPCNT	R/W	端点数据包计数（Endpoint Packet Count） 此位表示端点 0 在一次数据传输中包含的数据包数量。
31:21	保留		

27.7.15 全速 OTG 设备 IN 端点 x 传输大小寄存器（OTG_FS_DIEPTRSx）（x=1~3，端点编号）

偏移地址：0x910+0x20x；x=1~3

复位值：0x0000 0000

OTG_FS_DIEPCTRLx 寄存器的 EPEN 位置 1 后，该寄存器才可以进行修改；

OTG_FS_DIEPCTRLx 寄存器的 EPEN 位清 0 后，才可以读取该寄存器

位/域	名称	R/W	描述
18:0	EPTRS	R/W	端点传输大小（Endpoint Transfer Size） 此位表示端点 x 在一次数据传输中包含的数据量（以字节为单位）。
28:19	EPPCNT	R/W	端点数据包计数（Endpoint Packet Count） 此位表示端点 x 在一次数据传输中包含的数据包数量。
30:29	TXDCNT	R/W	计数发送数据包（Transmit PacketCount） ● 对于周期性 IN 端点，此位表示在 USB 上每帧必须发送的数据包数目。 ● 对于计算同步 IN 端点，此位计算端点的数据 PID。 01：1 个 10：2 个 11：3 个
31	保留		

27.7.16 全速 OTG 设备 IN 端点 xTXFIFO 状态寄存器（OTG_FS_DITXFSTSx）（x=0~3，端点编号）

偏移地址：0x918+0x20m；m=0~3

位/域	名称	R/W	描述
15:0	INEPTXFSA	R	IN 端点 TXFIFO 可用空间（IN Endpoint TXFIFO Space Available） 此位表示 IN 端点 TXFIFO 的可用空间（以字为单位）。 0x0：IN 端点 TXFIFO 已满 0x1：1 个字节 0x2：2 个字节 0xn：n 个字节可用（0<n<512） 其他值：保留

位/域	名称	R/W	描述
31:16	保留		

27.7.17 全速 OTG 设备 OUT 端点 0 控制寄存器（OTG_FS_DOEPCTRL0）

偏移地址：0xB00

复位值：0x0000 8000

位/域	名称	R/W	描述
1:0	MAXPS	R	最大数据包大小（Maximum Packet Size） 此位配置端点的最大数据包的大小。 00：64 字节 01：32 字节 10：16 字节 11：8 字节
14:2	保留		
15	USBAEP	R	USB 活动端点（USB Active Endpoint） 该位表示是否在当前配置和接口中端点是否被激活。 此位总置 1。
16	保留		
17	NAKSTS	R	NAK 状态（NAK Status） 0：模块根据 FIFO 状态回复非 NAK 握手信号 1：模块在此端点上回复 NAK 握手信号，此时即使 RXFIFO 还有空间，模块仍然会停止接收数据。
19:18	EPTYPE	R	端点类型（Endpoint Type） 该位由硬件置 00，表示端点为控制类型。
20	SNMEN	R/W	使能监听模式（Snoop Mode Enable） 在监听模式下，在 OUT 数据包传输到存储区之前不检查其正确性。
21	STALLH	R/S	STALL 握手（STALL Handshake） 程序只能将此位置 1，直到端点接收到 SETUP 令牌，此位清 0。STALL 的优先级高于 NAK。
25:22	保留		
26	NAKCLR	W	清除 NAK（NAK Clear） 对此位进行写操作时端点 0 的 NAK 位清 0。
27	NAKSET	W	设置 NAK（NAK Set） 对此位进行写操作时使 NAK 位置 1。
29:28	保留		
30	EPDIS	R	禁止端点（Endpoint Disable） 可以通过该位置 1 停止端点上的数据发送。 该位需要端点禁止中断位置 1 前清 0；该位只能在 EPEN 置 1 后才能置 1。
31	EPEN	W	使能端点（Endpoint Enable） 该位置 1 后，端点开始发送数据。 当触发以下任一中断时，此位清 0： ● SETUP 完成 ● 禁止端点

位/域	名称	R/W	描述
			● 传输完成

27.7.18 全速 OTG 设备 OUT 端点 x 控制寄存器（OTG_FS_DOEPCTRLx）（x=1~3，端点编号）

偏移地址：0xB00+0x20x

复位值：0x0000 0000

位/域	名称	R/W	描述
10:0	MAXPS	R/W	最大数据包大小（Maximum Packet Size） 此位配置端点的最大数据包的大小（以字节为单位）。
14:11	保留		
15	USBAEP	R/W	USB 活动端点（USB Active Endpoint） 该位表示是否在当前配置和接口中端点是否被激活。 当 USB 复位后，该位清 0（端点 0 除外）。
16	EOF	R	奇偶帧（Even Odd Frame） 此位用于指示端点发送/接收的帧编号（对于同步 IN）或数据包的 PID（对于中断/批量 IN）。 用于同步 IN 端点： 0：偶数帧 1：奇数帧 端点数据 PID（Endpoint Data PID） 用于中断/批量 IN 端点： 0：DATA0 1：DATA1
17	NAKSTS	R	NAK 状态（NAK Status） 0：模块根据 FIFO 状态回复非 NAK 握手信号 1：模块在此端点上回复 NAK 握手信号，此时，对于 OUT 端点，即使 RXFIFO 还有剩余空间，模块仍然会停止接收数据 注意：模块总是通过 ACK 握手响应 SETUP 数据包。
19:18	EPTYPE	R/W	选择端点类型（Endpoint Type） 00：控制 01：同步 10：批量 11：中断
20	SNMEN	R/W	使能监听模式（Snoop Mode Enable） 在监听模式下，在 OUT 数据包传输到存储区之前不检查其正确性。
21	STALLH	RW/RS	STALL 握手（STALL Handshake） ● 用于非控制、非同步 IN 端点（读写方式为 R/W）： 此位置 1 时，设备对来自 USB 主机所有的令牌都回复 STALL。此位只能由软件清 0。 ● 用于控制端点（读写方式为 R/S）： 此位置 1 时，表示模块接收到 SETUP 令牌。
25:22	保留		
26	NAKCLR	W	清除 NAK（NAK Clear） 对该位进行写操作时端点的 NAK 位清 0。

位/域	名称	R/W	描述
27	NAKSET	W	设置 NAK（NAK Set） 对该位进行写操作时，端点的 NAK 位置 1。 该位可以控制 NAK 握手信号的发送。
28	DPIDSET	W	设置 DATA0 PID（DATA0 PID Set） ● 用于中断/批量 IN 端点： 对该位进行写操作时将 PID 设置为 DATA0。 设置偶数帧（Even Frame Set） ● 用于同步 IN 端点： 对该位进行写操作会将 EOF 设置为偶数帧。
29	OFSET	W	设置奇数帧（Odd Frame Set） ● 用于同步 OUT 端点： 对该位进行写操作会将 EOF 设置为奇数帧。 ● 用于中断/批量 OUT 端点： 对该位进行写操作时将 PID 设置为 DATA1。
30	EPDIS	R/S	禁止端点（Endpoint Disable） 可以通过该位置 1 停止端点上的数据发送。 该位需要端点禁止中断位置 1 前清 0；该位只能在 EPEN 置 1 后才能置 1。
31	EPEN	R/S	使能端点（Endpoint Enable） 该位置 1 后，端点开始发送数据。 当触发以下任一中断时，此位清 0： ● SETUP 完成 ● 禁止端点 ● 传输完成

27.7.19 全速 OTG 设备 OUT 端点 x 中断寄存器（OTG_FS_DOEPINTx）（x=0~3，端点编号）

偏移地址：0xB08+0x20m；m=0~3

复位值：0x0000 0080

OTG_FS_GCINT 寄存器的 ONEP 位置 1 时，读取该寄存器；

读取 OTG_FS_DAEPINTx 寄存器获取设备端点 x 中断寄存器的准确端点编号，之后读取该寄存器；只有当该寄存器的相应位清 0 后，OTG_FS_DAEPINT 寄存器和 OTG_FS_GCINT 寄存器的相应位才可以清 0。

位/域	名称	R/W	描述
0	TSFCMP	RC_W1	传输完成中断（Transfer Complete Interrupt） 此位表示该端点上的传输已完成。
1	EPDIS	RC_W1	禁止端点中断（Endpoint Interrupt Disable） 此位表示已禁止端点。
2	保留		
3	SETPCMP	RC_W1	完成 SETUP 阶段中断（SETUP Phase Complete Interrupt） 此位只适用于控制 OUT 端点，表示已完成 SETUP 阶段，产生中断后可以对接收的 SETUP 数据进行解码。
4	RXOTDIS	RC_W1	禁止时接收 OUT 令牌中断（Receive OUT Token When Disable Interrupt）

位/域	名称	R/W	描述
			此位只适用于控制 OUT 端点，表示未使能端点就接收到 OUT 令牌。
5	保留		
6	RXBSP	RC_W1	接收连续的 SETUP 数据包中断（Receive Back-to-Back SETUP Packet Interrupt） 此位只适用于控制 OUT 端点，表示端点已收到连续三个以上的 SETUP 数据包。
31:7	保留		

27.7.20 全速 OTG 设备 OUT 端点 0 传输大小寄存器（OTG_FS_DOEPTRS0）

偏移地址：0xB10

复位值：0x0000 0000

OTG_FS_DOEPCTRLx 寄存器的 EPEN 位置 1 后，该寄存器才可以进行修改；

OTG_FS_DOEPCTRLx 寄存器的 EPEN 位清 0 后，才可以读取该寄存器

位/域	名称	R/W	描述
6:0	EPTRS	R/W	端点传输大小（Endpoint Transfer Size） 此位表示端点 0 在一次数据传输中包含的数据量（以字节为单位）。
18:7	保留		
19	EPPCNT	R/W	端点数据包计数（Endpoint Packet Count） 当 RXFIFO 被写入一个数据包后，此位被减为 0。
28:20	保留		
30:29	SPCNT	R/W	SETUP 数据包计数（SETUP Packet Count） 这些位表示可以连续接收 SETUP 数据包的数量 01：1 个 10：2 个 11：3 个
31	保留		

27.7.21 全速 OTG 设备 OUT 端点 x 传输大小寄存器（OTG_FS_DOEPTRSx）（x=1~3，端点编号）

偏移地址：0xB10+0x20m；m=1~3

复位值：0x0000 0000

OTG_FS_DOEPCTRLx 寄存器的 EPEN 位置 1 后，该寄存器才可以进行修改；

OTG_FS_DOEPCTRLx 寄存器的 EPEN 位清 0 后，才可以读取该寄存器

位/域	名称	R/W	描述
18:0	EPTRS	R/W	端点传输大小（Endpoint Transfer Size） 此位表示端点 x 在一次数据传输中包含的数据量（以字节为单位）。
28:19	EPPCNT	R/W	端点数据包计数（Endpoint Packet Count） 此位表示端点 x 在一次数据传输中包含的数据包数量。

位/域	名称	R/W	描述
30:29	PID_SPCNT	R/W	接收数据 PID 或计数 SETUP 数据包（Receive Data PID or SETUP Packet Count） ● 对于同步 OUT 端点，此位表示上一个接收的数据包 PID。 00：DATA0 01：DATA2 10：DATA1 11：MDATA ● 对于控制 OUT 端点，此位表示端点能连续收到的 SETUP 数据包的数目。 01：1 个 10：2 个 11：3 个
31	保留		

27.8 全速 OTG 电源和时钟门控控制寄存器（OTG_FS_PCGCTRL）

偏移地址：0xE00

复位值：0x0000 0000

此寄存器适用于主机模式和设备模式。

位/域	名称	R/W	描述
0	PCLKSTOP	R/W	PHY 时钟停止（PHY Clock Stop） 0：当 USB 通信恢复或会话重新启动时，允许启动 PHY 时钟 1：当挂起 USB 通信、会话无效或设备断开连接时，停止 PHY 时钟
1	GCLK	R/W	门控 HCLK（Gate HCLK） 0：当 USB 通信恢复或会话重新启动时，允许对除了 AHB 总线从接口、主接口和唤醒之外的模块停止提供时钟 1：当挂起 USB 通信或会话无效时，对除了 AHB 总线从接口、主接口和唤醒之外的模块停止提供时钟
3:2	保留		
4	PHYSUS	R/W	挂起 PHY（PHY Suspend） 该位表示 PHY 挂起。
31:5	保留		

27.9 OTG_HS1 全局寄存器地址映射

表格 137OTG_HS1 全局寄存器地址映射

寄存器名	描述	偏移地址
OTG_HS1_GCTRLSTS	高速 OTG 控制状态寄存器	0x00
OTG_HS1_GINT	高速 OTG 中断寄存器	0x04

寄存器名	描述	偏移地址
OTG_HS1_GAHBCFG	高速 OTG AHB 配置寄存器	0x08
OTG_HS1_GUSBCFG	高速 OTG USB 配置寄存器	0x0C
OTG_HS1_GRSTCTRL	高速 OTG 复位控制寄存器	0x10
OTG_HS1_GCINT	高速 OTG 模块中断寄存器	0x14
OTG_HS1_GINTMAS	高速 OTG 模块中断屏蔽寄存器	0x18
OTG_HS1_GRXSTS	高速 OTG 读取调试接收状态寄存器	0x1C
OTG_HS1_GRXSTSP	高速 OTG 读取和出栈寄存器	0x20
OTG_HS1_GRXFIFO	高速 OTG 接收 FIFO 大小寄存器	0x24
OTG_HS1_GTXFCFG	高速 OTG TXFIFO 配置寄存器	0x28
OTG_HS1_GNPTXFQSTS	高速 OTG 非周期性 TXFIFO 队列状态寄存器	0x2C
OTG_HS1_GI2CAC	高速 OTG I2C 访问寄存器	0x30
OTG_HS1_GGCCFG	高速 OTG 通用模块配置寄存器	0x38
OTG_HS1_GCID	高速 OTG 模块 ID 寄存器	0x3C
OTG_HS1_GHPTXFIFO	高速 OTG 主机周期性 TXFIFO 大小寄存器	0x100
OTG_HS1_DTXFIFO1	高速 OTG 设备 IN 端点 TXFIFO 大小寄存器 1	0x104
OTG_HS1_DTXFIFO2	高速 OTG 设备 IN 端点 TXFIFO 大小寄存器 2	0x108
OTG_HS1_DTXFIFO3	高速 OTG 设备 IN 端点 TXFIFO 大小寄存器 3	0x10C
OTG_HS1_DTXFIFO4	高速 OTG 设备 IN 端点 TXFIFO 大小寄存器 4	0x110
OTG_HS1_DTXFIFO5	高速 OTG 设备 IN 端点 TXFIFO 大小寄存器 5	0x114
OTG_HS1_DTXFIFO6	高速 OTG 设备 IN 端点 TXFIFO 大小寄存器 6	0x118
OTG_HS1_DTXFIFO7	高速 OTG 设备 IN 端点 TXFIFO 大小寄存器 7	0x11C

27.10 OTG_HS1 全局寄存器功能描述

27.10.1 高速 OTG 控制状态寄存器（OTG_HS1_GCTRLSTS）

偏移地址：0x00

复位值：0x0000 0800

位/域	名称	R/W	描述
0	SREQSUC	R	会话请求成功（Session Request Success） 0：会话请求失败 1：会话请求成功 注意：只能在设备模式下使用
1	SREQ	R/W	请求会话（Session Request） 0：无请求会话 1：请求会话 当设置 OTG_HS1_GINT 寄存器中的 HNSUCCHG 位时，写 0 清除该位。当 HNSUCCHG 清 0 时，该位也会清 0。

位/域	名称	R/W	描述
			当使用 USB 1.1 全速串行收发器接口来会话请求时，要在该寄存器的 BSVD 位清 0 后，等待 V_{BUS} 放电到 0.2 V。放电时间会因为 PHY 的不同存在差异。 注意：只能在设备模式下使用
7:2	保留		
8	HNSUC	R	主机协商成功（Host Negotiation Success） 该寄存器中的 HNPREQ 置 1 时，该位清 0 0：主机协商失败 1：主机协商成功 注意：只能在设备模式下使用
9	HNPREQ	R/W	HNP 请求（Host Negotiation Protocol Request） 0：不发送 HNP 请求 1：发送 HNP 请求 当设置 OTG_HS1_GINT 寄存器中的 HNSUCCHG 位时，写 0 清除该位。当 HNSUCCHG 清 0 时，该位也会清 0。 注意：只能在设备模式下使用
10	HHNPEN	R/W	使能主机设置 HNP（Host Set HNP Enable） 0：禁止 1：使能 注意：只能在主机模式下使用
11	DHNPEN	R/W	使能设备 HNP（Device HNP Enable） 0：禁止 1：使能 注意：只能在设备模式下使用
15:12	保留		
16	CIDSTS	R	连接器 ID 状态（Connector ID Status） 0：OTG_HS1 控制器处于 A 设备模式 1：OTG_HS1 控制器处于 B 设备模式 注意：在设备以及主机模式下均可使用
17	LSDEBT	R	长/短去抖动时间（Long/Short Debounce Time） 0：长去抖动时间 1：短去抖动时间 注意：仅可在主机模式下使用
18	ASVD	R	A 会话有效（A-Session Valid） 0：无效 1：有效 注意：只能在主机模式下访问
19	BSVD	R	B 会话有效（B-Session Valid） 在 OTG 模式下，此位可用于确认设备是否处于连接状态。 0：无效 1：有效 注意：只能在设备模式下访问
31:20	保留		

27.10.2 高速 OTG 中断寄存器（OTG_HS1_GINT）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
1:0	保留		
2	SEFLG	RC_W1	会话结束标志位（Session End Flag） 当 V_{BUS}<0.8V 时，表示 V_{BUS} 不用于 B 会话，该位置 1。
7:3	保留		
8	SREQSUCCHG	RC_W1	会话请求成功标志位（Session Request Success Flag） 如果 SREQSUC 位的值有所改变，此位置 1。 注意：在设备和主机模式下均可访问
9	HNSUCCHG	RC_W1	主机协商成功标志位（Host Negotiation Success Flag） 如果 HNSUC 位的值有所改变，此位置 1。 注意：在设备和主机模式下均可访问
16:10	保留		
17	HNFLG	RC_W1	主机协商标志位（Host Negotiation Flag） 当检测到 USB 主机协商请求时该位置 1。
18	ADTOFLG	RC_W1	A 器件超时标志位（A-Device Timeout Flag） 此位如果置 1，则表示 A 器件等待 B 器件连接时超时。 注意：在设备和主机模式下均可访问
19	DEBDFLG	RC_W1	去抖动完成标志位（Debpouncce Done Flag） 设备连接且去抖动结束时该位置 1；产生中断后，USB 复位。 该位仅在 OTG_HS1_GUSBCFG 寄存器中的 HNPEN 和 SRPEN 位置 1 时有效。 注意：只能在主机模式下访问
31:20	保留		

27.10.3 高速 OTG AHB 配置寄存器（OTG_HS1_GAHBCFG）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
0	GINTMASK	R/W	屏蔽全局中断（Global Interrupt Mask） 0：屏蔽全局中断 1：取消屏蔽全局中断
4:1	BLT	R/W	长度/类型（Burst Length/Type） 0000：单次 0001：INCR 0011：INCR4 0101：INCR8 0111：INCR16 其他：保留
5	DMAEN	R/W	使能 DMA（DMA Enable） 0：以从模式运行 1：以 DMA 模式运行

位/域	名称	R/W	描述
6	保留		
7	TXFEL	R/W	TXFIFO 空级别（TXFIFO Empty Level） 0：TXFE 中断表示 IN 端点 TXFIFIO 为半空 1：TXFE 中断表示 IN 端点 TXFIFIO 为全空 注意：只能在设备模式下访问
8	PTXFEL	R/W	周期性 TXFIFO 空级别（Periodic TXFIFO Empty Level） 0：PTXFE 中断表示周期性 TXFIFIO 为半空 1：PTXFE 中断表示周期性 TXFIFIO 为全空 注意：只能在主机模式下访问
31:9	保留		

27.10.4 高速 OTG USB 配置寄存器（OTG_HS1_GUSBCFG）

偏移地址：0x0C

复位值：0x0000 0A00

位/域	名称	R/W	描述
2:0	SEFLG	R/W	校准 FS 超时（FS Timeout Calibration） PHY 的额外延迟包含 PHY 的时钟数量以及 FS 超时间隔，数据线的状态会因 PHY 的不同存在差异。 OTG_FS 的超时值为 16~18 个位时间。
5:3	保留		
6	FSSTSEL	W	选择全速串行收发器（Full-Speed Serial Transceiver Select） 0：USB2.0 高速 ULPI PHY 1：USB1.1 全速串行收发器
7	保留		
8	SRPEN	R/W	使能 SRP（SRP Enable） 0：禁止 1：使能 如果禁止了 SRP 功能，则无法请求连接器件激活 V_{BUS}，也不能开始会话。
9	HNPEN	R/W	使能 HNP（HNP Enable） 0：禁止 1：使能
13:10	TRTIM	R/W	USB 周转时间（USB Turnaround Time） f_{PHYCLK}=48MHz，以 f_{PHYCLK} 为单位。AHB 时钟频率最小为 30MHz。 TRTIM=4×f_{AHBCLK}+f_{PHYCLK} 例： 当 f_{AHBCLK}=72MHz 时，TRTIM 设置为 7
14	保留		

位/域	名称	R/W	描述
15	PHYLPSEL	R/W	选择 PHY 低功耗时钟（PHY Low-Power Select） 0：内部 PLL 时钟 480MHz 1：外部时钟 48MHz 一般使用 48MHz 时钟，在 480MHz 时钟模式下，UTMI 接口以 60（8 位数据）或 30MHz（16 位数据）运行；在 48MHz 模式下以 48MHz 运行。
16	保留		
17	ULPISEL	R/W	选择 ULPI PHY 接口（ULPI PHY Interface Select） 0：ULPI 接口 1：ULPI FS/LS 串行接口 此位仅在 ULPI PHY 上选择了 FS 串行收发器下有效。
18	ULPIAR	R/W	ULPI 自动恢复（ULPI Auto-Resume） 此位表示 ULPI PHY 是否支持自动恢复功能。 0：不支持 1：支持
19	ULPICLKP	R/W	ULPI 时钟电源（ULPI Clock Power） 此位表示 PHY 在挂起期间是否断开内部时钟电源。 0：断开 1：不断开
20	ULPIEVDSEL	R/W	选择 ULPI 外部驱动 V_{BUS}（ULPI External V_{BUS} Drive Select） ULPI PHY 通过此位选择由内部还是外部电源驱动 V_{BUS}。 0：内部电荷泵 1：外部电源
21	ULPIEVC	R/W	选择 ULPI 外部 V_{BUS} 比较器（ULPI External V_{BUS} Compare） ULPI PHY 通过此位选择内部或外部 V_{BUS} 有效比较器。 0：内部 1：外部
22	DPSEL	R/W	选择 Dline 脉冲（Dline Pulsing Select） 该位选择在 SRP 期间数据线脉冲的驱动源。 0：utmi_txvalid 1：utmi_termsel
23	SINI	R/W	信号反转（Signal Invert） 该位表示 PHY 是否将 ExternalVbusIndicator 信号进行反转 0：不反转 1：反转，PHY 将 ExternalVbusIndicator 输入信号反转并生成互补输出
24	NPTHQ	R/W	不通过验证（No Pass Through Qualified） 该位控制互补输出是否通过内部 V_{BUS} 有效比较器验证 0：通过 1：不通过
25	ULPIIPCDIS	R/W	禁止 ULPI 接口保护电路（ULPI Interface Protect Circuit Disable） 0：使能 1：禁止
28:26	保留		

位/域	名称	R/W	描述
29	FHMODE	R/W	强制主机模式（Forced Host Mode） 0：正常模式 1：主机模式，25ms 后才生效
30	FDMODE	R/W	强制设备模式（Forced Device Mode） 0：正常模式 1：设备模式，25ms 后才生效
31	CTXP	R/W	发送数据包损坏（Corrupt TX Packet） 调试位，禁止置 1。

27.10.5 高速 OTG 复位控制寄存器（OTG_HS1_GRSTCTRL）

偏移地址：0x010

复位值：0x2000 0000

位/域	名称	R/W	描述
0	CSRST	R/S	软件复位模块（Core Soft Reset） 该位控制 HCLK 和 PCLK 复位。 除以下各位外，将各个中断和所有 CSR 寄存器位清零： ● OTG_HS1_PCGCTRL 中的 GCLK 位 ● OTG_HS1_PCGCTRL 中的 PCLKSTOP 位 ● OTG_HS1_HCFG 中的 PHYCLKSEL 位 ● OTG_HS1_DCFG 中的 DSPDSEL 位 将 AHB 从机复位为空闲状态，清空 TXFIFO 和 RXFIFO，当结束 AHB 传输后，应尽快中止 AHB 的所有事务，立即中止 USB 上的所有事务。 一般在以下两种情况下使用软件复位： ● 软件开发期间 ● 用户动态更改以上所列 USB 配置寄存器中的 PHY 选择位后。用户更改 PHY 时，将为 PHY 选择相应的时钟并用于 PHY 域中。一旦选择了新的时钟，则必须复位 PHY 域，才能保证正常运行
1	HSRST	R/S	软件复位 HCLK（HCLK Soft Reset） 该位用于刷新 AHB 时钟域的控制逻辑。 清除该中断时，需要清除对应的屏蔽中断状态控制位；当中断状态位未清零时，可以读取该位置 1 后的事件状态。
2	HFCNTRST	R/S	复位主机帧计数器（Host Frame Counter Reset） 通过写该位复位主机中的帧数计数器，复位后后续发送的 SOF 帧号为 0。 注意：只在主机模式下访问。
3	保留		
4	RXFFLU	R/S	刷新 RXFIFO（Flush RXFIFO） 该位用于刷新整个 RXFIFO，在对该位执行写操作之前，需要确保模块未对 RXFIFO 执行读写操作。 该位清 0 后，其他操作才可执行（通常需要等待 8 个时钟周期）。
5	TXFFLU	R/S	刷新 TXFIFO（Flush TXFIFO） 该位用于刷新一个或所有 TXFIFO，在对该位执行写操作之前，需要确保模块未对 TXFIFO 执行读写操作。

位/域	名称	R/W	描述
10:6	TXFNUM	R/W	TXFIFO 编号（TXFIFO Number） 使用 TXFIFO 刷新位刷新 FIFO 编号，这些位只能在刷新 TXFFIO 清 0 后更改。 主机模式下： 00000：刷新非周期性 TXFIFO 00001：刷新周期性 TXFIFO 10000：刷新所有 TXFIFO 设备模式下： 00000：刷新 TXFIFO 0 00001：刷新 TXFIFO 1 …… 00101：刷新 TXFIFO 15 10000：刷新所有 TXFIFO
29:11	保留		
30	DMAREQ	R	DMA 请求（DMA Request） 此位表示正在进行 DMA 请求。
31	AHBMIDL	R	AHB 主设备空闲（AHB Master Idle） 该位表示 AHB 主设备处于空闲状态。

27.10.6 高速 OTG 模块中断寄存器（OTG_HS1_GCINT）

偏移地址：0x014

复位值：0x0400 0020

为了避免在初始化前产生中断，软件必须在使能中断位前将此寄存器清零。

位/域	名称	R/W	描述
0	CURMOSEL	R	选择当前工作模式（Current Mode of Opration Select） 0：设备模式 1：主机模式
1	MMIS	RC_W1	模式不匹配中断（Mode Mismatch Interrupt） 访问以下寄存器时，该位置 1： ● 在设备模式下访问主机模式寄存器 ● 在主机模式下访问设备模式寄存器
2	OTG	R	OTG 中断（OTG Interrupt） 此位被置 1 时表示发生 OTG 协议事件。
3	SOF	RC_W1	帧起始中断（Frame Start Interrupt） 当此位被置位时： ● 主机模式下，表示 USB 已发送一个 SOF（FS）或者 Keep-Alive（LS）； ● 设备模式下，表示 USB 已接收到一个 SOF，可以通过读取设备状态寄存器获取当前的帧编号。仅在 FS 模式运行下产生中断。
4	RXFNONE	R	RXFIFO 非空中断（RXFIFO Nonempty Interrupt） 该位表示 RXFIFO 中至少还有一个数据包
5	NPTXFEM	R	非周期性 TXFIFO 空中断（Nonperiodic TXFIFO Empty Interrupt） 当非周期性 TXFIFO 为非空且请求队列中存在可写入条目的空间时，将触发此中断。

位/域	名称	R/W	描述
			注意：仅在主机模式下访问
6	GINNPNAKE	R	全局非周期性 IN NAK 有效中断（Global IN Nonperiodic NAK Effective Interrupt） 该位表示 OTG_HS_DCTL 寄存器的 SGINAK 位有效；可以通过清除 OTG_HS_DCTL 寄存器的 CGINAK 位，清除该位。 STALL 优先级高于 NAK 位。 注意：仅在设备模式下访问
7	GONAKE	R	全局 OUT NAK 有效中断（Global OUT NAK Effective Interrupt） 该位表示 OTG_HS1_DCTRL 寄存器的 GONAKSET 有效；可以通过清除 OTG_HS1_DCTRL 中的 GONALCLR 位，清除该位。 注意：仅在设备模式下访问
9:8	保留		
10	ESUS	RC_W1	早期挂起中断（Early Suspend Interrupt） 当 USB 处于空闲状态已经达到 3ms 时，该位置 1。 注意：仅在设备模式下访问
11	USBSUS	RC_W1	USB 挂起中断（USB Suspend Interrupt） 当检测到 USB 挂起时，该位置 1；当 USB 空闲状态保持 3ms 时，USB 进入挂起状态。 注意：仅在设备模式下访问
12	USBRST	RC_W1	USB 复位中断（USB Reset Interrupt） 当在 USB 上检测到复位时，该位置 1。 注意：仅在设备模式下访问
13	ENUMD	RC_W1	枚举完成中断（Enumeration Done Interrupt） 当完成速度枚举时，该位置 1。 注意：仅在设备模式下访问
14	ISOPD	RC_W1	丢弃同步 OUT 数据包中断（(Isochronous OUT Packet Dropped Interrupt) 当 RXFIFO 空间不足，无法向 RXFIFO 写入同步 OUT 数据包时，该位置 1 注意：仅在设备模式下访问
15	EOPF	RC_W1	周期性帧结束中断（End of Periodic Frame Interrupt） 该位表示当前帧达到 OTG_HS1_DCFG 寄存器中的 PFITV 位所指定的周期。 注意：仅在设备模式下访问
17:16	保留		
18	INEP	R	IN 端点中断（IN Endpoint Interrupt） 当一个 IN 端点存在挂起中断时，该位置 1。 通过读取 OTG_HS1_DAEPINT 寄存器，确定发生中断的 OUT 端点，紧接着读取 OTG_HS1_DIEPINTx 寄存器，确定触发中断的原因；通过清除 OTG_HS1_D1EPINTx 寄存器的相应状态位，清除该位。 注意：仅在设备模式下访问
19	ONEP	R	OUT 端点中断（OUT Endpoint Interrupt） 通过读取 OTG_HS1_DAEPINT 寄存器确定发生中断的 OUT 端点的编号，通过读取 OTG_HS1_DOEPINTx 寄存器确定触发中断的原因。

位/域	名称	R/W	描述
			如果要清除该位，要先清除 OTG_HS1_DOEPINTx 寄存器的相应状态位。 注意：仅在设备模式下访问
20	IIINTX	RC_W1	未完成 IN 同步传输中断（Incomplete Isochronous IN Transfer Interrupt） 当前帧中至少有一个同步 IN 端点上的传输未完成时，该位置 1 该中断与 EOPF 同时触发。 注意：仅在设备模式下访问
21	IP_OUTTX	RC_W1	未完成周期性传输中断（Incomplete Periodic Transfer Interrupt） 此位在不同模式下，此位置 1 时指示的中断不同。 在主机模式下，计划在当前帧应完成的周期性事务仍处于挂起状态（即未完成），将触发未完成周期性传输中断。 在设备模式下，当前帧中至少有一个同步 OUT 端点上的传输未完成时，将触发未完成 OUT 同步传输中断，该中断与 EOPF 同时触发。
22	DFSUS	R	数据获取挂起中断（Data Fetch Suspended Interrupt） 在 DMA 模式下，当 TXFIFO 或请求队列空间不足而停止获取数据时，产生数据获取挂起中断。
23	保留		
24	HPORT	R	主机端口中断（Host Port Interrupt） 当主机模式下全速 OTG 控制器端口的状态发生变化时，该位置 1。 注意：仅在主机模式下访问。
25	HCHAN	R	主机通道中断（Host Channels Interrupt） 当主机通道上存在挂起中断时，该位置 1。 注意：仅在主机模式下访问。
26	PTXFE	R	周期性 TXFIFO 空中断（Periodic TXFIFO Empty Interrupt） 当周期性 TXFIFO 为空且请求队列中存在可写入条目的空间时，将触发此中断。 注意：仅在主机模式下访问。
27	保留		
28	CINSTSC	RC_W1	连接器 ID 线更改状态中断（Connector ID Status Change Interrupt） 当连接器 ID 线状态发生更改时，该位置 1。
29	DEDIS	RC_W1	断开连接中断（Device Disconnect Interrupt） 当检测到设备断开连接时，该位置 1。 注意：仅在主机模式下访问
30	SREQ	RC_W1	会话请求/新会话中断（Session Request/New Session Interrupt） 在不同模式下，触发此中断的条件： ● 主机模式下，检测会话请求 ● 设备模式下，V_{BUS} 在 B 器件的范围内
31	RWAKE	RC_W1	恢复/远程唤醒中断（Resume/Remote Wakeup Interrupt） 在不同模式下，触发此中断的条件： ● 主机模式下，在 USB 上检测到远程唤醒信号 ● 设备模式下，在 USB 总线上检测到恢复信号

27.10.7 高速 OTG 模块中断屏蔽寄存器（OTG_HS1_GINTMAS）

偏移地址：0x018

复位值：0x0000 0000

位/域	名称	R/W	描述
0	保留		
1	MMISM	R/W	屏蔽模式不匹配中断（Mode Mismatch Interrupt Mask） 0：中断屏蔽 1：中断
2	OTGM	R/W	屏蔽 OTG 中断（OTG Interrupt Mask） 0：中断屏蔽 1：中断
3	SOFM	R/W	屏蔽帧起始中断（Frame Start Interrupt Mask） 0：中断屏蔽 1：中断
4	RXFNONEM	R/W	屏蔽 RXFIFO 非空中断（RXFIFO Nonempty Interrupt Mask） 0：中断屏蔽 1：中断
5	NPTXFEMM	R/W	屏蔽非周期性 TXFIFO 空中断（Nonperiodic TXFIFO Empty Interrupt Mask） 0：中断屏蔽 1：中断 注意：仅在主机模式下访问
6	GINNPNAKEM	R/W	屏蔽全局非周期性 IN NAK 有效中断（Global IN Nonperiodic NAK Effective Interrupt Make） 0：中断屏蔽 1：中断 注意：仅在设备模式下访问
7	GONAKEM	R/W	屏蔽全局 OUT NAK 有效中断（Global OUT NAK Effective Interrupt Mask） 0：中断屏蔽 1：中断 注意：仅在设备模式下访问
9:8	保留		
10	ESUSM	R/W	屏蔽早期挂起中断（Early Suspend Interrupt Mask） 0：中断屏蔽 1：中断 注意：仅在设备模式下访问
11	USBSUSM	R/W	屏蔽 USB 挂起中断（USB Suspend Interrupt Mask） 0：中断屏蔽 1：中断 注意：仅在设备模式下访问
12	USBRSTM	R/W	屏蔽 USB 复位中断（USB Reset Interrupt Mask） 0：中断屏蔽 1：中断 注意：仅在设备模式下访问

位/域	名称	R/W	描述
13	ENUMDM	R/W	屏蔽完成枚举中断（Enumeration Done Interrupt Mask） 0：中断屏蔽 1：中断 注意：仅在设备模式下访问
14	ISOPDM	R/W	屏蔽丢弃同步 OUT 数据包中断（(Isochronous OUT Packet Dropped Interrupt Mask) 0：中断屏蔽 1：中断 注意：仅在设备模式下访问
15	EOPFM	R/W	屏蔽周期性帧结束中断（End of Periodic Frame Interrupt Mask） 0：中断屏蔽 1：中断 注意：仅在设备模式下访问
16	保留		
17	EPMISM	R/W	屏蔽端点不匹配中断（Endpoint Mismatch Interrupt Mask） 0：屏蔽中断 1：中断 注意：仅在设备模式下访问
18	INEPM	R/W	屏蔽 IN 端点中断（IN Endpoint Interrupt Mask） 0：屏蔽中断 1：中断 注意：仅在设备模式下访问
19	OUTEPM	R/W	屏蔽 OUT 端点中断（OUT Endpoint Interrupt Mask） 0：屏蔽中断 1：中断 注意：仅在设备模式下访问
20	IIINTXM	R/W	屏蔽未完成 IN 同步传输中断（Incomplete Isochronous IN Transfer Interrupt Mask） 0：屏蔽中断 1：中断 注意：仅在设备模式下访问
21	IP_OUTTXM	R/W	屏蔽未完成周期性传输中断（Incomplete Periodic Transfer Interrupt Mask） 主机模式下，此位控制是否屏蔽未完成周期性传输中断。 设备模式下，此位控制是否屏蔽未完成 OUT 同步传输中断。 0：屏蔽中断 1：中断
22	DFSUSM	R/W	屏蔽数据获取挂起中断（Data Fetch Suspended Interrupt Mask） 0：屏蔽中断 1：中断
23	保留		

位/域	名称	R/W	描述
24	HPORTM	R	屏蔽主机端口中断（Host Port Interrupt Mask） 0：屏蔽中断 1：中断 注意：仅在主机模式下访问
25	HCHM	R/W	屏蔽主机通道中断（Host Channels Interrupt Mask） 0：屏蔽中断 1：中断 注意：仅在主机模式下访问
26	PTXFEM	R/W	屏蔽周期性 TXFIFO 空中断（Periodic TXFIFO Empty Interrupt Mask） 0：屏蔽中断 1：中断 注意：仅在主机模式下访问
27	保留		
28	CIDSTSCM	R/W	屏蔽连接器 ID 线更改状态中断（Connector ID Status Change Interrupt Mask） 0：屏蔽中断 1：中断
29	DEDISM	R/W	屏蔽断开连接中断（Device Disconnect Interrupt Mask） 0：屏蔽中断 1：中断
30	SREQM	R/W	屏蔽会话请求/新会话中断（Session Request/New Session Interrupt Mask） 0：屏蔽中断 1：中断
31	RWAKEM	R/W	屏蔽恢复/远程唤醒中断（Resume/Remote Wakeup Interrupt Mask） 0：屏蔽中断 1：中断

27.10.8 高速 OTG 读取调试接收状态寄存器/高速 OTG 状态读取和出栈寄存器（OTG_HS1_GRXSTS/OTG_HS1_GRXSTSP）

读取偏移地址：0x01C

出栈偏移地址：0x020

复位值：0x0000 0000

主机模式

位/域	名称	R/W	描述
3:0	CHNUM	R	通道编号（Channel Number） 该位表示接受的数据包是由哪个通道传输的。
14:4	BCNT	R	字节计数（Byte Count） 该位表示接收的 IN 数据包的字节数。
16:15	DPID	R	数据 PID（Data PID） 该位表示接收的数据包的 PID 00：DATA0

位/域	名称	R/W	描述
			10：DATA1 01：DATA2 11：MDATA
20:17	PSTS	R	数据包状态（Packet Status） 该位表示接收的数据包的状态。 0010：接收到 IN 数据包 0011：IN 传输完成 0101：数据同步错误 0111：通道停止 其他：保留
31:21	保留		

设备模式

位/域	名称	R/W	描述
3:0	EPNUM	R	端点编号（Endpoint Number） 此位表示接受的数据包是由哪个端点传输的。
14:4	BCNT	R	字节计数（Byte Count） 此位表示接收的数据包的字节数。
16:15	DPID	R	数据 PID（Data PID） 该位表示接收的数据包的 ID（PID）。 00：DATA0 01：DATA2 10：DATA1 11：MDATA
20:17	PSTS	R	数据包状态（Packet Status） 该位表示接收的数据包的状态 0001：全局 OUT NAK 0010：接收到 OUT 数据包 0011：OUT 传输完成 0100：完成 SETUP 事件 0110：接收到 SETUP 数据包 其他：保留
24:21	FNUM	R	帧编号（Frame Number） 支持同步 OUT 端点时这些位有效。 这些位是 USB 上接收的数据包帧编号的 4 个最低有效位。
31:25	保留		

27.10.9 高速 OTG 接收 FIFO 大小寄存器（OTG_HS1_GRXFIFO）

偏移地址：0x024

复位值：0x0000 0200

位/域	名称	R/W	描述
15:0	RXFDEP	R/W	RXFIFO 深度（RXFIFO Depth） RXFIFO 以字为单位，深度范围：16~1024。
31:16	保留		

27.10.10 高速 OTG TXFIFO 配置寄存器（OTG_HS1_GTXFCFG）

偏移地址：0x028

复位值：0x0000 0200

主机模式

位/域	名称	R/W	描述
15:0	NPTXSA	R/W	非周期性 TXFIFO RAM 起始地址（Nonperiodic TXFIFO RAM Start Address） 该位表示非周期性 TXFIFO RAM 的起始地址。
31:16	NPTXFDEP	R/W	非周期性 TXFIFO 深度（Nonperiodic TXFIFO Depth） TXFIFO 以字为单位，深度范围为：16~1024。

设备模式

位/域	名称	R/W	描述
15:0	EPTXSA	R/W	端点 0 TXFIFO RAM 起始地址（Endpoint0 TXFIFO RAM Start Address） 该位表示端点 0 的 TXFIFO RAM 的起始地址。
31:16	EPTXFDEP	R/W	端点 0 TXFIFO 深度（Endpoint0 TXFIFO Depth） TXFIFO 以字为单位，深度范围为：16~256。

27.10.11 高速 OTG 非周期性 TXFIFO 队列状态寄存器（OTG_HS1_GNPTXFQSTS）

偏移地址：0x02C

复位值：0x0008 0200

位/域	名称	R/W	描述
15:0	NPTXFSA	R	非周期性 TXFIFO 可用空间（Nonperiodic TXFFIO Space Available） 这些位表示非周期性 TXFIFO 的可用空间的大小。（以 32 位字为单位） hx0：非周期性 TXFIFO 满 hx1：1 个字 hx2：2 个字 ….. hxn：n 个字可用（0≤n≤16） 其他：保留
23:16	NPTXRSA	R	非周期性发送请求队列可用空间（Nonperiodic Transmit Request Space Available） 此位表示非周期性发送请求队列的可用空间大小。 主机模式下：保存 IN 和 OUT 请求 设备模式下：只有 IN 请求 hx0：队列已满 hx1：1 个位置 hx2：2 个位置 …… hxn：n 个位置可用（0≤n≤8） 其他：保留

位/域	名称	R/W	描述
30:24	NPTXRQ	R	非周期性发送请求队列（Nonperiodic Transmit Request Queue） 位[24]：终止（通道/端点选定的最后一项） 位[26:25]： 00：IN/OUT 令牌 01：发送数据包长度为 0（设备模式下 IN/主机模式下 OUT） 10：PING/CPLIT 令牌 11：停止通道指令 位[30:27]：通道/端点编号
31	保留		

27.10.12 高速 OTG I2C 访问寄存器（OTG_HS1_GI2CAC）

偏移地址：0x030

复位值：0x0000 0000

位/域	名称	R/W	描述
7:0	SRWD	R/W	存储 I2C 读/写数据（Storage I2C Read/Write Data） 读操作后，这些位存储程序读取的数据。 写操作期间，这些位存储程序要写的数据。
15:8	RADDR	R/W	I2C 寄存器地址（I2C Register Address） 这些位用于存储要读取/写入的寄存器地址。
22:16	DADDR	R/W	I2C 设备地址（I2C Device Address） 这些位表示 7 位 I2C 设备地址，可以用于访问外部的 I2C 从设备，包括全速串行收发器的 I2C 从设备。
23	I2CEN	R/W	使能 I2C（I2C Enable） 0：禁止 1：使能
24	ACK	R/W	I2C 应答（I2C ACK） 该位表示是否从 I2C 收到 ACK 应答。 0：NAK 1：ACK 当使能 I2C 且 I2CSTSFLG 位清 0 时，此位有效。
25	保留		
27:26	DADDRSEL	R/W	选择 I2C 设备地址（I2C Device Address Select） 这些位选择用于进行 OTG 信号使用的全速串行收发器的 I2C 从设备地址。
28	USBMSEL	R/W	选择 I2C USB 模式（I2C USB Mode Select） 0：VP_VM USB 模式 1：DAT_SE0 USB 模式
29	保留		
30	RTRCFG	R/W	配置寄存器传输（Register Transfer Configure） 该位表示是读寄存器还是写寄存器传输。 0：写 1：读
31	I2CSTSFLG	R/W	I2C 状态标志（I2C Status Flage） 0：空闲

位/域	名称	R/W	描述
			1：忙碌，用于启动 I2C 的一个请求

27.10.13 高速 OTG 通用模块配置寄存器（OTG_HS1_GGCCFG）

偏移地址：0x038

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	保留		
16	PWEN	R/W	使能掉电（Power Down Enable） 该位用于在发送/接收时激活收发器。 0：激活 1：禁止（激活收发器）
17	I2CBEN	R/W	使能 I2C 总线（I2C Bus Enable） 该位用于连接 I2C 接口的外部 PHY。 0：禁止 1：使能
18	ADVBSEN	R/W	使能 A 设备 V_{BUS} 感应功能（A Device V_{BUS} Sensing Enable） 0：禁止 1：使能
19	BDVBSEN	R/W	使能 B 设备 V_{BUS} 感应功能（B Device V_{BUS} Sensing Enable） 0：禁止 1：使能
20	SOFPOUT	R/W	PAD 输出 SOF 脉冲（SOF Pulse Available on PAD Output Enable） 此位选择 SOF 脉冲能否从 PAD 输出。 0：不能 1：能
21	VBSDIS	R/W	禁止 V_{BUS} 感应（VBUS Sensing Disable） 0：支持 V_{BUS} 感应 1：禁止 V_{BUS} 感应
31:22	保留		

27.10.14 高速 OTG 模块 ID 寄存器（OTG_HS1_GCID）

偏移地址：0x03C

复位值：0x0000 1100

位/域	名称	R/W	描述
31:0	PID	R/W	产品 ID（Product ID） 可以通过该位编程 ID。

27.10.15 高速 OTG 主机周期性 TXFIFO 大小寄存器（OTG_HS1_GHPTXFSIZE）

偏移地址：0x100

复位值：0x0200 0600

位/域	名称	R/W	描述
15:0	HPDTXFSA	R/W	主机周期性 TXFIFO 起始地址（Host Periodic TXFIFO Start Address）
31:16	HPDTXFDEP	R/W	主机周期性 TXFIFO 深度（Host Periodic TXFIFO Depth） TXFIFO 以字为单位。最小值为 16，最大值为 512。

27.10.16 高速 OTG 设备 IN 端点 TXFIFO 大小寄存器 x（OTG_HS1_GHPTXFIFOx）（x=1~7）

偏移地址：0x104+4(x-1)

复位值：0x0200 0400

x 为 FIFO 编号。

位/域	名称	R/W	描述
15:0	INEPTXFRSA	R/W	IN 端点 TXFIFOx RAM 起始地址（IN Endpoint TXFIFOx Transmit RAM Start Address） 这些位表示 IN 端点 TXFIFOx RAM 的起始地址，需要与 32 位存储器对齐。
31:16	INEPTXFDEP	R/W	IN 端点 TXFIFO 深度（IN Endpoint TXFIFO Depth） 深度范围为：16~512 上电复位值为最大 IN 端点深度。

27.11 OTG_HS1 主机模式寄存器地址映射

表格 138 OTG_HS1 主机模式寄存器地址映射

寄存器名	描述	偏移地址
OTG_HS1_HCFG	高速 OTG 主机配置寄存器	0x400
OTG_HS1_HFIVL	高速 OTG 主机帧间隔寄存器	0x404
OTG_HS1_HFIFM	高速 OTG 主机帧信息寄存器	0x408
OTG_HS1_HPTXSTS	高速 OTG 主机定期发送状态寄存器	0x410
OTG_HS1_HACHINT	高速 OTG 主机所有通道中断寄存器	0x414
OTG_HS1_HACHIMASK	高速 OTG 主机所有通道中断屏蔽寄存器	0x418
OTG_HS1_HPORTCSTS	高速 OTG 主机端口控制状态寄存器	0x440
OTG_HS1_HCHX	高速 OTG 主机通道 X 特性寄存器(X=0…11)	0x500+20*X
OTG_HS1_HCHSCTRLX	高速 OTG 主机通道 X 分程控制寄存器(X=0…11)	0x504+20*X
OTG_HS1_HCHINTX	高速 OTG 主机通道 X 中断寄存器(X=0…11)	0x508+20*X
OTG_HS1_HCHIMASKX	高速 OTG 主机通道 X 中断屏蔽寄存器(X=0…11)	0x50C+20*X
OTG_HS1_HCHTSIZEX	高速 OTG 主机通道 X 传输大小寄存器(X=0…11)	0x510+20*X
OTG_HS1_HCHDMAX	高速 OTG 主机通道 X 的 DMA 地址寄存器(x=0…11)	0x514+20*X

27.12 OTG_HS1 主机模式寄存器功能描述

27.12.1 高速 OTG 主机配置寄存器（OTG_HS1_HCFG）

偏移地址：0x400

复位值：0x0000 0000

位/域	名称	R/W	描述
1:0	PHYCLKSEL	R/W	选择 FS/LS PHY 时钟（FS/LS PHY Clock Select） 此位用于选择 USB 分别处于 FS 和 LS 主机模式时的 PHY 时钟频率。 ● 当 USB 处于 FS 主机模式时： 10：48MHz 其他：保留 ● 当 USB 处于 LS 主机模式时： 00：保留 01：48MHz 10：6MHz 11：保留 注意：更改前必须进行软件复位。
2	HSSPT	R	支持 HS（HS Support） 此位用于控制连接设备是否支持 HS 通信。 0：支持 HS/FS/LS 1：仅支持 FS/LS，不支持 HS
31:3	保留		

27.12.2 高速 OTG 主机帧间隔寄存器（OTG_HS1_HFIVL）

偏移地址：0x404

复位值：0x0000 EA60

位/域	名称	R/W	描述
15:0	FIVL	R/W	帧间隔（Frame Interval） 此位用于表示两个连续地 SOF、micro-SOF 或 Keep-Alive 令牌之间的时间间隔。如果应用程序没有指定，那么则通过下列式子进行计算得出间隔的值： 帧间隔=帧持续时间×PHY 时钟频率
31:16	保留		

27.12.3 高速 OTG 主机帧信息寄存器（OTG_HS1_HFIFM）

偏移地址：0x408

复位值：0x0000 3FFF

位/域	名称	R/W	描述
15:0	FNUM	R	帧序号（Frame Number） 此位相当于一个计数器，每当在 USB 发送一个新的 SOF 时，此位的值加 1，知道 0x3FFF 则清零。
31:16	FRTIME	R	帧剩余时间（Frame Remaining Time） 此位表示当前帧的剩余时间。每过去 1 个 PHY 时钟，此位减 1，直到此位为 0，则重新装载值，并在 USB 发送一个新的 SOF。

27.12.4 高速 OTG 主机定期发送状态寄存器（OTG_HS1_HPTXSTS）

偏移地址：0x410

复位值：0x0008 0100

位/域	名称	R/W	描述
15:0	FSPACE	R/W	周期性发送数据 FIFO 空余空间（Periodic Transmit Data FIFO Available Space） 此位表示周期性 TxFIFO 的空余空间（以 32 位字为单元）， hx0000：TxFIFO 已满 hx0001：1 个字 hx0010：2 个字 hxn：dxn 个字（0≤dxn≤dx512） 其他：保留
23:16	QSPACE	R	周期性发送请求队列可用空间（Periodic Transmit Request Queue Available Space） 此位表示发送请求队列可用空间（以 32 位字为单元）， hx00：TxFIFO 已满 hx01：1 个字 hx10：2 个字 hxn：dxn 个字（0≤dxn≤dxHPDTXFDEP） 其他：保留 注意：HPDTXFDEP 位于 OTG_HS1_GHPTXFIFO 寄存器。
31:24	QTOP	R	周期性发送队列头（Top of the Periodic Transmit Request Queue） 此位用于表示周期性 Tx 请求队列中， MAC 当前正在处理的项。 第 31 位：奇/偶数帧 0：偶数帧 1：奇数帧 第 30:27 位：通道/端点的序号 第 26:25 位：类型 00：输入/输出 01：长度为零的数据包 11：禁止通道命令 第 24 位：结束

27.12.5 高速 OTG 主机所有通道中断寄存器（OTG_HS1_HACHINT）

偏移地址：0x414

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	ACHINT	R	所有通道中断（All Channels Interrupts） 第 X 位代表通道 X 的中断。最多有 16 个通道。
31:16	保留		

27.12.6 高速 OTG 主机所有通道中断屏蔽寄存器（OTG_HS1_HACHIMASK）

偏移地址：0x418

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	ACHIMASK	R/W	屏蔽所有通道中断（All Channels Interrupts Mask） 第 X 位代表通道 X 的中断屏蔽。最多有 16 个通道。 0：屏蔽 1：不屏蔽
31:16	保留		

27.12.7 高速 OTG 主机端口控制状态寄存器（OTG_HS1_HPORTCSTS）

偏移地址：0x440

复位值：0x0000 0000

位/域	名称	R/W	描述
0	PCNNTFLG	R/W	端口连接标志（Port Connect Flag） 此位表示端口有无连接设备。 0：未连接 1：已连接
1	PCINTFLG	RC_W1	端口连接标志触发中断（Port Connect Interrupt for Flag Triggering） 此位检测到端口连接后触发中断。
2	PEN	RC_W0	使能端口（Port Enable） 0：禁止 1：使能
3	PENCHG	RC_W1	改变使能端口位（PEN Bit Change） 当此寄存器的 PEN 位改变时，此位置 1。
4	POVC	R	端口过载（Port Overcurrent） 此位用于表示端口有无过载。 0：无过载 1：过载
5	POVCCHG	RC_W1	改变端口过载位（POVC Bit Change） 当 POVC 位改变时，此位置 1。
6	PRS	R/W	端口恢复（Port Resume） 当收到 USB 远程唤醒信号时，则在该端口上驱动恢复信号。 0：不驱动 1：驱动
7	PSUS	R/S	挂起端口（Port Suspend） 指示端口是否处于挂起模式。端口挂起时，USB 会停止发送 SOF。 0：未挂起 1：挂起
8	PRST	R/W	复位端口（Port Reset） 用于控制端口发起复位信号。 0：未复位 1：复位
9	保留		
11:10	PDLSTS	R	端口数据队列状态（Port Data Line Status） 此位用于表示 USB 端口的数据队列的逻辑电平。 [10]表示 OTG_HS_FS_DP 的逻辑电平

位/域	名称	R/W	描述
			[11]表示 OTG_HS_FS_DM 的逻辑电平 其他：保留
12	PP	R/W	端口电源（Port Power） 此位用于控制端口的通电情况。 0：掉电 1：通电
16:13	PTSEL	R/W	选择端口测试模式（Port Test Mode Select） 此位用于选择端口产生的模式信号。 0000：禁止测试 0001：Test_J 0010：Test_K 0011：Test_SE0_NAK 0100：Test_Packet 0101：Test_Force_Enable 其他：保留
18:17	PSPDSEL	R	选择端口速度（Port Speed Select） 00：高速 01：全速 10：低速 11：保留
31:19	保留		

27.12.8 高速 OTG 主机通道 X 特性寄存器（OTG_HS1_HCHX）(X=0…11)

偏移地址：0x500+20*X

复位值：0x0000 0000

位/域	名称	R/W	描述
10:0	MAXPSIZE	R/W	最大数据包大小（Maximum Data Packet Size） 此位表示与主机通信的设备端点的最大数据包的大小。
14:11	EDPNUM	R/W	端点序号（Endpoint Number） 此位表示与主机通信的设备端点号。
15	EDPDRT	R/W	端点方向（Endpoint Direction） 0：OUT 1：IN
16	保留		
17	LSDV	R/W	低速设备（Low-speed Device） 0：与非 LS 设备通信 1：与 LS 设备通信
19:18	EDPTYP	R/W	端点类型（Endpoint Type） 此位表示端点选择的传输类型。 00：控制 01：同步 10：批量 11：中断
21:20	CNTSEL	R/W	选择计数器作用（Count Function Select）

位/域	名称	R/W	描述
			此位可以通过 HCHSCTRLX 寄存器的 SPLEN 位，选择此位用于指示的计数器作用。 当 SPLEN=0 时： 此位指定周期性端点每微帧要执行的事务数量，或者非周期性传输时通道要获取的数据包数量。 00：保留 01：1 个事务 10：2 个事务 11：3 个事务 当 SPLEN=1 时： 此位用于设置周期性分离事务发生错误时，立即重试事务的次数，此时此位至少设置为 01。
28:22	DVADDR	R/W	设备地址（Device Address） 此位用于表示与主机通信的设备。
29	ODDF	R/W	奇数帧（Odd Frame） 对于周期性事务，此位控制主机传输的是奇数帧或是偶数帧。 0：偶数帧 1：奇数帧
30	CHINT	R/S	通道中断（Channel Interrupt） 0：无操作 1：停止通过通道传输数据
31	CHEN	R/S	使能通道（Channel Enable） 0：禁止 1：使能

27.12.9 高速 OTG 主机通道 X 分程控制寄存器（OTG_HS1_HCHSCTRLX）(X=0…11)

偏移地址：0x504+20*X

复位值：0x0000 0000

位/域	名称	R/W	描述
6:0	PADDR	R/W	端口地址（Port Address） 此位用于存储接收端事务转发器的端口序号。
13:7	HADDR	R/W	集线器地址（Hub Address） 此位用于存储事务转发器的集线器设备地址。
15:14	TPOST	R/W	事务位置（Transaction Position） 此位用于决定发送 OUT 事务中哪个位置的负载。 00：中间 01：结尾 10：起始 11：全部
16	DO_CMP_SPL	R/W	执行完成分离（Do Complete Split） 0：保留 1：向主机发送执行完全分离事务的请求
30:17	保留		

位/域	名称	R/W	描述
31	SPLEN	R/W	分离使能（Split Enable） 0：禁止 1：使能，允许通道执行分离事务

27.12.10 高速 OTG 主机通道 X 中断寄存器（OTG_HS1_HCHINTX）(X=0…11)

偏移地址：0x508+20*X

复位值：0x0000 0000

位/域	名称	R/W	描述
0	TSFCMPN	RC_W1	传输正常完成（Transfer Complete Normally） 传输正常完成，无错误。
1	TSFCMPAN	RC_W1	传输异常完成（Transfer Complete Abnormally） 传输出现异常，导致非正常结束。
2	AHBERR	RC_W1	AHB 错误（AHB Error） 只有在 DMA 模式下，且在 AHB 读/写操作期间发生的错误。
3	RXSTALL	RC_W1	收到 STALL 响应中断（STALL Response Received Interrupt）
4	RXNAK	RC_W1	收到 NAK 响应中断（NAK Response Received Interrupt）
5	RXTXACK	RC_W1	收到/发送 ACK 响应中断（ACK Response Received/Transmitted Interrupt）
6	RXNYET	RC_W1	收到 NYET 响应中断（NYET Response Received Interrupt）
7	TERR	RC_W1	事务中断（Transaction Error） 表示发生以下错误之一： CRC 校验失败 超时 位填充错误 EOP 错误
8	BABBLE	RC_W1	串扰错误（Babble Error）
9	FOVR	RC_W1	帧溢出错误（Frame Overrun Error）
10	DTOG	RC_W1	数据翻转错误（Data Toggle Error）
31:11	保留		

27.12.11 高速 OTG 主机通道 X 中断屏蔽寄存器（OTG_HS1_HCHIMASKX）(X=0…11)

偏移地址：0x50C+20*X

复位值：0x0000 0000

位/域	名称	R/W	描述
0	TSFCMPNM	R/W	屏蔽传输正常完成（Transfer Complete Normally Mask） 0：屏蔽 1：中断
1	TSFCMPANM	R/W	屏蔽传输异常完成（Transfer Complete Abnormally Mask） 0：屏蔽 1：中断

位/域	名称	R/W	描述
2	AHBERRM	R/W	屏蔽 AHB 错误（AHB Error Mask） 0：屏蔽 1：中断
3	RXSTALLM	R/W	屏蔽收到 STALL 响应中断（STALL Response Received Interrupt Mask） 0：屏蔽 1：中断
4	RXNAKM	R/W	屏蔽收到 NAK 响应中断（NAK Response Received Interrupt Mask） 0：屏蔽 1：中断
5	RXTXACKM	R/W	屏蔽收到/发送 ACK 响应中断（ACK Response Received/Transmitted Interrupt） 0：屏蔽 1：中断
6	RXNYETM	R/W	屏蔽收到 NYET 响应中断（NYET Response Received Interrupt Mask） 0：屏蔽 1：中断
7	TERRM	R/W	屏蔽事务中断（Transaction Error Mask） 0：屏蔽 1：中断
8	BABBLEM	R/W	屏蔽串扰错误（Babble Error Mask） 0：屏蔽 1：中断
9	FOVRM	R/W	屏蔽帧溢出错误（Frame Overrun Error Mask） 0：屏蔽 1：中断
10	DTOGM	R/W	屏蔽数据翻转错误（Data Toggle Error Mask） 0：屏蔽 1：中断
31:11	保留		

27.12.12 高速 OTG 主机通道 X 传输大小寄存器（OTG_HS1_HCHTSIZEX）(X=0…11)

偏移地址：0x510+20*X

复位值：0x0000 0000

位/域	名称	R/W	描述
18:0	TSFSIZE	R/W	传输大小（Transfer Size） 对于 OUT：此位表示主机发送的数据字节数目。 对于 IN：此位表示缓冲区大小。
28:19	PCKTCNT	R/W	数据包计数（Packet Count） 此位用于记录发送或接受的数据包的数量。

位/域	名称	R/W	描述
30:29	DATAPID	R/W	数据 PID（Data PID） 此位用于设置主机传输数据通信时的初始 PID，且在传输期间一直保持。 00：DATA0 01：DATA2 10：DATA1 11：MDATA（控制传输）/SETUP（非控制传输）
31	DO_PING	R/W	执行 PING 协议（Do PING Protocol） 0：无操作 1：执行 PING 协议 注意：仅能对 OUT 传输时将此位置 1。

27.12.13 高速 OTG 主机通道 X 的 DMA 地址寄存器（OTG_HS1_HCHDMAX）(X=0…11)

偏移地址：0x514+20*X

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	ADDR	R/W	DMA 地址（DMA Address） 此位用于存储主机和设备传输数据所用 DMA 传输的存储器地址。

27.13 OTG_HS1 设备模式寄存器地址映射

表格 139 OTG_HS1 设备模式寄存器地址映射

寄存器名	描述	偏移地址
OTG_HS1_DCFG	高速 OTG 设备配备寄存器	0x800
OTG_HS1_DCTRL	高速 OTG 设备控制寄存器	0x804
OTG_HS1_DSTS	高速 OTG 设备状态寄存器	0x808
OTG_HS1_DINIMASK	高速 OTG 设备 IN 端点中断屏蔽寄存器	0x810
OTG_HS1_DOUTIMASK	高速 OTG 设备 OUT 端点中断屏蔽寄存器	0x814
OTG_HS1_DAEPINT	高速 OTG 设备所有端点中断寄存器	0x818
OTG_HS1_DAEPIMASK	高速 OTG 设备所有端点中断屏蔽寄存器	0X81C
OTG_HS1_DVBUSDTIM	高速 OTG 设备 VBUS 释放时间寄存器	0x828
OTG_HS1_DVBUSPTIM	高速 OTG 设备 VBUS 脉冲时间寄存器	0x82C
OTG_HS1_DTHCTRL	高速 OTG 设备阈值控制寄存器	0x830
OTG_HS1_DIEIMASK	高速 OTG 设备 IN 端点 FIFO 空中断屏蔽寄存器	0x834
OTG_HS1_DEPINT	高速 OTG 设备单个端点中断寄存器	0x838
OTG_HS1_DEPIMASK	高速 OTG 设备单个端点中断屏蔽寄存器	0x83C
OTG_HS1_DIN1IMASK	高速 OTG 设备 IN 端点 1 中断屏蔽寄存器	0x844
OTG_HS1_DOUT1MASK	高速 OTG 设备 OUT 端点 1 中断屏蔽寄存器	0x884

寄存器名	描述	偏移地址
OTG_HS1_DIEPCTRLx	高速 OTG 设备 IN 端点 x 控制寄存器（x=0…7）	0x900+20x
OTG_HS1_DIEPINTx	高速 OTG 设备 IN 端点 x 中断寄存器（x=0…7）	0x908+20x
OTG_HS1_DIEPTRS0	高速 OTG 设备 IN 端点 0 传输大小寄存器	0x910
OTG_HS1_DIEPTRSx	高速 OTG 设备 IN 端点 x 传输大小寄存器（x=1…3）	0x910+20x
OTG_HS1_DIEPDMAx	高速 OTG 设备 IN 端点 xDMA 地址寄存器（x=1…5）	0x914+20x
OTG_HS1_DITXFSTSx	高速 OTG 设备 IN 端点 x TXFIFO 状态寄存器（x=0…5）	0x918+20x
OTG_HS1_DOEPCTRL0	高速 OTG 设备 OUT 端点 0 控制寄存器	0xB00
OTG_HS1_DOEPCTRLx	高速 OTG 设备 OUT 端点 x 控制寄存器（x=1…3）	0xB00+20x
OTG_HS1_DOEPINTx	高速 OTG 设备 OUT 端点 x 中断寄存器（x=0…7）	0xB08+20x
OTG_HS1_DOEPTRS0	高速 OTG 设备 OUT 端点 0 传输大小寄存器	0xB10
OTG_HS1_DOEPTRSx	高速 OTG 设备 OUT 端点 x 传输大小寄存器（x=1…5）	0xB10+20x
OTG_HS1_DOEPDMAx	高速 OTG 设备 OUT 端点 xDMA 地址寄存器（x=1…5）	0xB14+20x

27.14 OTG_HS1 设备模式寄存器功能描述

27.14.1 高速 OTG 设备配置寄存器（OTG_HS1_DCFG）

偏移地址：0x800

复位值：0x0220 0000

位/域	名称	R/W	描述
1:0	DSPDSEL	R/W	选择设备速度（Device Speed Select） 此位用来选择此模块的速度。 00：高速 01：保留 10：保留 11：全速
2	SENDOUT	R/W	在非零长度状态发送接收 OUT 数据包（Send the Received OUT Packet on Nonzero-length Status） 在传输 OUT 事务阶段，模块在收到非零长度的数据包时，选择程序要发送的握手信号。 0：将收到的零或非零长度的 OUT 数据包发给应用程序，并回复 NAK 或 STALL 握手信号 1：不发送非零长度的 OUT 数据包，且回复 STALL 握手信号
3	保留		
10:4	DADDR	R/W	设备地址（Device Address） 应用程序在执行 SetAddress 命令后，把设备地址写入此位。

位/域	名称	R/W	描述
12:11	PFITV	R/W	周期性微帧间距（Periodic (Micro)Frame Interval） 该位用来选择时间点（一（微）帧内），时间点用于指示什么时候必须使用周期性（微）帧结束中断通知应用程序。 00：80%帧间隔 01：85%帧间隔 10：90%帧间隔 11：95%帧间隔
23:13	保留		
25:24	PSITV	R/W	周期性调度间距（Periodic Scheduling Interval） 表示 DMA 为获取周期性 IN 端点数据所分配的时间。 00：25%（微）帧 01：50%（微）帧 10：75%（微）帧 11：保留
31:26	保留		

27.14.2 高速 OTG 设备控制寄存器（OTG_HS1_DCTRL）

偏移地址：0x804

复位值：0x0000 0000

位/域	名称	R/W	描述
0	RWKUPS	R/W	远程唤醒信号（Remote Wakeup Signaling） 发送远程唤醒信号，可以是 USB 退出挂起状态，从而唤醒 USB 主机。 0：无操作 1：发送
1	SDCNNT	R/W	软断开（Soft Disconnect） 软断开指主机不会看到设备已连接，且该设备也不会接收 USB 上的信号。 0：正常工作 1：应用程序发送软断开信号 注意：此位清 0 前，USB 将一直处于断开状态。
2	GINAKSTS	R	全局 IN 应答状态（Global IN NAK Status） 此位控制回复握手信号是否与发送 FIFO 中的数据可用性有关。 0：有关 1：无关，所有非周期性 IN 端点都回复 NAK 握手信号
3	GONAKSTS	R	全局 OUT 应答状态（Global OUT NAK Status） 0：根据 FIFO 状态和相关配置位回复握手信号 1：不接受数据，丢弃所有 OUT 数据包，对所有数据包都回复 NAK 握手信号

位/域	名称	R/W	描述
6:4	TESTSEL	R/W	选择测试模式（Test Mode Select） 000：禁止测试 001：Test_J 010：Test_K 011：Test_SE0_NAK 100：Test_Packet 101：Test_Force_Enable 其他：保留
7	GINAKSET	W	设置全局 IN 应答（Global IN NAK Setup） 只有 OTG_HS1_GCINT 寄存器的 GINNPNAKEI 位为 0 时，才能将此位置 1，从而使所有非周期性 IN 端口发送 NAK 握手信号。
8	GINAKCLR	W	清除全局 IN 应答（Global IN NAK Clear） 将此位置 1 则清除 GINAKSET 位。
9	GONAKSET	W	设置全局 OUT 应答（Global OUT NAK Setup） 只有 OTG_HS1_GCINT 寄存器的 GONAKEI 位为 0 时，才能将此位置 1，从而使所有 OUT 端口发送 NAK 握手信号。
10	GONAKCLR	W	清除全局 OUT 应答（Global OUT NAK Clear） 将此位置 1 则清除 GONAKSET 位。
11	POPROGCMP	R/W	上电编程完成（Power-on Programming Complete） 此位表示寄存器已完成从掉电模式唤醒后的编程操作。
31:12	保留		

27.14.3 高速 OTG 设备状态寄存器（OTG_HS1_DSTS）

偏移地址：0x808

复位值：0x0000 0010

位/域	名称	R/W	描述
0	SUSSTS	R	挂起状态（Suspend Status） 0：非挂起状态 1：挂起状态
2:1	ENUMSPD	R	枚举速度（Enumerated Speed） 控制 OTG_HS1 通过 chirp 序列检测速度后，枚举的速度。 00：高速 01：保留 10：保留 11：全速
3	ERTERR	R	不规则错误（Erratic Error） 0：无不规则错误 1：检测到不规则错误
7:4	保留		
21:8	SOFNUM	R	接收 SOF 的帧序号（Frame Number of the Received SOF） 此位存储接收 SOF 的帧序号。
31:22	保留		

27.14.4 高速 OTG 设备 IN 端点中断屏蔽寄存器（OTG_HS1_DINIMASK）

偏移地址：0x810

复位值：0x0000 0000

位/域	名称	R/W	描述
0	TSFCMPM	R/W	屏蔽传输完成中断（Transfer Completed Interrupt Mask） 0：屏蔽 1：中断
1	EPDISM	R/W	屏蔽端点禁止中断（Endpoint Disable Interrupt Mask） 0：屏蔽 1：中断
2	保留		
3	TOM	R/W	屏蔽超时中断（Timeout Interrupt Mask） 0：屏蔽 1：中断
4	ITXEMPM	R/W	屏蔽 TXFIFO 空时接收到 IN 令牌中断（IN Token Received when TxFIFO Empty Mask） 0：屏蔽 1：中断
5	IEPMMM	R/W	屏蔽接收到端点不匹配的 IN 令牌中断（IN Token Received with Endpoint Mismatch Mask） 0：屏蔽 1：中断
6	IEPNAKEM	R/W	屏蔽 IN 端点 NAK 有效中断（IN Endpoint NAK Effective Mask） 0：屏蔽 1：中断
7	保留		
8	FUDRM	R/W	屏蔽 FIFO 下溢中断（FIFO Underrun Mask） 0：屏蔽 1：中断
9	BNAM	R/W	屏蔽 BNA 中断（BNA Interrupt Mask） 0：屏蔽 1：中断
31:10	保留		

27.14.5 高速 OTG 设备 OUT 端点中断屏蔽寄存器（OTG_HS1_DOUTIMASK）

偏移地址：0x814

复位值：0x0000 0000

位/域	名称	R/W	描述
0	TSFCMPM	R/W	屏蔽传输完成中断（Transfer Completed Interrupt Mask） 0：屏蔽 1：中断
1	EPDISM	R/W	屏蔽端点禁止中断（Endpoint Disable Interrupt Mask） 0：屏蔽 1：中断

位/域	名称	R/W	描述
2	保留		
3	SETPCMPM	R/W	屏蔽 SETUP 阶段完成中断（SETUP Phase Complete Mask） 0：屏蔽 1：中断
4	OTXEMPM	R/W	屏蔽端点被禁止时接收到 OUT 令牌中断（OUT Token Received when Endpoint Disabled Mask） 0：屏蔽 1：中断
5	保留		
6	BTBSETM	R/W	屏蔽连续接收 SETUP 数据包中断（Back-to-back SETUP Packets Received Mask） 0：屏蔽 1：中断
7	保留		
8	OPCKTERRM	R/W	屏蔽 OUT 数据包错误中断（OUT Packet Error Mask） 0：屏蔽 1：中断
9	BNAM	R/W	屏蔽 BNA 中断（BNA Interrupt Mask） 0：屏蔽 1：中断
31:10	保留		

27.14.6 高速 OTG 设备所有端点中断寄存器（OTG_HS1_DAEPINT）

偏移地址：0x818

复位值：0x0000 0000

此寄存器中的相应位对应 OTG_HS1_DIEPINTx/OTG_HS1_DOEPINTx 中的位，即相应的端点中断位需一致。

位/域	名称	R/W	描述
15:0	INEPINT	R	所有 IN 端点中断（All IN Endpoint Interrupts） 第 X 位代表 IN 端点 X 的中断。最多有 16 个 IN 端点。
31:16	OUTEPINT	R	所有 OUT 端点中断（All OUT Endpoint Interrupts） 第 X 位代表 OUT 端点（X-16）的中断。最多有 16 个 OUT 端点。

27.14.7 高速 OTG 设备所有端点中断屏蔽寄存器（OTG_HS1_DAEPIMASK）

偏移地址：0x81C

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	AINM	R/W	屏蔽所有 IN 端点中断（All IN Endpoint Interrupts Mask） 第 X 位代表 IN 端点 X 的中断屏蔽。最多有 16 个 IN 端点。 0：屏蔽 1：中断

位/域	名称	R/W	描述
31:16	AOUTM	R/W	屏蔽所有 OUT 端点中断（All OUT Endpoint Interrupts Mask） 第 X 位代表 OUT 端点（X-16）的中断屏蔽。最多有 16 个 OUT 端点。 0：屏蔽 1：中断

27.14.8 高速 OTG 设备 V_{BUS} 释放时间寄存器（OTG_HS1_DVBUSDTIM）

偏移地址：0x828

复位值：0x0000 17D7

位/域	名称	R/W	描述
15:0	VBUSDTIM	R/W	设备 V_{BUS} 释放时间（Device V_{BUS} Discharge Time） 这个位的值为 SRP 期间，脉冲发出后的 V_{BUS} 放电的时间。 值=V_{BUS} 放电时间（PHY 时钟数）/1024
31:16	保留		

27.14.9 高速 OTG 设备 V_{BUS} 脉冲时间寄存器（OTG_HS1_DVBUSPTIM）

偏移地址：0x82C

复位值：0x0000 05B8

位/域	名称	R/W	描述
11:0	VBUSPTIM	R/W	设备 V_{BUS} 脉冲时间（Device VBUS Pulsing Time） 这个位的值为 SRP 期间的 V_{BUS} 脉冲时间。 值=V_{BUS} 脉冲时间（PHY 时钟数）/1024
31:12	保留		

27.14.10 高速 OTG 设备阈值控制寄存器（OTG_HS1_DTHCTRL）

偏移地址：0x830

复位值：0x0000 0000

位/域	名称	R/W	描述
0	NSINTHEN	R/W	使能非同步 IN 端点阈值（Nonisochronous IN Endpoints Threshold Enable） 0：禁止 1：使能
1	SINTHEN	R/W	使能同步 IN 端点阈值（Isochronous IN Endpoint Threshold Enable） 0：禁止 1：使能
10:2	TXTHLTH	R/W	发送阈值长度（Transmit Threshold Length） 此位表示发送阈值的大小，单位为双字，最小值为 8 个双字。
15:11	保留		
16	RXTHEN	R/W	使能接收阈值（Receive Threshold Enable） 0：禁止 1：使能

位/域	名称	R/W	描述
25:17	RXTHLTH	R/W	接收阈值长度（Receive Threshold Length） 此位表示接收阈值的大小，单位为双字，最小值为 8 个双字。
26	保留		
27	APARKEN	R/W	使能仲裁停止（Arbiter Parking Enable） 0：禁止 1：使能
31:28	保留		

27.14.11 高速 OTG 设备 IN 端口 FIFO 空中断屏蔽寄存器（OTG_HS1_DIEIMASK）

偏移地址：0x834

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	INEM	R/W	屏蔽 IN 端点发送空的 FIFO 中断（IN Endpoint Tx FIFO Empty Interrupt Mask） 第 X 位代表屏蔽 IN 端点 X 的 TXFEM（位于 OTG_HS1_DIEPINTx 寄存器）中断。最多有 16 个。 0：屏蔽 1：中断
31:16	保留		

27.14.12 高速 OTG 设备单个端点中断寄存器（OTG_HS1_DEPINT）

偏移地址：0x838

复位值：0x0000 0000

位/域	名称	R/W	描述
0	保留		
1	IN1INT	R/W	IN 端点 1 中断（In Endpoint 1 Interrupt）
16:2	保留		
17	OUT1INT	R/W	OUT 端点 1 中断（OUT Endpoint 1 Interrupt）
31:18	保留		

27.14.13 高速 OTG 设备单个端点中断屏蔽寄存器（OTG_HS1_DEPIMASK）

偏移地址：0x83C

复位值：0x0000 0000

位/域	名称	R/W	描述
0	保留		
1	IN1M	R/W	屏蔽 IN 端点 1 中断（In Endpoint 1 Interrupt Mask）
16:2	保留		
17	OUT1M	R/W	屏蔽 OUT 端点 1 中断（OUT Endpoint 1 Interrupt Mask）

位/域	名称	R/W	描述
31:18	保留		

27.14.14 高速 OTG 设备 IN 端点 1 中断屏蔽寄存器（OTG_HS1_DIN1IMASK）

偏移地址：0x844

复位值：0x0000 0000

位/域	名称	R/W	描述
0	TSFCMPM	R/W	屏蔽传输完成中断（Transfer Completed Interrupt Mask） 0：屏蔽 1：中断
1	EPDISM	R/W	屏蔽端点禁止中断（Endpoint Disable Interrupt Mask） 0：屏蔽 1：中断
2	保留		
3	TOM	R/W	屏蔽超时中断（Timeout Interrupt Mask） 0：屏蔽 1：中断
4	ITXEMPM	R/W	屏蔽 TXFIFO 空时接收到 IN 令牌中断（IN Token Received when TxFIFO Empty Mask） 0：屏蔽 1：中断
5	IEPMMM	R/W	屏蔽接收到端点不匹配的 IN 令牌中断（IN Token Received with Endpoint Mismatch Mask） 0：屏蔽 1：中断
6	IEPNAKEM	R/W	屏蔽 IN 端点 NAK 有效中断（IN Endpoint NAK Effective Mask） 0：屏蔽 1：中断
7	保留		
8	TXFUDRM	R/W	屏蔽 FIFO 下溢中断（FIFO Underrun Mask） 0：屏蔽 1：中断
9	BNAM	R/W	屏蔽 BNA 中断（BNA Interrupt Mask） 0：屏蔽 1：中断
12:10	保留		
13	NAKM	R/W	屏蔽 NAK 中断（NAK Interrupt Mask） 0：屏蔽 1：中断
31:14	保留		

27.14.15 高速 OTG 设备 OUT 端点 1 中断屏蔽寄存器（OTG_HS1_DOUT1MASK）

偏移地址：0x884

复位值：0x0000 0000

位/域	名称	R/W	描述
0	TSFCMPM	R/W	屏蔽传输完成中断（Transfer Completed Interrupt Mask） 0：屏蔽中断 1：中断
1	EPDISM	R/W	屏蔽禁止端点中断（Endpoint Disable Interrupt Mask） 0：屏蔽中断 1：中断
2	AHBERRIM	R/W	屏蔽 AHB 错误中断（AHB Error Interrupt Mask） 0：屏蔽中断 1：中断
7:3	保留		
8	OPERRM	R/W	屏蔽 OUT 数据包错误中断（OUT Packet Error Interrupt Mask） 0：屏蔽中断 1：中断
9	BNAM	R/W	屏蔽 BNA 中断（BNA Interrput Mask） 0：屏蔽中断 1：中断
11:10	保留		
12	BERRM	R/W	屏蔽 Babble 中断（Babble Error Interrupt Mask） 0：屏蔽中断 1：中断
13	NAKM	R/W	屏蔽 NAK 中断（NAK Interrupt Mask） 0：屏蔽中断 1：中断
14	NYETM	R/W	屏蔽 NYET 中断（NYET Interrupt Mask） 0：屏蔽中断 1：中断
31:15	保留		

27.14.16 高速 OTG 设备 IN 端点 x 控制寄存器（OTG_HS1_DIEPCTRLx）（x=0~7，端点编号）

偏移地址：0x900+0x20m；m=0~7

复位值：0x0000 0000

位/域	名称	R/W	描述
10:0	MAXPS	R/W	最大数据包大小（Maximum Packet Size） 该位表示当前端点的最大数据包大小（以字节为单位）。
14:11	保留		
15	USBAEP	R/W	USB 活动端点（USB Active Endpoint） 该位表示是否在当前配置和接口中端点是否被激活。 当 USB 复位后，该位清 0（端点 0 除外）。
16	EOF	R	奇偶帧（Even Odd Frame） 用于同步 IN 端点 0：偶数帧

位/域	名称	R/W	描述
			1：奇数帧 端点数据 PID（Endpoint Data PID） 用于中断/批量 IN 端点 0：DATA0 1：DATA1
17	NAKSTS	R	NAK 状态（NAK Status） 0：模块根据 FIFO 状态回复非 NAK 握手 1：模块在此端点上回复 NAK 握手此时，对于 OUT 端点，即使 RXFIFO 还有剩余空间，模块仍然会停止接收数据 注意：模块总是通过 ACK 握手响应 SETUP 数据包。
19:18	EPTYPE	R/W	选择端点类型（Endpoint Type） 00：控制 01：同步 10：批量 11：中断
20	保留		
21	STALLH	RW/RS	STALL 握手（STALL Handshake） ● 用于非控制、非同步 IN 端点（读写方式为 RW）： 此位置 1 时，设备对来自 USB 主机所有的令牌都回复 STALL。此位只能由软件清 0。 ● 用于控制端点（读写方式为 RS） 此位置 1 时，表示模块接收到 SETUP 令牌。
25:22	TXFNUM	R/W	TXFIFO 编号（TXFIFO Number） 这些位表示与端点相关联的 FIFIO 编号，需要为每个有效的 IN 端点设置单独的 FIFO 编号。
26	NAKCLR	W	清除 NAK（NAK Clear） 对该位进行写操作时端点的 NAK 位清 0。
27	NAKSET	W	设置 NAK（NAK Set） 对该位进行写操作时，端点的 NAK 位置 1。 该位可以控制 NAK 握手信号的发送。
28	DPIDSET	W	设置 DATA0 PID（DATA0 PID Set） ● 用于中断/批量 IN 端点： 对该位进行写操作时将 PID 设置为 DATA0。 设置偶数帧（Even Frame Set） ● 用于同步 IN 端点： 对该位进行写操作会将 EOF 设置为偶数帧。
29	OFSET	W	设置奇数帧（Odd Frame Set） 用于同步 OUT 端点：对该位进行写操作会将 EOF 设置为奇数帧。
30	EPDIS	R/S	禁止端点（Endpoint Disable） 可以通过该位置 1 停止端点上的数据发送。 该位需要端点禁止中断位置 1 前清 0；该位只能在 EPEN 置 1 后才能置 1。
31	EPEN	R/S	使能端点（Endpoint Enable） 该位置 1 后，端点开始发送数据。 当触发以下任一中断时，此位清 0：

位/域	名称	R/W	描述
			● SETUP 完成 ● 禁止端点 ● 传输完成

27.14.17 高速 OTG 设备 IN 端点 x 中断寄存器（OTG_HS1_DIEPINTx）（x=0~7，端点编号）

偏移地址：0x908+0x20m；m=0~7

复位值：0x0000 0080

OTG_HS1_GCINT 寄存器的 ONEP 位置 1 时，读取该寄存器；

读取 OTG_HS1_DAEPINT 寄存器获取设备端点 x 中断寄存器的准确端点编号，之后读取该寄存器；只有当该寄存器的相应位清 0 后 OTG_HS1_DAEPINT 寄存器和 OTG_HS1_GCINT 寄存器的相应位才可以清 0。

位/域	名称	R/W	描述
0	TSFCMP	RC_W1	传输完成中断（Transfer Complete Interrupt） 该位表示该端点上的传输已完成。
1	EPDIS	RC_W1	禁止端点中断（Endpoint Interrupt Disable） 该位表示已禁止端点。
2	保留		
3	TO	RC_W1	超时中断（Timeout Interrupt） 此位只适用于控制 IN 端点，表示对最近收到的 IN 令牌响应已超时。
4	ITXEMP	RC_W1	FIFO 为空时接收 IN 令牌中断（Receive IN Token Interrupt） 此位只适用于非周期性 IN 端点，表示当端点对应的 TXFIFO 为空时，接收到 IN 令牌。
5	保留		
6	IEPNAKE	RC_W1	IN 端点 NAK 有效（IN Endpoint NAK Effective） 此位表示模块对 NAK 采样，即 IN 端点的 NAK 位已经生效。 当 OTG_HS1_DIEPCTRLx 寄存器的 NAKCLR 位被写时，此位清 0。
7	TXFE	R	TXFIFO 为空中断（TXFIFO Empty Interrupt） 当端点的 TXFIFO 为空时，产生中断。
8	TXFUDR		TXFIFO 下溢中断（TXFIFO Underrun） 当检测到 TXFIFO 下溢时，产生中断。
9	BUFFNA		缓冲区不可用中断（Buffer Not Available Interrupt） 当描述符还不能被模块处理时，缓冲区不可用，此时产生中断。
10	保留		
11	PDROFLG		数据包丢失标志（Packet Dropped Flag） 该位表示有 ISOC OUT 数据包被丢弃，不会产生中断。
12	BERR		Babble 错误中断（Babble Error Interrupt）
13	NAK		NAK 中断（NAK Interrupt） 有两种情况会产生此中断： ● 设备发送/接收到 NAK

位/域	名称	R/W	描述
			● 同步 IN 端点发送长度为 0 的数据包
31:14	保留		

27.14.18 高速 OTG 设备 IN 端点 0 传输大小寄存器（OTG_HS1_DIEPTRS0）

偏移地址：0x910

复位值：0x0000 0000

OTG_HS1_DIEPCTRL0 寄存器的 EPEN 位置 1 后，该寄存器才可以进行修改；OTG_HS1_DIEPCTRL0 寄存器的 EPEN 位清 0 后，才可以读取该寄存器。

位/域	名称	R/W	描述
6:0	EPTRS	R/W	端点传输大小（Endpoint Transfer Size） 此位表示端点 0 在一次数据传输中包含的数据量。
18:7	保留		
20:19	EPPCNT	R/W	端点数据包计数（Endpoint Packet Count） 此位表示端点 0 在一次数据传输中包含的数据包数量。
31:21	保留		

27.14.19 高速 OTG 设备 IN 端点 x 传输大小寄存器（OTG_HS1_DIEPTRSx）（x=1~3，端点编号）

偏移地址：0x910+0x20m；m=1~3

复位值：0x0000 0000

OTG_HS1_DIEPCTRLx 寄存器的 EPENA 位置 1 后，该寄存器才可以进行修改；OTG_HS1_DIEPCTRLx 寄存器的 EPENA 位清 0 后，才可以读取该寄存器

位/域	名称	R/W	描述
18:0	EPTRS	R/W	端点传输大小（Endpoint Transfer Size） 此位表示端点 x 在一次数据传输中包含的数据量（以字节为单位）。
28:19	EPPCNT	R/W	端点数据包计数（Endpoint Packet Count） 此位表示端点 x 在一次数据传输中包含的数据包数量。
30:29	TXDSEL	R/W	选择发送数据包数目（Transmit Packet Select） ● 对于周期性 IN 端点，此位表示在 USB 上每帧必须发送的数据包数目。 ● 对于计算同步 IN 端点，此位计算端点的数据 PID。 01：1 个 10：2 个 11：3 个
31	保留		

27.14.20 高速 OTG 设备 IN 端点 xDMA 地址寄存器（OTG_HS1_DIEPDMAx）（x=1~5，端点编号）

偏移地址：0x914+0x20m；m=1~5

复位值：0xXXXX XXXX

位/域	名称	R/W	描述
31:0	DMAADDR	R/W	DMA 地址（DMA Address） 该位表示外部存储的起始地址，用来存储或者获取端点数据

27.14.21 高速 OTG 设备 IN 端点 xTXFIFO 状态寄存器（OTG_HS1_DITXFSTSx）（x=0~5，端点编号）

偏移地址：0x918+0x20m；m=0~5

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	INEPTXFSA	R	IN 端点 TXFIFO 可用空间（IN Endpoint TXFIFO Space Available） 此位表示 IN 端点 TXFIFO 的可用空间（以字为单位）。 0x0：IN 端点 TXFIFO 已满 0x1：1 个字 0x2：2 个字 0xn：n 个字可用（0<n<512） 其他值：保留
31:16	保留		

27.14.22 高速 OTG 设备 OUT 端点 0 控制寄存器（OTG_HS1_DOEPCTRL0）

偏移地址：0xB00

复位值：0x0000 8000

位/域	名称	R/W	描述
1:0	MAXPS	R/W	最大数据包大小（Maximum Packet Size） 与 IN 端点 0 的最大数据包大小一样 00：64 字节 01：32 字节 10：16 字节 11：8 字节
14:2	保留		
15	USBAEP	R/W	USB 活动端点（USB Active Endpoint） 此位置 1 时表示在当前配置和端点 0 被激活。
16	保留		
17	NAKSTS	R	NAK 状态（NAK Status） 0：模块根据 FIFO 状态回复非 NAK 握手信号 1：模块在此端点上回复 NAK 握手信号，此时即使 RXFIFO 还有空间，模块仍然会停止接收数据。
19:18	EPTYPE	R/W	端点类型（Endpoint Type） 此位由硬件置 00，表示端点为控制类型。
20	SNMEN	R/W	使能监听模式（Snoop Mode Enable） 在监听模式下，在 OUT 数据包传输到存储区之前不检查其正确性。
21	STALLH	RS	STALL 握手（STALL Handshake）

位/域	名称	R/W	描述
			程序只能将此位置 1，直到端点接收到 SETUP 令牌，此位清 0。 STALL 的优先级高于 NAK。
25:22	保留		
26	NAKCLR	W	清除 NAK（NAK Clear） 对该位进行写操作时端点的 NAK 位清 0。
27	NAKSET	W	设置 NAK（NAK Set） 对该位进行写操作使 NAK 位置 1。
29:28	保留		
30	EPDIS	R	禁止端点（Endpoint Disable） 无法禁用控制 OUT 端点 0。
31	EPEN	W	使能端点（Endpoint Enable） 该位置 1 后在端点上开始发送数据。 在触发以下任一中断之前，该位会清 0： ● 完成 SETUP ● 禁止端点 ● 完成传输

27.14.23 高速 OTG 设备 OUT 端点 x 控制寄存器（OTG_HS1_DOEPCTRLx）（x=1~3，端点编号）

偏移地址：0xB00+0x20m；m=1~3

复位值：0x0000 0000

位/域	名称	R/W	描述
10:0	MAXPS	R/W	最大数据包大小（Maximum Packet Size） 该位表示端点的最大数据包大小。
14:11	保留		
15	USBAEP	R/W	USB 活动端点（USB Active Endpoint） 此位置 1 时表示在当前配置和端点 0 被激活。
16	EOF	R	奇偶帧（Even Odd Frame） 此位用于指示端点发送/接收的帧编号（对于同步 IN）或数据包的 PID（对于中断/批量 IN）。 用于同步 IN 端点： 0：偶数帧 1：奇数帧 端点数据 PID（Endpoint Data PID） 用于中断/批量 IN 端点： 0：DATA0 1：DATA1
17	NAKSTS	R	NAK 状态（NAK Status） 0：模块根据 FIFO 状态回复非 NAK 握手 1：模块在此端点上回复 NAK 握手信号，此时，对于 OUT 端点，即使 RXFIFO 还有剩余空间，模块仍然会停止接收数据 注意：模块总是通过 ACK 握手响应 SETUP 数据包。
19:18	EPTYPE	R/W	选择端点类型（Endpoint Type） 00：控制

位/域	名称	R/W	描述
			01：同步 10：批量 11：中断
20	SNMEN	R/W	使能监听模式（Snoop Mode Enable） 在监听模式下，在 OUT 数据包传输到存储区之前不检查其正确性。
21	STALLH	RW/RS	STALL 握手（STALL Handshake） ● 用于非控制、非同步 IN 端点（读写方式为 RW）： 此位置 1 时，设备对来自 USB 主机所有的令牌都回复 STALL。此位只能由软件清 0。 ● 用于控制端点（读写方式为 RS） 此位置 1 时，表示模块接收到 SETUP 令牌。
25:22	保留		
26	NAKCLR	W	清除 NAK（NAK Clear） 对该位进行写操作时端点的 NAK 位清 0。
27	NAKSET	W	设置 NAK（NAK Set） 对该位进行写操作时，端点的 NAK 位置 1。 该位可以控制 NAK 握手信号的发送。
28	DPIDSET	W	设置 DATA0 PID（DATA0 PID Set） ● 用于中断/批量 IN 端点： 对该位进行写操作时将 PID 设置为 DATA0。 设置偶数帧（Even Frame Set） ● 用于同步 IN 端点： 对该位进行写操作会将 EOF 设置为偶数帧。
29	OFSET	W	设置奇数帧（Odd Frame Set） 对此位进行写操作会使同步 OUT 端点的 EOF 位设为奇数帧。
30	EPDIS	R/S	禁止端点（Endpoint Disable） 可以通过该位置 1 停止端点上的数据发送。 该位需要端点禁止中断位置 1 前清 0；该位只能在 EPEN 置 1 后才能置 1。
31	EPEN	R/S	使能端点（Endpoint Enable） 该位置 1 后，端点开始发送数据。 当触发以下任一中断时，此位清 0： ● SETUP 完成 ● 禁止端点 ● 传输完成

27.14.24 高速 OTG 设备 OUT 端点 x 中断寄存器（OTG_HS1_DOEPINTx）（x=0~7，端点编号）

偏移地址：0xB08+0x20m；m=0~7

复位值：0x0000 0080

OTG_HS1_ GCINT 寄存器的 ONEP 位置 1 时，读取该寄存器；

读取 OTG_HS1_DAEPINTx 寄存器获取设备端点 x 中断寄存器的准确端点编号，之后读取该寄存器；只有当该寄存器的相应位清 0 后，

OTH_HS1_DAEPINT 寄存器和 OTG_HS1_GCINT 寄存器的相应位才可以清 0。

位/域	名称	R/W	描述
0	TSFCMP	RC_W1	传输完成中断（Transfer Complete Interrupt） 该位表示该端点上的传输已完成。
1	EPDIS	RC_W1	禁止端点中断（Endpoint Interrupt Disable） 该位表示已禁止端点。
2	保留		
3	SETPCMP	RC_W1	完成 SETUP 阶段中断（SETUP Phase Complete Interrupt） 此位只适用于控制 OUT 端点，表示已完成 SETUP 阶段，产生中断后可以对接收的 SETUP 数据进行解码。
4	RXOTDIS	RC_W1	禁止接收 OUT 令牌（Receive OUT Token Disable Interrupt） 此位只适用于控制 OUT 端点，表示未使能端点就接收到 OUT 令牌。
5	保留		
6	RXBSP	RC_W1	接收连续的 SETUP 数据包中断（Receive Back-to-Back SETUP Packet Interrupt） 此位只适用于控制 OUT 端点，表示端点已收到连续三个以上的 SETUP 数据包。
13:7	保留		
14	NYET	RC_W1	NYET 中断（NYET Interrupt） 当非同步 OUT 端点应答 NYET 握手信号时，产生中断。
31:15	保留		

27.14.25 高速 OTG 设备 OUT 端点 0 传输大小寄存器（OTG_HS1_DOEPTRS0）

偏移地址：0xB10

复位值：0x0000 0000

OTG_HS1_DOEPCTRL0 寄存器的 EPEN 位置 1 后，该寄存器才可以进行修改；OTG_HS1_DOEPCTRL0 寄存器的 EPEN 位清 0 后，才可以读取该寄存器.

位/域	名称	R/W	描述
6:0	EPTRS	R/W	端点传输大小（Endpoint Transfer Size） 此位表示端点 0 在一次数据传输中包含的数据量（以字节为单位）。
18:7	保留		
19	EPPCNT	R/W	端点数据包计数（Endpoint Packet Count） 当 RXFIFO 被写入一个数据包后，此位被减为 0。
28:20	保留		
30:29	SPCNT	R/W	计数 SETUP 数据包（SETUP Packet Count） 这些位表示可以连续接收 SETUP 数据包的数量 01：1 个 10：2 个 11：3 个
31	保留		

27.14.26 高速 OTG 设备 OUT 端点 x 传输大小寄存器（OTG_HS1_DOEPTRSx）（x=1~5，端点编号）

偏移地址：0xB10+0x20m；m=1~5

复位值：0x0000 0000

OTG_HS1_DOEPCTRLx 寄存器的 EPEN 位置 1 后，该寄存器才可以进行修改；OTG_HS1_DOEPCTRLx 寄存器的 EPEN 位清 0 后，才可以读取该寄存器

位/域	名称	R/W	描述
18:0	EPTRS	R/W	端点传输大小（Endpoint Transfer Size） 此位表示端点 x 在一次数据传输中包含的数据量（以字节为单位）。
28:19	EPPCNT	R/W	端点数据包计数（Endpoint Packet Count） 此位表示端点 x 在一次数据传输中包含的数据包数量。
30:29	PID_SPCNT	R/W	接收数据 PID 或计数 SETUP 数据包（Receive Data PID or SETUP Packet Count） ● 对于同步 OUT 端点，此位表示上一个接收的数据包 PID。 00：DATA0 01：DATA2 10：DATA1 11：MDATA ● 对于控制 OUT 端点，此位表示端点能连续收到的 SETUP 数据包的数目。 01：1 个 10：2 个 11：3 个
31	保留		

27.14.27 高速 OTG 设备 OUT 端点 xDMA 地址寄存器（OTG_HS1_DOEPDMAx）（x=1~5，端点编号）

偏移地址：0xB14+0x20m; m=1~5

复位值：0xXXXX XXXX

位/域	名称	R/W	描述
31:0	DMAADDR	R/W	DMA 地址（DMA Address） 该位表示外部存储的起始地址，用来存储或者获取端点数据

27.15 高速 OTG 电源和时钟门控控制寄存器（OTG_HS1_PCGCTRL）

偏移地址：0xE00

复位值：0x0000 0000

位/域	名称	R/W	描述
0	PCLKSTOP	R/W	PHY 时钟停止（PHY Clock Stop） 0：当 USB 通信恢复或会话重新启动时，允许启动 PHY 时钟

位/域	名称	R/W	描述
			1：当挂起 USB 通信、会话无效或设备断开连接时，停止 PHY 时钟
1	GCLK	R/W	门控 HCLK（Gate HCLK） 0：当 USB 通信恢复或会话重新启动时，允许对除了 AHB 总线从接口、主接口和唤醒之外的模块停止提供时钟 1：当挂起 USB 通信或会话无效时，对除了 AHB 总线从接口、主接口和唤醒之外的模块停止提供时钟
3:2	保留		
4	PHYSUS	R/W	挂起 PHY（PHY Suspend） 该位表示 PHY 挂起。
31:5	保留		

27.16 OTG_HS2 寄存器地址映射

表格 140 OTG_HS2 寄存器地址映射

寄存器名	描述	偏移地址
USB_SWITCH	USB 影子切换寄存器	0x200
POWERON_CORE	上电核寄存器	0x204
USB_PLL_EN	使能 USB 的 PLL 寄存器	0x208
SHORT_5V_ENABLE	使能 Short5V 寄存器	0x20C
OTG_SUSPENDM	OTG 挂起寄存器	0x210
TXBITSTUFFENABLE	发送位填充使能寄存器	0x214
USB_DBNCE_FLTR_BYPASS	使能旁路防跳过滤器寄存器	0x238

27.17 OTG_HS2 寄存器功能描述

27.17.1 USB 影子切换寄存器（USB_SWITCH）

偏移地址：0x200

复位值：0x0000 0000

位/域	名称	R/W	描述
0	usb_switch	R/W	USB 影子切换（USB Switch） 0：选择 OTG_HS1 1：选择 OTG_HS2
31:1	保留		

27.17.2 上电核寄存器（POWERON_CORE）

偏移地址：0x204

复位值：0x0000 0000

位/域	名称	R/W	描述
0	poweron_core	R/W	上电核（Power on Core）

位/域	名称	R/W	描述
			此位用于实现超低功耗。 0：掉电核（模拟域） 1：上电核（模拟域）在工作状态 在正常使用时，建议此引脚设为高电平。
31:1	保留		

27.17.3 使能 USB 的 PLL 寄存器（USB_PLL_EN）

偏移地址：0x208

复位值：0x0000 0000

位/域	名称	R/W	描述
0	usb_pll_en	R/W	使能 USB 的 PLL（USB PLL Enable） 0：禁止 1：使能
31:1	保留		

27.17.4 使能 Short5V 寄存器（SHORT_5V_ENABLE）

偏移地址：0x20C

复位值：0x0000 0000

位/域	名称	R/W	描述
0	short_5v_enable	R/W	使能 V_{BUS} 短 5V（V_{BUS} Short 5V Enable） 使能 V_{BUS} 短保护功能，当 DM 或 DP 低于 5V 时禁止 PHY 功能。 0：禁止 1：使能
31:1	保留		

27.17.5 OTG 挂起寄存器（OTG_SUSPENDM）

偏移地址：0x210

复位值：0x0000 0000

位/域	名称	R/W	描述
0	otg_suspendm	R/W	OTG 挂起（OTG V_{BUS} Suspend） 0：关闭 V_{BUS} 电源电压比较器 1：开启 V_{BUS} 电源电压比较器
31:1	保留		

27.17.6 发送位填充使能寄存器（TXBITSTUFFENABLE）

偏移地址：0x214

复位值：0x0000 0000

位/域	名称	R/W	描述
0	txbitstuffenable	R/W	使能发送位填充（TX Bit Stuff Enable） 0：禁止 1：使能
31:1	保留		

27.17.7 使能旁路防跳过滤器寄存器（USB_DBNCE_FLTR_BYPASS）

偏移地址：0x238

复位值：0x0000 0000

位/域	名称	R/W	描述
0	usb_dbnce_fltr_bypass	R/W	使能后，旁路过滤 avalid、bvalid、vbusvalid、sessend 和 iddig 信号。 0：禁止 1：使能
31:1	保留		

28 以太网（Ethernet）

注意：仅 APM32F407/417xExG 系列产品有此模块

28.1 简介

以太网提供了可配置、灵活的外设，用以满足客户的各种应用需求。它支持与外部物理层相连的两个工业标准接口：默认情况下使用的 MII 和 RMI，其中 MII 仅在 IEEE 802.3 规范中定义。它有多种应用领域，如交换机、网络接口卡等。且以太网可以借助外设按照 IEEE 802.3-2002 标准发送和接收数据。

以太网遵守以下标准：

- 用于以太网 MAC 的 IEEE802.3-2002
- 用于规定联网时钟同步精度的 IEEE1588-2008 标准
- 用于 AHB 主/从端口的 AMBA 2.0
- RMII 联盟的 RMII 规范

28.2 以太网主要特征

28.2.1 MAC 主要特征

（1） 符合 IEEE802.3 规范的 MII 接口与 PHY 通信

（2） 支持 10/100Mbps 数据发送速率

（3） 半双工操作
- 支持 CSMA/CD 协议
- 提供背压流量控制

（4） 全双工操作
- 支持 IEEE 802.3x 流量控制
- 如果流量控制输入信号消失，自动发送的零量程暂停帧
- 可将接收到的暂停帧转发到用户应用程序

（5） 发送路径中帧数据(SFD)插入，接收路径中删除的报头和帧起始数据

（6） 自动生成 CRC 和 pad，接收帧时可自动去除

（7） 可编程帧间隙

（8） 可编程帧长度，最高支持 16KB 的巨型帧

（9） 地址过滤模式
- 四个 48 位 DA 地址过滤器，可屏蔽每个字节
- 三个 48 位 SA 地址过滤器，可屏蔽每个字节
- 64 位 Hash 滤波器，适用于多播和单播地址
- 可发送所有多播地址帧
- 支持混合模式，可发送所有帧，不过滤网络监视
- 发送所有传入数据包时均附有一份状态报告

（10） 独立的发送、接收和控制接口

（11） 32 位数据发送接口和接收接口

（12） 对接收帧进行 IEEE 802.1Q VLAN 变量检测

（13） MDIO 主接口（可选），用于 PHY 设备配置和管理

（14） 通过 RMON/MIB 计数器进行强制网络统计

（15） 检测 LAN 唤醒帧和 AMD Magic Packet™帧

（16） 支持以太网帧时间戳，每个帧给出 64 位时间戳

（17） 可编程阈值功能的 2KB 发送 FIFO 和可配置阈值功能的 2KB 接收 FIFO

（18） 接收 FIFO 多帧存储时，在 EOF 传输后向接收 FIFO 插入接收状态矢量，使这些帧的接收状态不被接收 FIFO 存储

（19） 在存储转发模式下，可以在接收时过滤所有的错误帧，且不转发给应用程序

（20） 为接收 FIFO 中丢失或损坏的帧生成脉冲以支持数据统计

（21） 选择转发小尺寸的好帧

（22） 增强型接收中可以检查 Ipv4 头校验和以及在 Ipv4 或 Ipv6 数据包中封装的 TCP、UDP 或 ICMP 校验和

（23） 校验和卸载接收到的由以太网帧封装的 Ipv4 和 TCP 数据包

（24） 发送到 MAC 的存储转发机制

（25） 根据接收 FIFO 填充级别自动生成将发送至 MAC 内核的暂停帧控制或背压信号

（26） 发送时处理冲突帧的自动重新发送

（27） 丢弃过度冲突、延迟冲突、过度延迟和下溢条件下的帧

（28） 通过软件控制刷新 Tx FIFO

（29） 计算 Ipv4 头校验和与 TCP、UDP 或 ICMP 校验和并插入在存储转发模式下发送的帧中

（30） 调试时通过 MII 内部回送

28.2.2 PTP 主要特征

（1） 发送帧和接收帧时间戳

（2） 粗略校准和精密校准

（3） 系统时间大于目标时间时触发中断

（4） 输出秒脉冲

28.2.3 DMA 主要特征

（1） 可在 AHB 主接口选择 AHB 突发类型

（2） 从 AHB 主端口选择地址对齐突发

（3） AHB 从接口中支持所有 AHB 突发类型

（4） 双缓冲区(环)或链表(链)描述符链接

（5） 数据缓冲区支持的字节对齐寻址

（6） 优化面向包的 DMA 发送

（7） 描述符架构，允许以最小的 CPU 干预发送大数据块（每个描述符可以发送多达 8KB 的数据）

（8） 报告正常工作和传输错误时的综合状态

（9） 用于发送和接收 DMA 引擎的单个可编程突发大小，用于最佳的主机总线

（10） 可编程中断选项

（11） 控制发送/接收完成中断

（12） 发送引擎和接收引擎间采用循环调度仲裁或固定优先级仲裁

（13） 当前 Tx/Rx 描述符指针、缓冲区指针作为状态寄存器

28.3 功能描述

28.3.1 复用功能映射

下表显示了 MAC 信号和相应的 MII/RMII 信号映射。

表格 141 复用功能映射

端口	AF11
	ETH
PA0-WKUP	ETH_MII_CRS
PA1	ETH_MII_RX_CLK/ETH_RMII_REF_CLK
PA2	ETH_MDIO
PA3	ETH_MII_COL
PA7	ETH_MII_RX_DV/ETH_RMII_CRS_DV
PB0	ETH_MII_RXD2
PB1	ETH_MII_RXD3
PB5	ETH_PPS_OUT
PB8	ETH_MII_TXD3
PB10	ETH_MII_RX_ER

端口	AF11
	ETH
PB11	ETH_MII_TX_EN/ETH_RMII_TX_EN
PB12	ETH_MII_TXD0/ETH_RMII_TXD0
PB13	ETH_MII_TXD1/ETH_RMII_TXD1
PC1	ETH_MDC
PC2	ETH_MII_TXD2
PC3	ETH_MII_TX_CLK
PC4	ETH_MII_RXD0/ETH_RMII_RXD0
PC5	ETH_MII_RXD1/ETH_RMII_RXD1
PE2	ETH_MII_TXD3
PG8	ETH_PPS_OUT
PG11	ETH_MII_TX_EN/ETH_RMII_TX_EN
PG13	ETH_MII_TXD0/ETH_RMII_TXD0
PG14	ETH_MII_TXD1/ETH_RMII_TXD1
PH2	ETH_MII_CRS
PH3	ETH_MII_COL
PH6	ETH_MII_RXD2
PH7	ETH_MII_RXD3
PI10	ETH_MII_RX_ER

28.3.2 SMI、MII 和 RMII

以太网外设包括带专用 DMA 控制器的 MAC 802.3。它支持默认情况下使用的 MII 和 RMII，并通过选择位切换。还包括用于与外部 PHY 通信的 SMI。通过一配置寄存器可以选择 MAC 控制器和 DMA 控制器的模式和功能。

在发送数据时，先将数据由系统存储器以 DMA 的方式发送至 TX FIFO 缓冲后通过 MAC 内核发送。通过线路接收的以太网帧经过 DMA 发送到系统存储器之前由 RX FIFO 存储。

注意：使用以太网时 AHB 时钟频率至少为 25MHz。

28.3.2.1 站管理接口（SMI）

SMI 支持访问 32 个 PHY，应用程序通过 2 线时钟和数据线从 32 个 PHY 中选择一个 PHY，然后访问任意 PHY 寄存器。任意给定时间内只能对一个 PHY 中的一个寄存器进行寻址。

MDC 时钟线和 MDIO 数据线在微控制器中都作为复用功能 I/O：

- MDC：周期性时钟，提供以 2.5MHz 传输数据时的参考时序。MDC 的最短高/低电平时间均为 160ns。MDC 的最小周期为 400ns。空闲状态下 SMI 管理接口将 MDC 时钟信号驱动为低电平。
- MDIO：数据输入/输出比特流，用于通过 MDC 时钟信号与 PHY 设备同步传输状态。

SMI 帧格式

表格 142 帧格式

管理帧格式	
报头	每个操作都可以通过报头字段启动，报头字段用来与 PHY 设备建立同步，与 MDIO 线上 32 个连续的逻辑“1”位及 MDC 上的 32 个周期对应。
起始	由<01>模式定义，用来验证线的状态为默认逻辑“1”——逻辑“0”——逻辑“1”状态的转变。
操作	定义正在发生的操作的类型。
PADDR	PHY 地址有 5 位，允许 32 个唯一的 PHY 地址。地址的 MSB 位是第一个发送和接收的。
RADDR	寄存器地址有 5 位，可在选择的 PHY 设备中对 32 个不同的寄存器进行寻址。地址的 MSB 位是第一个发送和接收的。
TA	在 RADDR 和 DATA 间定义了一个 2 位模式，以避免在读操作期间出现竞争现象。当执行读操作时，MAC 控制器驱动 TA 的 2 个位为 MDIO 线上的高阻态。PHY 设备将驱动 TA 的第一位为高阻态，第二位驱动为“0”。 当执行写操作时，MAC 控制器对 TA 驱动<10>模式。PHY 设备驱动 TA 的 2 个位为高阻态。
数据	数据字段为 16 位。MAC_DATA 寄存器的位 15 为首位。
空闲	MDIO 线驱动为高阻态。禁止三态驱动器，PHY 的上拉电阻使线路保持逻辑“1”状态。

SMI 时钟选择

MAC 启动管理读/写操作。SMI 时钟是一个以 AHB 时钟为时钟源的分频时钟。分频系数取决于 MAC_ADDR 寄存器中设置的时钟范围。

表格 143 时钟范围

CR 位	HCLK 时钟	MDC 时钟
000	60-100MHz	AHB 时钟/42
001	100-150MHz	AHB 时钟/62
010	20-35MHz	AHB 时钟/16
011	35-60MHz	AHB 时钟/26
100	150-180MHz	AHB 时钟/102
101、110、111	保留	-

SMI 写操作

当 MAC_ADDR 的 MB 位和 MW 位被应用程序置 1 时，SMI 通过发送 PHY 地址、PHY 中的寄存器地址以及写入数据来触发 PHY 寄存器的写操作。当执行写

操作时，应用程序不能修改 MAC_ADDR 和 MAC_DATA 寄存器。完成写操作后，SMI 将复位 MB 位。

SMI 读操作

当设置 MAC_ADDR 中的 MB 位、且 MW 位清零时，SMI 将通过发送 PHY 地址和 PHY 中的寄存器地址来触发 PHY 寄存器的读操作。当执行读操作时，应用程序不能修改 MAC_ADDR 和 MAC_DATA 寄存器。完成读操作后，SMI 将复位 MB 位，然后将从 PHY 中读取的数据更新到 MAC_DATA 寄存器。

28.3.2.2 介质独立接口（MII）

MII 定义了 MAC 子层与 PHY 在 10 Mbit/s 和 100 Mbit/s 的数据传输速率下的互连。

信号如下：

（1） MII_TX_EN：发送使能信号，MAC 当前正针对 MII 发送半字节

（2） MII_RX_DV：数据接收有效信号，PHY 当前正针对 MII 接收已恢复并解码的半字节

（3） MII_TXD [3:0]：数据发送信号

（4） MII_RXD [3:0]：数据接收信号

（5） MII_RX_ER：接收错误信号

（6） MII_TX_CLK：连续时钟信号，为 TX 数据传输提供参考时序

（7） MII_RX_CLK：连续时钟信号，为 RX 数据传输提供参考时序

（8） MII_CRS：载波侦听信号

（9） MII_COL：冲突检测信号

表格 144 TX 接口信号编码

MII_TX_EN	MII_TXD [3:0]	说明
0	0000-1111	正常帧间隔
1	0000-1111	正常数据发送

表格 145 RX 接口信号编码

MII_RX_DV	MII_RX_ER	MII_RXD [3:0]	说明
0	0	0000-1111	正常帧间隔
0	1	0000	正常帧间隔
0	1	0001-1101	保留
0	1	1110	错误载波检测
0	1	1111	保留

MII_RX_DV	MII_RX_ER	MII_RXD [3:0]	说明
1	0	0000-1111	正常数据接收
1	1	0000-1111	数据接收错误

MII 时钟源

必须向外部 PHY 提供 25MHz 时钟才能生成 TX_CLK 和 RX_CLK 时钟信号，通过 MCO 引脚输出该信号。此时必须配置 PLL 倍频才可以通过 25 MHz 外部石英晶体在 MCO 引脚上获得所需频率。

28.3.2.3 精简介质独立接口（RMII）

RMII 降低了以太网外设与外部 PHY 在 10/100Mbit/s 下微控制器的引脚数。根据 IEEE 802.3u 标准，MII 有 16 个数据和控制信号的引脚。RMII 将引脚数减少为 7 个。

RMII 在 MAC 和 PHY 之间实例化。有助于将 MAC 的 MII 转换为 RMII。RMII 具有以下特性：

（1） 单独的 2 位宽的发送和接收数据路径

（2） 10-Mbit/s 和 100-Mbit/s 的运行速率

（3） 参考时钟为 50MHz

（4） 从外部提供相同的参考时钟给 MAC 和外部以太网 PHY

RMII 时钟源

使用外部 50MHz 时钟或嵌入式 PLL 生成 50MHz 频率信号驱动 PHY。

28.3.2.4 MII/RMII 选择

在以太网控制器未处于复位模式或使能时钟时，应用程序需设置 MII/RMII 模式。

28.3.3 介质访问控制（MAC 802.3）

适用于 LAN 的 IEEE 802.3 国际标准的访问方法是 CSMA/CD。以太网外设由一个带 MII 的 MAC 802.3 控制器和一个专用 DMA 控制器组成。

（1） 下述系统使用 LAN CSMA/CD 子层
- 支持半双工和全双工
- 冲突检测访问方法仅适用于半双工
- 基带系统和宽带系统的数据速率为 10 Mbit/s 和 100Mbit/s
- 支持 MAC 控制帧子层

（2） MAC 子层功能
- 数据封装
  - 组帧
  - 寻址
  - 错误检测

- 介质访问管理
  - 介质分配
  - 竞争解决

（3） MAC 子层工作模式

- 半双工：用 CSMA/CD 算法争用物理介质
- 全双工：当物理介质支持同步发送和接收，且有两个均为全双工的站点与 LAN 相连时，不用解决竞争问题就可以同时发送和接收数据。

28.3.3.1 MAC 802.3 帧格式

IEEE 802.3-2002 标准规定 MAC 使用 MAC 子层和可选 MAC 控制子层(10/100 Mbit/s)。

（1） 为使用 CSMA/CD MAC 的数据通信系统指定了两个帧格式

- 基本 MAC 帧格式
- 标记 MAC 帧格式

（2） 字段的帧结构

- 报头：7 字节，用于同步
- 起始帧定界符：1 字节，指示帧的开始
- 目标地址和源地址：MAC 地址字段（6 字节），指示目标站和源站地址

（3） 地址指定基于以下类型

- 单个地址：与网络中的特殊站有关的物理地址。
- 组地址：与给定网络中一个或多个站有关的多目标地址。有多播组地址和广播地址两种多播地址。
- Qtag 前缀：在源地址和 MAC 客户端长度/类型字段中插入的 4 字节字段。该字段是对基本帧（未标记）的扩展，用于获得标记的 MAC 帧。未标记的 MAC 帧没有。
- 数据和 PAD：n 字节，数据完全透明，意味着数据字段中可能出现任意的字节数。如存在 PAD，其大小由数据的大小决定。
- MAC 客户端长度/类型：2 字节，有不同含义。
- 帧检查序列：包含 CRC 值的 4 字节。CRC 计算基于下列字段：源地址、目标地址、Qtag 前缀、长度/类型、LLC 数据和 PAD。

28.3.3.2 MAC 帧发送

DMA 控制发送时的所有操作。DMA 把从系统存储器读取的以太网帧推入 FIFO。再将帧弹出并发送到 MAC 内核。当帧发送结束时，从 MAC 内核获取发送状态并传回 DMA。FIFO 填充级别指示给 DMA，使其使用 AHB 接口在所需的系统存储器突发中启动数据获取。来自 AHB 主接口的数据将推入 FIFO。发送 FIFO 的深度为 2KB。

发送协议

MAC 控制以太网帧的发送。为满足 IEEE 802.3/802.3z 规范执行以下功能：

- 生成报头和 SFD

- 生成发送帧状态
- 在半双工模式下生成阻塞信号
- 控制半双工模式下的流量（背压）
- 控制 Jabber 超时
- 包含符合 IEEE 1588 的时间戳快照逻辑

发送 CRC：自动 CRC 和 pad 生成

为了满足 IEEE 802.3 的最小数据字段的要求，当从应用程序接收的字节数少于 60 时发送帧会附加零，使数据长度为 46 字节。MAC 可以设置不附加填充值。计算 FCS 字段的 CRC 并将其附加到正在发送的数据。如果将 MAC 设置为不附加 CRC 值到以太网帧的末尾，则不发送 CRC。但将 MAC 设置为向小于 60 字节的帧附加填充时，CRC 附加在填充帧的末尾。

发送数据包

数据包的发送分为发送单数据包和多个数据包，其操作方式不同。

发送调度程序

MAC 负责调度 MII 上的帧发送。可以保持两个发送帧之间的间隔，并在半双工模式下遵循截断二进制指数回退算法。MAC 在满足 IFG 计数器和回退延迟条件后使能发送。

发送流量控制

在全双工模式下，当 MAC_FCTRL[TXFCTRLEN]=1 时，MAC 将生成暂停帧并在需要时发送。暂停帧与 CRC 附加在一起发送。暂停帧的生成可以通过两种方式启动。当应用程序将 FCTRLB 位置 1 或接收 FIFO 已满时，将发送暂停帧。

发送 FIFO 刷新

由 ETH_DMAOPMOD 寄存器的 FTXF 位控制清空发送 FIFO。即使 Tx FIFO 正在向 MAC 内核发送帧，Tx FIFO 和对应的指针也会立即清零到初始状态，导致 MAC 发送器中生成下溢事件，且中止帧发送。帧的状态将同时标记下溢事件和帧清空事件。

发送状态字

在向 MAC 内核传输以太网帧结束及内核完成帧的发送后，将会提供发送状态给应用程序。

发送校验和减荷

通信协议实现校验和字段，有助于了解通过网络发送数据的完整性。因为在 IP 数据报上封装 TCP 和 UDP 是以太网最广泛的用途，所以以太网控制器具有发送校验和减荷功能，这个功能支持发送路径中的校验和计算、插入及接收路径中的错

误检测。

冲突期间的重新发送

在半双工模式下，向 MAC 发送帧时，在 MAC 线接口上可能发生冲突事件。甚至可能在接收到帧结束之前 MAC 就指示重试。然后重新发送并再次将帧从 FIFO 中弹出。

MII/RMII

来自 MII 的每个半字节都在 RMII 上发送，一次发送双位，发送顺序由低到高。

28.3.3.3 MAC 帧接收

MAC 将接收到的帧推入 Rx FIFO。一旦此 FIFO 的状态超过配置的接收阈值就会将其指示给 DMA，以便 DMA 向 AHB 接口发起预配置的突发传输。

接收协议

接收到帧时去除帧的报头和 SFD。当检测到 SFD 后，MAC 向 RX FIFO 发送以太网帧数据，从 SFD 后面的第一个字节开始发送。使能 IEEE 1588 时间戳功能后，一旦在 MII 上检测到 SFD，都将获取系统时间的快照。除非 MAC 过滤并丢弃帧，否则此时间戳将被发送给应用程序。

接收多帧

由于接收数据后状态立即可用，所以只要 FIFO 未满就可以存储帧。

接收 CRC：自动 CRC 和 pad 去除

MAC 将检查接收帧中的 CRC 错误并计算其中的 32 位 CRC。不管是否自动去除 pad/CRC，MAC 都将接收整个帧来计算所接收帧的 CRC 校验。

接收帧控制器

当 MAC_FRAF[RXA]=0 时，MAC 将根据目标地址和源地址执行帧过滤。如果过滤失败，帧被丢弃且不会发送到应用程序。当过滤参数动态改变时过滤失败，则剩余的帧被丢弃且立即更新接收状态字。在以太网掉电模式下，所有接收到的帧都被丢弃且不会转发给应用程序。

接收校验和减荷

由 MAC_CFG 寄存器中的 IPC 位控制接收校验和减荷。此功能用于检测和处理接收的以太网帧中的 Ipv4 和 Ipv6 帧以确保数据完整性。MAC 通过检查接收的以太网帧的类型字段识别 Ipv4 或 Ipv6 帧。此识别方法也适用于带 VLAN 标记的帧。

接收流量控制

MAC_FCTRL[RXFCTRLEN]控制暂停帧检测功能。设置该位时 MAC 检测接收暂停帧并且帧发送暂停，具体时间由接收的暂停帧内设置的延迟决定。使能接收流量控制后开始监视接收帧的目标地址与控制帧的多播地址是否匹配。如果匹配，MAC 将根据 MAC_FRAF[PCTRLF]位决定接收的控制帧是否发送到应用程序。

错误处理

表格 146 错误处理情况

发生情况	处理结果
从 MAC 接收 EOF 数据之前 Rx FIFO 已满。	丢弃整个帧，ETH_DMAMFABOCNT 寄存器中的上溢计数器递增。
使用 ETH_DMAOPMOD 寄存器中的 FERRF 和 FUF 位使能对应功能。	Rx FIFO 可过滤错误帧和过小帧。
将接收 FIFO 配置为在存储转发模式下工作。	过滤并丢弃所有错误帧。
直通模式下，如果在从 Rx FIFO 读取帧的 SOF 时，该帧的状态和长度可用。	可丢弃整个错误帧。DMA 可清空正在从 FIFO 读取的错误帧。然后停止到 DMA 的数据传输，从内部读取并丢弃其余的帧。如果可用，则可以启动下一帧传输。

接收状态字

以太网帧接收结束时，MAC 向 DMA 输出接收状态。接收状态的详细说明与 RXDES0[31:0]相同。

帧长度接口

应用和 MAC 之间的数据发送和接收以传输完整帧的形式进行。应用层需要知道从入站端口接收的帧的长度以便将帧传输到出站端口。MAC 内核在每次帧接收结束时提供每个接收的帧的长度。

MII/RMII 接收位序

每个半字节都从在 RMII 上接收的双位发送到 MII，发送顺序由低到高。

28.3.3.4 MAC 中断

各种事件都可以令 MAC 内核产生中断，MAC_ISTS 寄存器描述了各种事件中断。设置中断屏蔽寄存器中相应的屏蔽位可阻止产生事件中断。对相应的状态寄存器和其它寄存器进行读操作可清除中断。

28.3.3.5 MAC 过滤

地址过滤

检查所有接收的帧的目标地址和源地址并报告相应的地址过滤状态。地址检查取决于帧过滤寄存器的设置。还可以识别过滤的帧：多播帧或广播帧。地址过滤使用站的 MAC 地址和多播散列表进行地址检查。

单播目标地址过滤

MAC 支持 4 个用于单播完美过滤的 MAC 地址。若 MAC_FRAF[HUC]=0，MAC 会比较接收的单播地址的所有 48 位与设置的 MAC 地址是否匹配。

组播目标地址过滤

MAC_FRAF 寄存器的 PM 控制是否将 MAC 设置为通过所有组播帧。当复位 PM 位时，MAC_FRAF 寄存器中的 HMC 位控制过滤组播地址。

散列或完美地址过滤

当设置 MAC_FRAF 寄存器中的 HPF 位、HUC 位及 HMC 位时，DA 过滤配置为在其 DA 与散列过滤或完美过滤匹配时允许帧通过。此配置适用于单播帧和组播帧。如果 HPF 位复位，则只有一种过滤方式。

广播地址过滤

在默认模式下，MAC 不过滤广播帧。但如果 MAC_FRAF[DISBF]=1，则会丢弃所有广播帧。

单播源地址过滤

MAC 根据接收的帧的源地址执行完美过滤。默认情况下，MAC 将 SA 字段与 SA 寄存器中的值比较。当设置相应寄存器中的位 30 时，MAC 地址寄存器配置为包含 SA 进行比较。若 MAC_FRAF[SAFEN]=0，SA 过滤的结果将呈现在接收状态字中的状态位。否则 MAC 丢弃未通过 SA 过滤的帧。

反向过滤

在最终输出时分别由 MAC_FRAF 的 DAIF 和 SAIF 位控制目标地址和源地址过滤。DAIF 位适用于单播和组播 DA 帧，设置此位时将反转单播/组播目标地址过滤的结果。当设置 SAIF 位时，将反转单播 SA 过滤的结果。

表格 147 目标地址过滤

帧类型	PR	HUC	HMC	DAIF	PM	DISBF	HPF	DA 过滤操作
广播	1	X	X	X	X	X	X	通过
	0	X	X	X	X	0	X	通过
	0	X	X	X	X	1	X	不通过
单播	1	X	X	X	X	X	X	所有帧通过
	0	0	X	0	X	X	X	完美/组过滤匹配时通过
	0	0	X	1	X	X	X	完美/组过滤匹配时不通过
	0	1	X	0	X	X	0	散列过滤匹配时通过
	0	1	X	1	X	X	0	散列过滤匹配时不通过
	0	1	X	0	X	X	1	散列或完美/组过滤匹配时通过
	0	1	X	1	X	X	1	散列或完美/组过滤匹配时不通过
多播	1	X	X	X	X	X	X	所有帧通过
	X	X	X	X	1	X	X	所有帧通过

帧类型	PR	HUC	HMC	DAIF	PM	DISBF	HPF	DA 过滤操作
	0	X	0	0	0	X	X	如果 PCTRLF=0x，完美/组过滤匹配时通过，并丢弃暂停控制帧
	0	X	1	0	0	X	0	如果 PCTRLF=0x，散列过滤匹配时通过，并丢弃暂停控制帧
	0	X	1	0	0	X	1	如果 PCTRLF=0x，散列或完美/组过滤匹配时通过，并丢弃暂停控制帧
	0	X	0	1	0	X	X	如果 PCTRLF=0x，完美/组过滤匹配时不通过，并丢弃暂停控制帧
	0	X	1	1	0	X	0	如果 PCTRLF=0x，散列过滤匹配时不通过，并丢弃暂停控制帧
	0	X	1	1	0	X	1	如果 PCTRLF=0x，散列或完美/组过滤匹配时不通过，并丢弃暂停控制帧

表格 148 源地址过滤器

帧类型	PR	SAIF	SAFEN	SA 过滤操作
单播	1	X	X	所有帧通过
	0	0	0	完美/组过滤匹配时通过，但不丢弃未通过的帧
	0	1	0	完美/组过滤匹配时不通过，但不丢弃帧
	0	0	1	完美/组过滤器匹配时通过并丢弃不通过的帧
	0	1	1	完美/组过滤器匹配时不通过并丢弃不通过的帧

28.3.3.6 MAC 回送模式

MAC 可以回送接收到的帧。由 MAC_CFG 寄存器的 LBM 位控制此功能，此功能默认情况下禁止。

28.3.3.7 MAC 管理计数（MMC）

MMC 有一个控制寄存器、两个中断状态寄存器，及两个包含屏蔽中断寄存器掩来收集有关接收帧和发送帧的信息。这些寄存器都可从应用程序中访问。

接收 MMC 计数器更新通过地址过滤的帧。除非丢弃的帧为小于 6 字节的矮帧，否则不更新已丢弃的帧。

良好帧

（1） 如果发送时不存在以下错误，则发送帧为“良好帧”：

- 帧下溢
- 无载波/载波丢失
- Jabber 超时
- 延迟冲突
- 过度延迟
- 过度冲突

（2） 如果接收时不存在以下错误，则接收帧为“良好帧”：

- 矮帧

- CRC 错误
- MII_RXER 输入错误
- 对齐错误（仅限 10/100Mb/s）
- 长度错误（仅限非类型帧）
- 超出范围（仅限非类型帧，超过最大尺寸）

（3） 帧类型决定最大帧尺寸，如下：

- 无标记帧的最大尺寸=1518
- VLAN 帧的最大尺寸=1522

28.3.3.8 电源管理（PMT）

PMT 支持接收网络远程唤醒帧和魔术数据包帧。可为 MAC 接收的唤醒帧和魔术数据包帧生成中断。可通过 MAC_PMTCTRLSTS 寄存器的 WKUPFEN 位和 MPEN 位使能 PMT 模块。在 PMT 中使能掉电模式时，MAC 丢弃所有接收的帧且不会转发给应用。仅当接收到远程唤醒帧或魔术数据包帧且使能相应检测时才会退出掉电模式。

检测远程唤醒帧

当 MAC 处于睡眠模式且已使能 MAC_PMTCTRLSTS[WKUPFEN]=1 时，MAC 可在接收到远程唤醒帧后恢复正常工作。

检测魔术数据包

使用 AMD 公司的技术可对网络上处于睡眠模式下的设备上电。MAC 接收到一个称为魔术数据包的特定信息包，其地址是网络上的节点。只检查发送到设备或多播地址的魔术数据包，以确定它们是否满足唤醒要求。

掉电期间的系统注意事项

使能 EINT 19 中断线时以太网 PMT 模块可以在系统处于停止模式时检测帧。MAC 接收器状态机在掉电模式时应保持使能。

28.3.3.9 精密时间协议（IEEE1588 PTP）

IEEE 1588 标准定义了一种协议。适用于通过支持多播消息传输的局域网进行通信的系统，同步异构系统，包括固定精度、分辨率和稳定性不同的时钟。支持使用网络通信、局域计算和分布式对象等技术实现的测量和控制系统中的精密时钟同步。支持亚秒范围的系统级同步精度，且需要的网络和本地时钟计算资源最小。这种称为精密时间协议通过 UDP/IP 发送。系统或网络分为主节点和从节点，用于分配时序/时钟信息。该协议通过交换 PTP 消息将从节点同步到主节点。

使用 PTP 发送帧

当帧的 SFD 在 MII 上输出时将捕获时间戳。可标记每个发送帧来指示是否需要捕获该帧的时间戳。不用处理发送帧就可以识别 PTP 帧。发送描述符中的控制位控

制帧。捕获到的时间戳以提供帧状态的方式返回给应用。时间戳会随帧的发送状态发送回相应的发送描述符内，使得时间戳与特定 PTP 帧相连。64 位时间戳信息写回 TXDES2 和 TXDES3 字段，其中 TXDES2 保持时间戳的 32 个最低有效位。

使用 PTP 接收帧

使能 IEEE 1588 时间戳功能时，MII 上接收的所有帧的时间戳将被以太网 MAC 捕获。MAC 在完成帧接收时提供时间戳。捕获到的时间戳以提供帧状态的方式返回给应用。时间戳会随帧的接收状态发送回相应的接收描述符内。64 位时间戳信息会写回 RXDES2 和 RXDES3 字段，其中 RXDES2 保持时间戳的 32 个最低有效位。

参考时序源

要获取时间快照，内核需要一个 64 位的参考时间。PTP 参考时钟输入的作用为在内部生成参考时间及捕获时间戳。生成的参考时钟的频率不能小于时间戳计数器的分辨率。主节点与各从节点间的同步精度目标约为 100ns。

校准方法

在一个过程中同步或更新系统时间为粗略校准方法，为了减少系统时间抖动而同步或更新系统时间为精密校准方法。

系统时间校准方法

64 位 PTP 时间由 PTP 输入参考时钟 HCLK 刷新。为了获取 MII 上发送或接收的以太网帧的时间戳，将该时间用作时钟源。可使用粗略校准或精密校准两种方法初始化或校准系统时间定时器。

系统时间初始化

时间戳功能由 PTP_TSCTRL 寄存器的 TSEN 位控制。设置后需对时间戳计数器进行初始化才能使能时间戳。

与 TMR2 内部相连的 PTP 触发

为避免系统时间大于目标时间时使用中断导致命令执行时间出现不确定性，可在系统时间大于目标时间时将内部连接到 TMR2 输入触发的 PTP 触发输出信号置为高电平。

PTP 脉冲每秒输出信号

PTP 脉冲用于检查网络中所有节点间的同步性。可为两个时钟提供每秒脉冲数(PPS)输出信号，以便能测试本地从时钟与主参考时钟之间的差值。PPS 输出的脉冲宽度为 125ms。

28.3.4 DMA 控制器

DMA 用于包的数据传输。可设置该控制器在发送帧和接收帧完成等正常/错误条件下产生 CPU 中断。DMA 具有单独的发送器和接收器及相应的控制和状态寄存器。发送器把在系统存储器中的数据传输到 Tx FIFO，接收器把 Rx FIFO 接收到的数据传输到系统存储器。DMA 描述符可以以最少的 CPU 干预将数据从源地址传输到目标地址。DMA 和 CPU 的通信方式分为以下两种数据结构：

- 控制和状态寄存器
- 描述符列表和数据缓冲区

28.3.4.1 主机总线突发访问

DMA 尝试在 AHB 主接口上进行固定长度的突发传输。突发的最大长度取决于 ETH_DMABMOD 寄存器的 PBL 位。接收和发送描述符用可能的最大突发大小访问要读取的 16 个字节。

28.3.4.2 主机数据缓冲区对齐

发送和接收数据缓冲区不限制起始地址对齐。在我们的系统中，缓冲区的起始地址可以和四个字节中的任何一个对齐。DMA 总是在地址与总线宽度对齐时开始传输，且在以太网帧的开始或结束传输时使用不需要的字节通道传输空数据。

28.3.4.3 计算缓冲区大小

DMA 只更新发送和接收描述符的状态，不更新大小。大小需要用驱动程序计算。发送 DMA 会向 MAC 内核发送正确的字节数。

28.3.4.4 DMA 仲裁器

DMA 内的仲裁器会在发送通道和接收通道分别访问 AHB 主接口之间进行仲裁。可以使用循环调度和固定优先级两类仲裁。

28.3.4.5 对 DMA 的错误响应

如果从机对 DMA 通道发起的数据传输给出错误响应，则相应的 DMA 将停止所有操作并更新 ETH_DMASTS 寄存器中的 FBERRFLG 位和 ERRB 位。

28.3.4.6 Tx DMA

Tx DMA 分为两种模式：默认模式和 OSF 模式

处理发送帧

发送 DMA 期望数据缓冲区包含完整的以太网帧，不包括报头、pad 和 FCS。DA、SA 和类型/长度字段包含有效数据。当发送描述符指示 MAC 内核禁止插入 CRC 或 pad 时，缓冲区必须有完整的包含 CRC 字节的以太网帧。帧由第一个描述符和最后一个描述符定界，可以是数据链接或跨越多个缓冲区。

暂停发送轮询

当 DMA 检测到所有的描述符，且 ETH_DMASTS 寄存器的 TXBU 位被设置时会

暂停发送轮询。或检测到由下溢导致的发送错误时，中止帧发送。相应的发送描述符 0 位将置 1。如果发生第二个条件，将设置 ETH_DMASTS 寄存器的 AINTS 位与 TXUNF 位，且信息被写入发送描述符 0，也会暂停发送轮询。

28.3.4.7 常规发送描述符功能描述

常规发送描述符结构由 4 个 32 位字组成，如果时间戳已激活或 Ipv4 校验和减荷已激活，则必须使用增强的描述符。

发送描述符字 0（TXDES0）

位/域	名称	R/W	描述
0	DEF	R/W	延迟（Deferred） 当设置此位时，表示由于载波的存在，MAC 在发送前延迟。该位仅在半双工模式下有效。 0：无延迟 1：有延迟
1	UFERR	R/W	下溢错误（Underflow Error） 当设置此位时，该位表示 MAC 终止帧，因为数据从主机内存到达较晚。下流错误表明 DMA 在发送帧时遇到了一个空的发送缓冲区。发送过程进入挂起状态。
2	EDEF	R/W	过多的延迟（Excessive Deferral） 如果将 MAC_CFG[4]置 1，则该位表示发送已经结束。
6:3	CCNT	R/W	冲突次数（Collision Count） 该位域的值表示帧被发送之前发生的冲突次数。TXDES0[8]置 1 时无效。
7	VLANF	R/W	VLAN 格式（VLAN Frame） 设置此位时，表示发送帧是 VLAN 类型的帧。
8	EC	R/W	过度冲突（Excessive Collision） 当设置此位时，该位表示在尝试发送当前帧时，连续 16 次碰撞后发送被终止。如果设置 MAC_CFG[9]，则该位在第一次碰撞后设置，帧的发送将中止。
9	LC	R/W	延迟冲突（Late Collision） 设置此位时，表示由于冲突窗口后发生冲突而终止帧发送。如果设置了下溢错误则此位无效。
10	NC	R/W	无载波（No Carrier） 当设置时，此位表示在发送过程中不断言形成 PHY 的载波检测信号。
11	LSC	R/W	丢失载波（Loss of Carrier） 当设置此位时，表示帧发送过程中丢失载波。只当 MAC 工作在半双工模式对无冲突发送的帧有效。
12	IPERR	R/W	IP 有效负载错误（IP Payload Error） 该位置 1 时，MAC 发送器在 TCP、UDP 或 ICMP IP 数据包有效负载中检测到错误。发送器将从应用程序接收的 TCP、UDP 或 ICMP IP 数据包实际字节数检查 Ipv4 或 Ipv6 报头中接收的有效负载长度进行对照，如果出现不匹配，则显示错误状态。
13	FF	R/W	帧刷新（Frame Flushed） 当设置此位时，该位表示 DMA 或 MTL 由于 CPU 给出的软件刷新命令而刷新帧。
14	JTO	R/W	Jabber 超时（Jabber Timeout）

位/域	名称	R/W	描述
			设置此位时，表示 MAC 发送器经历了 jabber 超时。只有当 MAC_CFG 寄存器的 JDIS 位没有被设置时，才会设置该位。
15	ERRS	R/W	错误汇总（Error Summary） 值为以下位的或运算结果： TXDES0[1]：UFERR TXDES0[2]：EDEF TXDES0[8]：EC TXDES0[9]：LC TXDES0[10]：NC TXDES0[11]：LSC TXDES0[12]：IPERR TXDES0[13]：FF TXDES0[14]：JTO TXDES0[16]：IHERR
16	IHERR	R/W	IP 报头错误（IP Header Error） 该位置 1 时，指示 MAC 发送器在 IP 数据报头中检测到错误。发送器将对照从应用程序接收的报头字节数检查 Ipv4 数据包的报头长度，如果出现不匹配，则指示错误状态。如果 Ipv6 帧的主报头长度不是 40 个字节，则报告一个报头错误。如果 Ipv4 帧的报头长度字段的值小于 0x5，也会报告一个报头错误。此外，Ipv4 或 Ipv6 帧的以太网长度/类型字段值必须与随数据包接收的 IP 报头版本匹配。
17	TXTSS	R/W	发送时间戳状态（TX Timestamp Status） 此状态位表示已捕获相应发送帧的时间戳。当设置此位时，TXDES2 和 TXDES3 具有为发送帧捕获的时间戳值。该位域仅在描述符中最后段控制位（TXDES0[29]）被设置时有效。 使能增强的描述符时，TXTSS=1 表示 TXDES6 和 TXDES7 中存有时间戳值。
19:18	保留		
20	TXCH	R/W	次链接地址（Second Address Chained) 该位置 1 时，描述符中的第二个地址是下一个描述符地址，而非第二个缓冲区地址，且 TXDES1[28:16]为“无关”值。TXDES0[21]优先级高于 TXDES0[20]。
21	TXENDR	R/W	环发送结束(Transmit End of Ring) 该位置 1 时，描述符列表已到达其最后一个描述符。DMA 会返回描述符列表的基址，并形成一个描述符环。
23:22	CHINS	R/W	控制校验和插入(Checksum Insertion Control) 这些位控制校验和的计算与插入。位编码如下所示： 00：禁止插入校验和 01：使能 IP 报头校验和的计算与插入 10：使能有效负载校验和及 IP 报头校验和的计算与插入，但不会在硬件中计算伪报头校验和 11：使能有效负载校验和及 IP 报头校验和的计算与插入，并在硬件中计算伪报头校验和。
24	保留		
25	TXTSEN	R/W	发送时间戳使能（Transmit Timestamp Enable) 该位置 1 且 TSEN 置 1 时，将针对描述符所描述的发送帧激活 IEEE1588 硬件时间戳功能。该位仅在 TXDES0[28]=1 的情况下有效。

位/域	名称	R/W	描述
26	DISP	R/W	禁止填充 (Disable Pad) 0：DMA 会自动为不足 64 字节的帧添加补位项和 CRC，是否添加 CRC 字段与 TXDES0[27]无关 1：MAC 不会自动为不足 64 字节的帧添加补位项 该位仅在 TXDES0[28]=1 的情况下有效。
27	DISC	R/W	禁止 CRC(Disable CRC) 该位置 1 时，MAC 不会将 CRC 附加到所发送帧的末尾。该位仅在 TXDES0[28]=1 的情况下有效。
28	FS	R/W	首段(First Segment) 该位置 1 时，表示缓冲区中包含帧的首段。
29	LS	R/W	末段(Last Segment) 该位置 1 时，表示缓冲区中包含帧的末段。
30	INTC	R/W	完成后中断(Interrupt on Completion) 该位置 1 时，当前帧发送完毕后，发送一个中断。
31	OWN	R/W	所属位（Own） 0：该描述符属于 CPU 1：该描述符属于 DMA DMA 在完成帧发送或描述符中分配的缓冲区为空时清除此位。该帧的第一个描述符的所有位应该在所有属于同一帧的后续描述符被设置之后进行设置。

发送描述符字 1（TXDES1）

位/域	名称	R/W	描述
12:0	TXBS1	R/W	发送缓冲区 1 大小（Transmit Buffer 1 Size） 这些位表示第一个数据缓冲区大小。如果该位为 0，DMA 将忽略该缓冲区并使用缓冲区 2 或下一个描述符，具体取决于 TXDES0[20]的值。
15:13	保留		
28:16	TXBS2	R/W	发送缓冲区 2 大小（Transmit Buffer 2 Size） 这些位以字节表示第二数据缓冲区大小。如果 TXDES0[20]=1，则该字段无效。
31:29	保留		

发送描述符字 2（TXDES2）

位/域	名称	R/W	描述
31:0	TXADDR1_TXFTSL	R/W	发送缓冲区 1 地址指针/发送帧时间戳低位（Transmit Buffer 1 Address Pointer / Transmit frame timestamp low） 向 DMA 指示数据在存储器中的位置，当所有数据发送完毕后，DMA 可利用这些位传回时间戳数据。 TXADDR1：当 TXDES0[31]=1 时，这些位表示缓冲区 1 的物理地址。缓冲区地址对齐方式没有限制。 TXFTSL：在将 TXDES0[31]清零前，DMA 将使用为相应发送帧所捕获的时间戳的 32 个最低有效位更新该字段。只有在该帧的时间戳功能被激活且 LS=1 时，该位域才包含时间戳。

发送描述符字 3（TXDES3）

位/域	名称	R/W	描述
31:0	TXADDR2_TXFTSH	R/W	发送缓冲区 2 地址指针（下一描述符地址）/发送帧时间戳高位（Transmit Buffer 2 Address Pointer (Next descriptor address) / Transmit frame timestamp high） 向 DMA 指示数据在存储器中的位置，当所有数据发送完毕后，DMA 可利用这些位传回时间戳数据。 TXADDR2：当 TXDES0[31]=1 且使用描述符环结构时，这些位表示缓冲区 2 的物理地址。如果 TXDES1[24]=1，则该地址包含下一个描述符所在物理寄存器的指针。只有在 TXDES1[24]=1 时，缓冲区地址指针才与总线宽度相符。 TXFTSH：在将 TXDES0[31]清零前，DMA 将使用为相应发送帧所捕获的时间戳的 32 个最高有效位更新该字段。只有在该帧的时间戳功能被激活且 LS=1 时，该位域才包含时间戳。

28.3.4.8 增强发送描述符功能描述

如果时间戳或 Ipv4 校验和减荷已激活，则必须使用增强的描述符。增强的描述符由 8 个 32 位字组成，即描述符正常大小的两倍。TXDES0、TXDES1、TXDES2 和 TXDES3 的定义与常规发送描述符相同。TXDES6 和 TXDES7 包含时间戳。选择增强的描述符模式时，需要为每个描述符分配 32 个字节的内存。如果未使用时间戳或 Ipv4 校验和减荷，则可以禁止增强的描述符格式，而软件可使用默认大小为 16 字节的常规描述符。

发送描述符字 4（TXDES4）

位/域	名称	R/W	描述
31:0	保留		

发送描述符字 5（TXDES5）

位/域	名称	R/W	描述
31:0	保留		

发送描述符字 6（TXDES6）

位/域	名称	R/W	描述
31:0	TXFTSL	R/W	发送帧时间戳低位(Transmit Frame Timestamp Low) 该位域由 DMA 使用为相应发送帧所捕获的时间戳的 32 个最低有效位更新。只有在 LS=1 时，该位域才包含时间戳。

发送描述符字 7（TXDES7）

位/域	名称	R/W	描述
31:0	TXFTSH	R/W	发送帧时间戳高位(Transmit Frame Timestamp High) 该位域由 DMA 使用为相应发送帧所捕获的时间戳的 32 个最高有效位更新。只有在 LS=1 时，该位域才包含时间戳。

28.3.4.9 Rx DMA

获取接收描述符

接收器始终尝试获取一个额外的描述符加入即将接收到的帧。当以下任意操作发生时，即尝试获取描述符：

（1） 已发出接收轮询要求命令

（2） DMA 运行后，ETH_DMAOPMOD 寄存器的 STRX 位立即置位

（3） 当前传输的帧结束前，描述符数据缓冲区已满

（4） 接收过程因 RDES0[OWN]=0 而挂起，且接收到新帧

（5） 接收数据帧完成，但接收描述符未关闭

处理接收帧

只有当帧大小不小于为接收 FIFO 设置的阈值字节数的帧通过地址过滤时，或在存储转发模式下将整个帧写入 FIFO 时，MAC 才会将接收的帧传输到存储器。

接收时停止

如果接收过程挂起时检测到新的接收帧，则 DMA 将重新获取存储器中的当前描述符。若该描述符为 DMA 所有，将重新接收帧。若为主机所有，则默认情况下，DMA 将丢弃 Rx FIFO 顶部的当前帧且丢失帧计数器递增。如果 Rx FIFO 中存储了多个帧，将重复执行上述过程。设置 ETH_DMAOPMOD 寄存器的 DISFRXF 位后可避免丢弃或刷新 Rx FIFO 顶部的帧。此时 RXBU 位置 1 且接收过程返回挂起状态。

28.3.4.10 常规接收描述符功能描述

常规接收描述符结构由 4 个 32 位字组成，如果时间戳功能或 Ipv4 校验和减荷已激活，则必须使用增强的描述符。

接收描述符字 0（RXDES0）

位/域	名称	R/W	描述
0	PERR_ESA	R/W	负载校验和错误/扩展状态可用（Payload Checksum Error / extended status available） 当设置此位时，核心计算出的 TCP、UDP 或 ICMP 校验和不匹配接收到的封装的 TCP、UDP 或 ICMP 段的校验和字段。当接收到的有效载荷字节数与接收到的以太网帧中封装的 Ipv4 或 Ipv6 数据报的长度字段的值不匹配时，也会设置此位。 使能增强的描述符格式后，该位具有 ESA 功能。ESA 置 1 时，表示 RXDES4 中存在扩展状态。只有 RXDES0[8]=1 时，ESA 才有效。
1	CERR	R/W	CRC 错误（CRC Error） 当设置此位时，在接收帧上发生 CRC 错误。该位仅在 RXDES0[8]=1 时有效
2	DERR	R/W	Dribble 帧错误（Dribble Error）

位/域	名称	R/W	描述
			当设置此位时，接收帧具有非整数字节的倍数。该位仅在 MII 模式下有效。
3	RERR	R/W	接收错误（Receive Error） 当设置此位时，在帧接收期间发出 RX_DV 信号时，会产生 RX_ERR 信号。
4	RXWDTTO	R/W	接收看门狗超时（Receive Watchdog Timeout） 当设置此位时，接收看门狗定时器在接收当前帧时已超时，当前帧在看门狗超时后被截断。
5	FT	R/W	帧类型（Frame Type） 0：接收帧是以太网类型的帧 1：接收帧是 IEEE802.3 帧 当设置此位时，。当该位被重置时，表示此位对小于 14 字节的矮帧无效。
6	LC	R/W	延迟冲突（Late Collision） 当设置此位时，在以半双工模式接收帧时发生了延迟冲突。
7	IPCERR_TSV	R/W	Ipv 报头校验和错误/时间戳有效（Ipv header Checksum Error / Time Stamp Valid） 当设置此位时，Ipv4 或 Ipv6 报头中存在错误。 原因可能是：以太网类型字段与 IP 报头版本字段值不一致、与 Ipv4 中报头的校验和不匹配，或以太网帧缺少所需的 IP 报头字节数。 使能增强的描述符格式后，该位具有 TSV 功能。TSV=1 时，表示将在 RXDES6 和 RXDES7 中写入时间戳快照。只有 RXDES0[8]=1 时，TSV 才有效。
8	LDES	R/W	最后描述符（Last Descriptor） 当设置此位时，该描述符所指向的缓冲区是帧的最后缓冲区。
9	FDES	R/W	开头描述符（Frist Descriptor） 当设置此位时，该描述符包含帧的第一个缓冲区。如果第一个缓冲区的大小是 0，第二个缓冲区包含帧的开头。如果第二个缓冲区的大小也是 0，则下一个描述符包含帧的开头。
10	VLANF	R/W	VLAN 帧（VLAN Frame） 当设置此位时，该描述符所指的帧是带有 MAC 标记的 VLAN 帧。
11	OFERR	R/W	上溢错误（Overflow Error） 当设置此位时，接收的帧由于 Rx FIFO 中的缓冲区溢出而损坏。
12	LERR	R/W	长度错误（Length Error） 当设置此位时，收到的帧的实际长度，并且长度/类型字段不匹配。只有 RXDES0[5]=0 时，该位才有效。
13	SADDRF	R/W	源地址过滤失败（Source Address Filter Fail） 当设置此位时，帧的 SA 字段没有通过 MAC 中的 SA 过滤器。
14	DESERR	R/W	描述符错误（Descriptor Error） 当设置此位时，该位表示由于帧不适合当前描述符缓冲区而导致的帧截断，并且 DMA 没有下一个描述符。帧被截断了。 注意：该字段仅在设置了最后描述符（RXDES0[8]）时有效。
15	ERRS	R/W	错误汇总（Error Summary） 值为以下位的或运算结果： RXDES0[0]：PERR_ESA RXDES0[1]：CERR RXDES0[3]：RERR

位/域	名称	R/W	描述
			RXDES0[4]：RXWDTTO RXDES0[6]：LC RXDES0[7]：IPCERR_TSV RXDES0[11]：OFERR RXDES0[14]：DESERR
29:16	FL	R/W	帧长度（Frame Length） 此位域表示被发送到主机内存的接收帧的字节长度。该位只有在 RXDES0[8]=1 且 RXDES0[14])=0 时才有效。 当 RXDES0[8]=0 且 ERRS=0 时表示已为当前帧发送的累计字节数。
30	ADDRF	R/W	目的地址过滤失败（Destination Address Filter Fail） 当设置此位时，表示 MAC 中 DA 过滤失败的帧。
31	OWN	R/W	所属位（Own） 0：该描述符属于 CPU 1：该描述符属于 DMA DMA 在完成帧接收或描述符中分配的缓冲区为满时清除此位。

表格 149 正常描述符格式中的配置

位 0 （PERRC_ESA）	位 5 （FT）	位 7 （IPCERR_TSV）	帧状态
0	0	0	IEEE 802.3 类型帧
1	0	1	既不是 Ipv4 也不是 Ipv6 的类型帧
0	1	0	Ipv4/Ipv6 类型帧，未检测到校验和错误
1	1	0	Ipv4/Ipv6 类型帧，检测到有效负载校验和错误
0	1	1	Ipv4/Ipv6 类型帧，检测到 IP 报头校验和错误
1	1	1	Ipv4/Ipv6 类型帧，检测到 IP 报头和有效负载校验和错误
1	0	0	Ipv4/Ipv6 类型帧，无 IP 报头校验和错误，有效负载检查因有效负载不受支持而被绕过
0	0	1	保留

接收描述符字 1（RXDES1）

位/域	名称	R/W	描述
12:0	RXBS1	R/W	接收缓冲区 1 大小（Receive Buffer 1 Size） 0：DMA 将忽略该缓冲区，并根据 RXCH 位的值使用缓冲区 2 或下一个描述符。 其他：指第一个数据缓冲区大小。缓冲区大小必须是 4、8 或 16 的倍数，这取决于总线宽度，即使缓冲区 2 地址指针的值没有对齐。在缓冲区大小不是 4、8 或 16 的倍数的情况下，产生的行为是未定义的。
13	保留		
14	RXCH	R/W	次地址链接（Second Address Chained） 设置此位时，表示描述符中的第二个地址是下一个描述符地址，而不是第二个缓冲区地址。忽略 RXBS2 的值。RXER 优先于 RXCH。
15	RXER	R/W	环接收结束（Receive End of Ring）

位/域	名称	R/W	描述
			设置此位时，表示描述符列表到达了最终的描述符。DMA 返回到列表的基地址，创建一个描述符环。
28:16	RXBS2	R/W	接收缓冲区 2 大小（Receive Buffer 2 Size） 指第二个数据缓冲区大小。缓冲区大小必须是 4、8 或 16 的倍数，这取决于总线宽度，即使缓冲区 1 地址指针的值没有对齐。在缓冲区大小不是 4、8 或 16 的倍数的情况下，产生的行为是未定义的。 如果设置了 RXCH 位，此位域无效。
30:29	保留		
31	DINTC	R/W	禁止完成中断（Interrupt on Completion Disable） 设置此位时，会阻止 RXFLG 位的设置，使接收的帧在由该描述符指示的缓冲区中结束，从而禁止引发主机中断。

接收描述符字 2（RXDES2）

位/域	名称	R/W	描述
31:0	RXADDR1_RXFTSL	R/W	接收缓冲区 1 地址指针/接收时间戳低位（Receive Buffer 1 Address Pointer / Receive Frame Timestamp Low） 向 DMA 指示数据在存储器中的位置，当所有数据发送完毕后，DMA 可利用这些位传回时间戳数据。 RXADDR1：当 RXDES0[OWN]=1 时，这些位表示缓冲区 1 的物理地址。除了当使用 RXDES2 的值存储帧起点时，地址是由 DMA 使用配置的值生成的。在发送帧开始期间，DMA 将在 RXDES2[3:0]=0 的情况下执行写操作，但帧数据会根据实际的缓冲区地址指针进行移位。当地址指针指向存储有帧中间部分或最后部分的缓冲区时，DMA 将忽略 RXDES2[3:0]之外。缓冲区地址对齐方式没有限制。 RXFTSL：在将 RXDES0[OWN]清零前，DMA 将使用为相应发送帧所捕获的时间戳的 32 个最低有效位更新该字段。只有在该帧的时间戳功能被激活且 LS=1 时，该位域才包含时间戳。

接收描述符字 3（RXDES3）

位/域	名称	R/W	描述
31:0	RXADDR2_RXFTSH	R/W	接收缓冲区 2 地址指针（下一描述符地址）/发送帧时间戳高位（Receive Buffer 2 Address Pointer (Next Descriptor Address) / Receive Frame Timestamp High） 向 DMA 指示数据在存储器中的位置，当所有数据发送完毕后，DMA 可利用这些位传回时间戳数据。 RXADDR1：当 RXDES0[OWN]=1 且使用描述符环结构时，这些位表示缓冲区 2 的物理地址。如果 RXDES[24]=1，则该地址包含下一个描述符所在物理寄存器的指针。只有在 RXDES1[24]=1 时，缓冲区地址指针才与总线宽度相符。当 RXDES[24]=0 时，除了当使用 RXDES2 的值存储帧起点时，地址是由 DMA 使用配置的值生成的。当地址指针指向存储有帧中间部分或最后部分的缓冲区时，DMA 将忽略 RXDES2[3:0]之外，缓冲区地址对齐方式没有限制。 RXFTSH：在将 RXDES0[OWN]清零前，DMA 将使用为相应发送帧所捕获的时间戳的 32 个最低有效位更新该字段。只有在该帧的时间戳功能被激活且 LS=1 时，该位域才包含时间戳。

28.3.4.11 增强接收描述符功能描述

如果时间戳或 Ipv4 校验和减荷已激活，则必须使用增强的描述符。增强的描述符由 8 个 32 位字组成，即描述符正常大小的两倍。RXDES0、RXDES1、RXDES2 和 RXDES3 的定义与常规接收描述符相同。RXDES4 包含扩展状态，RXDES6 和 RXDES7 包含时间戳。

选择增强的描述符模式时，需要为每个描述符分配 32 个字节的内存。如果未使用时间戳或 Ipv4 校验和减荷，则可以禁止增强的描述符格式，而软件可使用默认大小为 16 字节的常规描述符。

接收描述符字 4（RXDES4）

当存在与 Ipv4 校验和或时间戳相关的状态时才有效。

位/域	名称	R/W	描述
2:0	IPPT	R/W	IP 有效负载字节(IP payload type) 如果激活 Ipv4 校验和减荷，表示 IP 数据报中封装的有效负载类型。当 IP 报头出错或存在分段的 IP 时，这些位为“00”。 000：未知，或未处理 IP 有效负载 001：UDP 010：TCP 011：ICMP 1xx：保留
3	IPHERR	R/W	IP 报头错误(IP header error) 设置此位时，由内核计算的 16 位 Ipv4 报头校验和与接收的校验和不匹配，或 IP 数据报版本与以太网类型值不匹配。
4	IPPERR	R/W	IP 有效负载错误(IP payload error) 设置此位时，由内核计算的 16 位 IP 有效负载校验和与接收的校验和不匹配。当 TCP、UDP 或 ICMP 段长度与 IP 报头字段中的有效负载长度值不匹配时也会置 1。
5	IPCBP	R/W	绕过 IP 校验和(IP checksum bypassed) 设置此位时，绕过校验和减荷引擎。
6	IPV4P	R/W	接收到 Ipv4 数据包(receive Ipv4 packet) 设置此位时，接收到 Ipv4 数据包。
7	IPV6P	R/W	接收到 Ipv6 数据包(receive Ipv6 packet) 设置此位时，接收到 Ipv6 数据包。
11:8	PTPMT	R/W	PTP 消息类型(PTP message type) 0000：未接收到 PTP 消息 0001：SYNC（所有时钟类型） 0010：Follow_Up（所有时钟类型） 0011：Delay_Req（所有时钟类型） 0100：Delay_Resp（所有时钟类型） 0101：Pdelay_Req（在点对点透明时钟中）或 Announce（在普通时钟或边界时钟中） 0110：Pdelay_Resp（在点对点透明时钟中）或 Management（在普通时钟或边界时钟中） 0111：Pdelay_Resp_Follow_Up（在点对点透明时钟中）或 Signaling（在普通时钟或边界时钟中） 1xxx：保留
12	PTPFT	R/W	PTP 帧类型(PTP frame type)

位/域	名称	R/W	描述
			0：通过 UDP-Ipv4 或 UDP-Ipv6 发送 1：通过以太网发送 仅当消息类型为非零时才有效。接收到的数据包类型可通过位 6 或位 7 识别。
13	PTPV	R/W	PTP 版本(PTP version) 接收的 PTP 消息使用的版本格式 0：版本 1 1：版本 2 仅当消息类型为非零时才有效。
31:14	保留		

接收描述符字 5（RXDES5）

位/域	名称	R/W	描述
31:0	保留		

接收描述符字 6（RXDES6）

位/域	名称	R/W	描述
31:0	RXFTSL	R/W	接收帧时间戳低位(Receive Frame Timestamp Low) 该位域由 DMA 使用为相应接收帧所捕获的时间戳的 32 个最低有效位更新。DMA 仅为接收帧的最后描述符更新该位域。当同时设置该位域和 RXFTSH 时，视为时间戳已损坏。

接收描述符字 7（RXDES7）

位/域	名称	R/W	描述
31:0	RXFTSH	R/W	接收帧时间戳高位(Receive Frame Timestamp High) 该位域由 DMA 使用为相应接收帧所捕获的时间戳的 32 个最高有效位更新。DMA 仅为接收帧的最后描述符更新该位域。当同时设置该位域和 RXFTSL 时，视为时间戳已损坏。

28.3.4.12 DMA 中断

存在正常中断和异常中断两组中断。向 ETH_DMASTS 寄存器的对应位进行写操作可清除中断。当组内所有使能的中断都清除时，其汇总位也被清零。如果引发中断的原因是 MAC 内核，则 ETH_DMASTS 寄存器中的 PMTFLG 或 TSTFLG 位都被置为高电平。

28.3.5 以太网中断

以太网控制器有两个中断向量：一个用于正常以太网操作，一个用于仅当映射到 EINT 19 时的以太网唤醒事件。第一个以太网向量为 MAC 和 DMA 生成的中断而保留。第二个为发生唤醒事件时 PMT 生成的中断而保留。唤醒事件对 EINT 19 的映射使内核退出低功耗模式并产生中断。

当映射到 EINT 19 的以太网唤醒事件发生、同时使能了 MAC PMT 中断和带上升沿检测的 EINT 19 中断时，会产生两个中断。

28.4 MAC 寄存器地址映射

表格 150 寄存器地址映射

寄存器名称	描述	偏移地址
MAC_CFG	配置寄存器	0x00
MAC_FRAF	帧过滤寄存器	0x04
MAC_HTH	Hash 表高位寄存器	0x08
MAC_HTL	Hash 表低位寄存器	0x0C
MAC_ADDR	MII 地址寄存器	0x10
MAC_DATA	MII 数据寄存器	0x14
MAC_FCTRL	接收流量控制寄存器	0x18
MAC_VLANT	VLAN 标记寄存器	0x1C
MAC_REMWKUPFFL	远程唤醒帧过滤寄存器	0x28
MAC_PMTCTRLSTS	PMT 控制和状态寄存器	0x2C
MAC_DBG	调试寄存器	0x34
MAC_ISTS	中断状态寄存器	0x38
MAC_IMASK	中断屏蔽寄存器	0x3C
MAC_ADDR0H	MAC 地址 0 高寄存器	0x40
MAC_ADDR0L	MAC 地址 0 低寄存器	0x44
MAC_ADDR1H	MAC 地址 1 高寄存器	0x48
MAC_ADDR1L	MAC 地址 1 低寄存器	0x4C
MAC_ADDR2H	MAC 地址 2 高寄存器	0x50
MAC_ADDR2L	MAC 地址 2 低寄存器	0x54
MAC_ADDR3H	MAC 地址 3 高寄存器	0x58
MAC_ADDR3L	MAC 地址 3 低寄存器	0x5C

28.5 MAC 寄存器功能描述

28.5.1 配置寄存器（MAC_CFG）

偏移地址：0x00

复位值：0x0000 8000

位/域	名称	R/W	描述
1:0	保留		
2	RXEN	R/W	使能接收器（Receiver Enable） MAC 的接收状态机能够从 MII 接收帧。复位该位后，MAC 接收状态机将在当前帧接收完成后关闭，不再从 MII 接收到任何帧。

位/域	名称	R/W	描述
3	TXEN	R/W	使能发送器（Transmitter Enable） MAC 的发送状态机能够在 MII 上进行发送。复位该位后，当前帧完成发送后，将关闭 MAC 发送状态机，不再发送任何帧。
4	DC	R/W	延期检查（Deferral Check） 延期检查功能使能 MAC。当发送状态机延迟超过 24288 位乘以 10 或 100 Mbps 的模式时，MAC 标识帧中止状态，同时在发送帧的状态时设置过度延迟误差。 当该位复位时，直到 CRS 信号变为无效信号之前，该位都禁止延迟检查功能，MAC 发生延迟。该位仅在半双工模式下适用。
6:5	BL	R/W	后退限制（Back off Limit） 该位决定了在冲突后重试时 MAC 在重新发送尝试前等待的时间延迟(1000mbps 为 4096 位时间，10/100mbps 为 512 位时间)的随机整数®。该位仅在半双工模式下使用。 00：k=min(n，10) 01：k=min(n，8) 10：k=min(n，4) 11：k= min(n，1) 其中 n=重传尝试的次数。随机整数 r 的取值范围为 $0 \leqslant r < 2^k$
7	ACS	R/W	去除自动 Pad/CRC（Automatic Pad or CRC Stripping） MAC 只有在位长度小于 1536 字节时，才会在传入帧时去除 Pad 或 FCS。所有接收到的位长度大于或等于 1536 字节的帧都被传递给应用程序，而不用去除 Pad 或 FCS。当这个位被重置时，MAC 将不修改所有传入的帧发送给主机。
8	保留		
9	DISR	R/W	禁用重试（Disable Retry） MAC 只尝试一次发送。当 MII 接口发生冲突时，MAC 会忽略当前帧的发送，并在发送帧状态下报告一个冲突错误较大的帧中止。复位该位时，根据 BL 位的设置重新尝试 MAC。该位仅在半双工模式下使用。
10	IPC	R/W	Ipv4 校验和减荷（Ipv4 Checksum Offload） MAC 计算所有接收到的以太网帧有效负载的 16 位 1 的补码和。它还检查接收以太网帧的 Ipv4 头校验和对接收帧是否正确，并在接收状态字中给出状态。复位此位时禁止此功能。
11	DM	R/W	双工模式（Duplex Mode） MAC 工作在全双工模式下，可以同时发送和接收。
12	LBM	R/W	环回模式（Loopback Mode） 当设置此位时，MAC 在 MII 上以环回模式运行。MII 接收时钟输入(RX_CLK)需要环回正常工作，因为发送时钟内部没有环回。
13	DISRXO	R/W	禁止接收自身（Disable Receive Own） 当 phy_txen_o 确认为半双工模式时，MAC 禁止接收帧。当这个位被复位时，MAC 接收到所有由 PHY 发送的数据包。如果 MAC 工作在全双工模式，则不适用此位。
14	SSEL	R/W	选择速度（Speed select） 0：10Mbps 1：100Mbps
15	保留		
16	DISCRS	R/W	在发送过程中禁止载波侦听（Disable Carrier Sense During Transmission）

位/域	名称	R/W	描述
			设置为高时，在半双工模式下帧发送时 MAC 发射机忽略 MII CRS 信号。此请求导致在此类发送过程中没有由于载波丢失或无载波而产生的错误。设置为低时，MAC 发送器产生载波侦听错误，甚至可以中止发送。
19:17	IFG	R/W	帧间隔（Inter-Frame Gap） 这些位用来控制发送过程中帧之间的最小间隙。 000：96 位时间 001：88 位时间 010：80 位时间 … 111：40 位时间 在半双工模式下，最小 IFG 只能配置为 64 位(IFG = 100)，不考虑较低的值。
21:20	保留		
22	JDIS	R/W	禁止 Jabber（Jabber Disable） MAC 关闭发送端的 Jabber 定时器。MAC 最多可以发送 16384 字节的帧。当这个位复位时，如果应用程序在发送过程中发送超过 2048 字节的数据，MAC 就会切断发送器。
23	WDTDIS	R/W	禁止看门狗（Watchdog Disable） MAC 关闭接收端看门狗定时器。MAC 最多可以接收 16384 字节的帧。当该位复位时，MAC 不允许接收帧超过 2048 字节或看门狗超时寄存器。在看门狗限制字节数后，MAC 将禁止接收到任何字节。
24	保留		
25	CST	R/W	去除类型帧的 CRC（CRC Stripping for Type Frames） 所有以太类型帧的最后 4 个字节在转发给应用程序之前被去除并删除。
31:26	保留		

28.5.2 帧过滤寄存器（MAC_FRAF）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
0	PR	R/W	混合模式（Promiscuous Mode） 地址过滤模块将通过所有传入的帧，不管目的地址或源地址。接收状态字的 SA 或 DA 状态位总是被清除。
1	HUC	R/W	散列单播（Hash Unicast） MAC 根据 hash 表对单播帧进行目的地址过滤。复位后 MAC 对单播帧执行完美的目的地址过滤，它将 DA 字段与 DA 寄存器中编程的值进行比较。
2	HMC	R/W	散列多播（Hash Multicast） MAC 根据 hash 表对接收的组播帧进行目的地址过滤。复位后 MAC 对组播帧执行完美的目的地址过滤，它将 DA 字段与 DA 寄存器中编程的值进行比较。
3	DAIF	R/W	DA 反过滤（DA Inverse Filtering） 地址检查块以反过滤的方式对单播和组播帧的 DA 地址进行比较。复位后正常的帧过滤将被执行。

位/域	名称	R/W	描述
4	PM	R/W	通过所有组播（Pass All Multicast） 所有接收到的目的地址为组播地址(目的地址字段的第一个为 1)的帧都会被传递。复位后组播帧的过滤取决于 HMC 位。
5	DISBF	R/W	禁止广播帧（Disable Broadcast Frames） 地址过滤器过滤所有传入的广播帧。复位后地址过滤器发送所有接收到的广播帧。
7:6	PCTRLF	R/W	通过控制帧（Pass Control Frames） 这些位控制所有控制帧的转发(包括单播和多播暂停帧)。 00：MAC 过滤所有到达应用程序的控制帧。 01：即使除暂停帧外的所有控制帧没有通过地址过滤器，MAC 也会将它们转发给应用程序。 10：即使控制帧没有通过地址过滤器，MAC 也会将它们转发给应用程序。 11：MAC 转发通过地址过滤器的控制帧。 注意：将设置 MAC_FCTRL 的 RXFCTRLEN 位时，使能 MAC 为全双工模式。
8	SAIF	R/W	SA 反过滤（SA Inverse Filtering） 地址检查块对 SA 的地址比较以反过滤的方式进行。SA 与 SA 寄存器匹配的帧将被标记为 SA 地址过滤器失败。复位后 SA 与 SA 寄存器不匹配的帧将被标记为 SA 地址过滤器失败。
9	SAFEN	R/W	使能源地址过滤(Source Address Filter Enable) MAC 将接收帧的 SA 字段与使能的 SA 寄存器中编程的值进行比较。如果比较失败，MAC 丢弃帧。复位后 MAC 根据 SA 地址比较，将接收到的帧转发给接收状态的更新 SAFEN 位的应用程序。
10	HPF	R/W	Hash 或完美过滤器（Hash or Perfect Filter） 如果匹配 HMC 或 HUC 位设置的完美过滤或 Hash 过滤，它将配置地址过滤器通过帧。当此位低且 HUC 或 HMC 位被设置时，帧只在匹配 Hash 过滤器时被传递。
30:11	保留		
31	RXA	R/W	接收全部（Receive All） MAC 接收模块将发送所有接收到的帧，不管它们是否通过了地址过滤器。SA 或 DA 过滤的结果更新在接收状态字的相应位。当这个位被重置时，接收模块只将这些帧传递给通过 SA 或 DA 地址过滤器的应用程序。

28.5.3 Hash 表高位寄存器（MAC_HTH）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	HTH	R/W	Hash 表高位（Hash Table High） Hash 表的高 32 位。

28.5.4 Hash 表低位寄存器（MAC_HTL）

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	HTL	R/W	Hash 表低位（Hash Table Low） Hash 表的低 32 位。

28.5.5 MII 地址寄存器（MAC_ADDR）

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
0	MB	R/W	MII 忙碌（MII Busy） 写入 MAC_HT 寄存器此位有效。在 PHY 寄存器访问期间，软件将该位设置为 1，表示正在进行读或写访问。因此，直到 MAC 清除这个位之前，在一个 PHY 写操作中 MII 数据应该保持有效。对于读操作，清除该位之后 MAC_HT 有效。后续的读写操作必须在上一个操作完成后才能进行。
1	MW	R/W	MII 写操作（MII Write） 该位向 PHY 表示这是一个使用 MII 数据寄存器的写操作。如果没有设置此位，则表示这是一个读操作，数据将放入 MII 数据寄存器中。
4:2	CR	R/W	时钟范围（Clock Range） CR 时钟范围的选择决定了 HCLK 的频率，用于决定 MDC 时钟的频率: 选择 HCLK MDC 时钟 000：60-100 MHz-HCLK/42 001：100-150 MHz-HCLK / 62 010：20-35 MHz-HCLK/16 011：35-60 MHz-HCLK/26 100：150-168 MHz-HCLK/102 101、110、111：保留
5	保留		
10:6	MR	R/W	MII 寄存器（MII Register） 这些位在选定的 PHY 设备中选择所需的寄存器。
15:11	PA	R/W	物理层地址（Physical Layer Address） 表示 32 个可能的 PHY 设备中哪些正在被访问。
31:16	保留		

28.5.6 MII 数据寄存器（MAC_DATA）

偏移地址：0x14

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	MD	R/W	MII 数据（MII Data） 执行管理读操作后从 PHY 读取的 16 位数据值，或执行管理写操作前写入 PHY 的 16 位数据值。
31:16	保留		

28.5.7 接收流量控制寄存器（MAC_FCTRL）

偏移地址：0x18

复位值：0x0000 0000

位/域	名称	R/W	描述
0	FCTRLB/BPA	R/W	流量控制繁忙/激活回压（Flow Control Busy/Back Pressure Activate） 在全双工模式下发起暂停控制帧，这个位应该在写到流量控制寄存器之前读为 0。应用程序必须将这个位设置为 1，才能初始化一个暂停控制帧。在控制帧的发送过程中，此位继续被设置为表示帧发送正在

位/域	名称	R/W	描述
			进行中。在完成暂停控制帧发送后，MAC 将该位重置为 0。不能在清除此位之前写入流控制寄存器。 在半双工模式下，如果设置了 TXFCTRLEN 位则激活回压功能。当设置了这个位(并且设置了 TXFCTRLEN)时，回压由 MAC 内核声明。在回压期间，当 MAC 接收到新帧时，发射器开始发送 JAM 模式，导致碰撞。当 MAC 配置为全双工模式时，BPA 自动关闭。
1	TXFCTRLEN	R/W	使能发送流控制（Transmit Flow Control Enable） 在全双工模式下，当设置此位时，MAC 使能流控操作发送暂停帧。当该位被重置时，关闭 MAC 的流控制操作，MAC 不发送任何暂停帧。 在半双工模式下，当设置此位时，MAC 启用回压操作。 当这个位被重置时，回压特性将被禁用。
2	RXFCTRLEN	R/W	使能接收流控制（Receive Flow Control Enable） 当设置此位时，MAC 将对接收到的暂停帧进行解码，并在指定的暂停时间内禁用其发射器。 当该位被重置时，将禁止暂停帧的解码功能。
3	UNPFDETE	R/W	单播暂停帧检测（Unicast Pause Frame Detect） 当设置此位时，除了使用唯一的组播地址检测暂停帧外，MAC 还使用 MAC_ADDR0H 和 MAC_ADDR0L 寄存器中指定的单播地址检测暂停帧。 当该位被重置时，MAC 只检测到 802.3x 标准中指定的唯一组播地址的暂停帧。
5:4	PTSEL	R/W	选择暂停阈值（Pause Threshold Select） 设置暂停帧自动重传的 Pause 定时器的阈值。阈值应该总是小于以位[31:16]配置的暂停时间。例如，如果 PT = 100H (256 槽位时间)，PTSEL = 01，那么在第一个 PAUSE 帧发送后，如果在 228 (256-28)槽位时间发起第二个 PAUSE 帧，则自动发送第二个 PAUSE 帧。 选择阈值 00：暂停时间- 4 槽位时间 01：暂停时间- 28 槽位时间 10：暂停时间- 144 槽位时间 11：暂停时间- 256 槽位时间 槽位时间定义为 MII 接口发送 512 位(64 字节)的时间
6	保留		
7	ZQPDIS	R/W	禁止零量程暂停（Zero-quanta Pause Disable） 当设置此位时，该位禁止在 FIFO 层的流量控制信号失效时自动产生零量程暂停控制帧。 当该位被重置时，使能自动零量程暂停控制帧生成的正常操作。
15:8	保留		
31:16	PT	R/W	暂停时间（Pause Time） 该位保存了在发送控制帧中使用的值。如果该位被配置为双同步到 MII 时钟域，那么只有在目标时钟域至少 4 个时钟周期之后，才应该对该寄存器执行连续的写操作。

28.5.8 VLAN 标记寄存器（MAC_VLANT）

偏移地址：0x1C

复位值：0x0000 0000

此寄存器包含 IEEE 802.1Q VLAN 标记，用于标识 VLAN 帧。MAC 将接收帧(长度/类型)的第 13 和第 14 字节与 0x8100 比较，下面 2 字节与 VLAN 标记比较;如果匹配成功，则设置接收帧状态的接收 VLAN 位。帧的合法长度从 1518 字节增加到 1522 字节。

位/域	名称	R/W	描述
15:0	VLANTID	R/W	VLAN 标记标识符（VLAN Tag Identifier） 包含 802.1Q VLAN 标识，用于识别 VLAN 帧，并与接收帧的第 15 字节和第 16 字节进行比较。位[15:13]是用户优先级，位[12]是规范格式指示器，位[11:0]是 VLAN 标记的 VLAN 标识符。当设置了 VLANTCOMP 位时，只使用位[11:0]进行比较。如果 VLANTID 为全 0，则 MAC 不检查第 15 字节和第 16 字节的 VLAN 标识比较，将 Type 值为 0x8100 的所有帧声明为 VLAN 帧。
16	VLANTCOMP	R/W	12 位 VLAN 标记比较（12-bit VLAN Tag Comparison） 设置此位后，将使用 12 位的 VLAN 标识符，而不是完整的 16 位 VLAN 标记进行比较和过滤。VLAN 标记的位[11:0]与接收到的 VLAN 标记帧中相应的位进行比较。 当该位重置时，接收 VLAN 帧的第 15 和第 16 字节的所有 16 位都用于比较。
31:17	保留		

28.5.9 远程唤醒帧过滤寄存器（MAC_REMWKUPFFL）

偏移地址：0x28

复位值：0x0000 0000

应用程序将通过此地址对远程唤醒帧过滤寄存器进行写/读操作。实际上，唤醒帧过滤寄存器是八个（不透明的）此类唤醒帧过滤寄存器。对偏移 (0x0028) 的这个地址所进行的八个连续写操作会写入/读取所有唤醒帧过滤寄存器。此寄存器包含第七个 MAC 地址的高 16 位。

唤醒帧过滤寄存器 x（MAC_WKUPFFLx）（x=0-3）

位/域	名称	R/W	描述
31:0	FLXBMASK	R/W	过滤器 x 字节屏蔽（Filter x Byte Mask） 该寄存器定义过滤器 x 检测帧的哪些字节来确定帧是否为唤醒帧。 MSB[31]必须为零。位 y[30:0] 为字节屏蔽。如果将字节屏蔽的位 y（字节数）置 1，则传入帧的过滤器 x 偏移 +y 由 CRC 模块处理；否则将忽略过滤器 x 偏移+ y。

唤醒帧过滤寄存器 4（MAC_WKUPFFL4）

位/域	名称	R/W	描述
3:0	FL0COM	R/W	过滤器 0 命令（Filter 0 Command） 该 4 位命令控制过滤器 x 操作。位 3 指定地址类型，定义模式的目标地址类型。当该位置 1 时，模式只适用于多播帧。当该位复位时，模式只适用于单播帧。位 2 和位 1 为保留位。位 0 为过滤器 x 的使能位；如果位 0 置 1，则将使能过滤器 x。
7:4	保留		
11:8	FL1COM	R/W	过滤器 1 命令（Filter 1 Command） 该 4 位命令控制过滤器 x 操作。位 3 指定地址类型，定义模式的目标地址类型。当该位置 1 时，模式只适用于多播帧。当该位复位时，模

位/域	名称	R/W	描述
			式只适用于单播帧。位 2 和位 1 为保留位。位 0 为过滤器 x 的使能位；如果位 0 置 1，则将使能过滤器 x。
15:12	保留		
19:16	FL2COM	R/W	过滤器 2 命令（Filter 2 Command） 该 4 位命令控制过滤器 x 操作。位 3 指定地址类型，定义模式的目标地址类型。当该位置 1 时，模式只适用于多播帧。当该位复位时，模式只适用于单播帧。位 2 和位 1 为保留位。位 0 为过滤器 x 的使能位；如果位 0 置 1，则将使能过滤器 x。
23:20	保留		
27:24	FL3COM	R/W	过滤器 3 命令（Filter 3 Command） 该 4 位命令控制过滤器 x 操作。位 3 指定地址类型，定义模式的目标地址类型。当该位置 1 时，模式只适用于多播帧。当该位复位时，模式只适用于单播帧。位 2 和位 1 为保留位。位 0 为过滤器 x 的使能位；如果位 0 置 1，则将使能过滤器 x。
31:28	保留		

唤醒帧过滤寄存器 5（MAC_WKUPFFL5）

位/域	名称	R/W	描述
7:0	FL0OFF	R/W	过滤器 0 偏移（Filter 0 Offset） 该寄存器定义过滤器 x 要检测的帧的偏移（在帧范围内）。该 8 位模式偏移是要检测的过滤器 x 第一个字节的偏移。允许的最小值为 12，表示帧的第 13 个字节（偏移值 0 表示帧的第一个字节）。
15:8	FL1OFF	R/W	过滤器 1 偏移（Filter 1 Offset） 该寄存器定义过滤器 x 要检测的帧的偏移（在帧范围内）。该 8 位模式偏移是要检测的过滤器 x 第一个字节的偏移。允许的最小值为 12，表示帧的第 13 个字节（偏移值 0 表示帧的第一个字节）。
23:16	FL2OFF	R/W	过滤器 2 偏移（Filter 2 Offset） 该寄存器定义过滤器 x 要检测的帧的偏移（在帧范围内）。该 8 位模式偏移是要检测的过滤器 x 第一个字节的偏移。允许的最小值为 12，表示帧的第 13 个字节（偏移值 0 表示帧的第一个字节）。
31:24	FL3OFF	R/W	过滤器 3 偏移（Filter 3 Offset） 该寄存器定义过滤器 x 要检测的帧的偏移（在帧范围内）。该 8 位模式偏移是要检测的过滤器 x 第一个字节的偏移。允许的最小值为 12，表示帧的第 13 个字节（偏移值 0 表示帧的第一个字节）。

唤醒帧过滤寄存器 6（MAC_WKUPFFL6）

位/域	名称	R/W	描述
15:0	FL0CRC16	R/W	过滤器 0 CRC-16（Filter 0 CRC-16） 该寄存器包含根据模式计算的 CRC_16 值，以及对唤醒过滤寄存器模块编程的字节屏蔽。
31:16	FL1CRC16	R/W	过滤器 1 CRC-16（Filter 1 CRC-16） 该寄存器包含根据模式计算的 CRC_16 值，以及对唤醒过滤寄存器模块编程的字节屏蔽。

唤醒帧过滤寄存器 7（MAC_WKUPFFL7）

位/域	名称	R/W	描述
15:0	FL2CRC16	R/W	过滤器 2 CRC-16（Filter 2 CRC-16） 该寄存器包含根据模式计算的 CRC_16 值，以及对唤醒过滤寄存器模块编程的字节屏蔽。
31:16	FL3CRC16	R/W	过滤器 3 CRC-16（Filter 3 CRC-16） 该寄存器包含根据模式计算的 CRC_16 值，以及对唤醒过滤寄存器模块编程的字节屏蔽。

28.5.10 PMT 控制和状态寄存器（MAC_PMTCTRLSTS）

偏移地址：0x2C

复位值：0x0000 0000

此寄存器会配置唤醒时间请求并监视唤醒事件。

位/域	名称	R/W	描述
0	PD	R/S	掉电(Power Down) 当此位置 1 时，将丢弃所有接收到的帧。接收到魔术数据包或唤醒帧时，此位会自动清零，同时禁止掉电模式。此位清零后收到的帧会转发到应用程序。只有使能魔术数据包或使能唤醒帧位置 1 时，才可以将此位置 1。
1	MPEN	R/W	使能魔术数据包(Magic Packet Enable) 当此位置 1 时，该位使能由于魔术包接收而产生电源管理事件。
2	WKUPFEN	R/W	使能唤醒帧(Wakeup Frame Enable) 当此位置 1 时，此位使能由于唤醒帧接收而产生电源管理事件。
4:3	保留		
5	MPRX	RC_R	接收到魔术数据包(Magic Packet Received) 当此位置 1 时，表示因接收魔术数据包而生成了电源管理事件。读取此寄存器可清零此位。
6	WKUPFRX	RC_R	接收到唤醒帧(Wakeup Frame Received) 当此位置 1 时，表示因接收唤醒帧而生成了电源管理事件。读取此寄存器可清零此位。
8:7	保留		
9	GUN	R/W	全局单播(Global Unicast) 当此位置 1 时，它会将 MAC 地址确认所过滤的任意单播包使能为唤醒帧。
30:10	保留		
31	WKUPFRST	R/S	唤醒帧过滤寄存器指针复位(Wakeup Frame Filter Register Pointer Reset) 当此位置 1 时，会将远程唤醒帧过滤寄存器指针复位为 000b。它会在 1 个时钟周期后自动清零。

28.5.11 调试寄存器（MAC_DBG）

偏移地址：0x34

复位值：0x0000 0000

此寄存器给出了发送及接收数据路径和 FIFO 的所有主要模块的状态。全零时表示 MAC 内核处于空闲状态（FIFO 为空）并且数据路径中没有活动。

位/域	名称	R/W	描述
0	RPESTS	R	MAC MII 接收协议引擎状态（MAC MII Receive Protocol Engine Status） 设置为高时，表示 MAC MII 接收协议引擎正在主动接收数据，而不是 IDLE 状态。
2:1	RFCFCSTS	R	MAC 接收帧 FIFO 控制器状态（MAC Receive Frame FIFO Controller Status） 设置为高时，表示 MAC 接收帧 FIFO 控制器的 FIFO 读写控制器为活跃状态。 0：写控制器状态 1：读控制器状态
3	保留		
4	RWCSTS	R	RX FIFO 写控制器有效状态（ RX FIFO Write Controller Active Status） 设置为高时，表示 RX FIFO 写控制器有效，正在将接收到的帧发送给 FIFO。
6:5	RRCSTS	R	RX FIFO 读控制器有效状态（RX FIFO Read Controller State） 00：IDLE 状态 01：读取帧数据 10：读取帧状态(或时间戳) 11：刷新帧数据和状态
7	保留		
9:8	RXFSTS	R	RX FIFO 填充级别状态（RX FIFO full – level Status） 00：RX FIFO 为空 01：RX FIFO 填充水平低于流量控制失效阈值 10：RX FIFO 填充水平高于流量控制激活阈值 11：RX FIFO 满
15:10	保留		
16	TPESTS	R	MAC MII 发送协议引擎状态（MAC MII Transmit Protocol Engine Status） 设置为高时，表示 MAC MII 发送协议引擎正在积极发送数据，而不是 IDLE 状态。
18:17	TFCSTS	R	MAC 帧发送控制器状态（MAC Transmit Frame Controller Status） 00：IDLE 状态 01：等待前一个帧或 IFG 或回退周期结束的状态 10：生成和发送暂停帧(在全双工模式) 11：发送输入的帧
19	TXPAUSED	R	暂停 MAC 发射机（MAC Transmitter in Pause） 设置为高时，表示 MAC 发射机处于暂停状态(全双工模式)，因此不发送任何帧。
21:20	TRCSTS	R	TX FIFO 读控制器状态（TX FIFO Read Controller Status） 00：IDLE 状态 01：读状态(向 MAC 发送器发送数据) 10：等待来自 MAC 发送器的 TX 状态 11：写入收到的 TX 状态或刷新 TX FIFO
22	TWCSTS	R	TX FIFO 写控制器状态（TX FIFO Write Controller Status）

位/域	名称	R/W	描述
			设置为高时，表示 TX FIFO 写控制器是活跃的，正在向 TX FIFO 发送数据。
23	保留		
24	TXFSTS	R	TX FIFO 非空状态（TX FIFO Not Empty Status） 设置为高时，表示 TX FIFO 非空，还有一些数据等待发送。
25	TXSTSFSTS	R	TX 状态 FIFO 满状态（TX Status FIFO Full Status） 设置为高时，表示 TX FIFO 满。因此不能再接受任何帧进行发送。
31:26	保留		

28.5.12 中断状态寄存器（MAC_ISTS）

偏移地址：0x38

复位值：0x0000 0000

位/域	名称	R/W	描述
2:0	保留		
3	PMTIS	R	PMT 状态（PMT Interrupt Status） 该位在断电模式下接收到一个魔术包或远程唤醒帧时被设置。当由于 PMT 控制和状态寄存器的读操作而清除位[6:5]时，该位被清除。
4	MMCIS	R	MMC 中断状态（MMC Interrupt Status） 当任一位[6:5]被设置为高时，该位被设置为高，只有当所有这些位都是低时才被清除。
5	MMCRXIS	R	MMC 接收中断状态（MMC Receive Interrupt Status） 当 MMC 接收中断寄存器中产生一个中断时，该位被设置为高。当这个中断寄存器中的所有位被清除时，这个位也被清除。
6	MMCTXIS	R	MMC 发送中断状态（MMC Transmit Interrupt Status） 当 MMC 发送中断寄存器中产生一个中断时，该位被设置为高。当这个中断寄存器中的所有位被清除时，这个位也被清除。
8:7	保留		
9	TSIS	R	时间戳中断状态（Timestamp Interrupt Status） 系统时间值等于或超过目标时间寄存器中指定的值时，此位置 1。读取此寄存器时清零。
15:10	保留		

28.5.13 中断屏蔽寄存器（MAC_IMASK）

偏移地址：0x3C

复位值：0x0000 0000

位/域	名称	R/W	描述
2:0	保留		
3	PMTIM	R/W	PMT 中断屏蔽（PMT Interrupt Mask） 设置该位时，由于在寄存器“中断状态寄存器”中设置了 PMT 中断状态位，因此该位禁止产生中断信号。
8:4	保留		
9	TSTIM	R/W	时间戳触发中断屏蔽(Time Stamp Trigger Interrupt Mask) 如果此位置 1，则会禁止生成时间戳中断。

位/域	名称	R/W	描述
15:10	保留		

28.5.14 MAC 地址 0 高寄存器（MAC_ADDR0H）

偏移地址：0x40

复位值：0x0010 FFFF

位/域	名称	R/W	描述
15:0	ADDR0H	R/W	MAC 地址 0 高位[47:32]（MAC Address 0） 包含前 6 字节 MAC 地址 0 的前 16 位(47:32)。MAC 使用该字段过滤接收到的帧，并在发送流控制(暂停)帧中插入 MAC 地址。
30:16	保留		
31	AL1	R	始终为 1 (Always 1)

28.5.15 MAC 地址 0 低寄存器（MAC_ADDR0L）

偏移地址：0x44

复位值：0xFFFF FFFF

位/域	名称	R/W	描述
31:0	ADDR0L	R/W	MAC 地址 0 低位[31:0]（MAC Address 0） 该位域包含前 6 字节 MAC 地址 0 的低 32 位。这是 MAC 用来过滤接收到的帧，并在发送流控制(暂停)帧中插入 MAC 地址。

28.5.16 MAC 地址 1 高寄存器（MAC_ADDR1H）

偏移地址：0x48

复位值：0x0000 FFFF

位/域	名称	R/W	描述
15:0	ADDR1H	R/W	MAC 地址 1 高位[47:32]（MAC Address 1） 包含前 6 字节 MAC 地址 1 的前 16 位(47:32)。MAC 使用该字段过滤接收到的帧，并在发送流控制(暂停)帧中插入 MAC 地址。
23:16	保留		
29:24	MASKBCTRL	R/W	屏蔽字节控制 (Mask Byte Control) 这些位用于比较每个 MAC 地址 1 字节的屏蔽控制位。当它们设为高电平时，MAC 内核不会将接收到的 DA/SA 的相应字节与 MAC 地址 1 寄存器的内容进行比较。每个位都用于控制字节的屏蔽，如下所示： 位 29：ADDR1H [15:8] 位 28：ADDR1H [7:0] 位 27：ADDR1L [31:24] … 位 24：ADDR1L [7:0]
30	ADDRSEL	R/W	选择地址（Address Select） 0：使用 MAC 地址 1 [47:0]与接收帧的 DA 字段进行比较 1：使用 MAC 地址 1 [47:0]与接收帧的 SA 字段进行比较
31	ADDREN	R/W	使能地址（Address Enable） 0：地址过滤器会忽略用于过滤的地址 1：地址过滤器使用 MAC 地址 1 实现过滤

28.5.17 MAC 地址 1 低寄存器（MAC_ADDR1L）

偏移地址：0x4C

复位值：0xFFFF FFFF

位/域	名称	R/W	描述
31:0	ADDR1L	R/W	MAC 地址 1 低位[31:0]（MAC Address 1） 该位域包含前 6 字节 MAC 地址 1 的低 32 位。如果初始化之后，应用程序未加载此位域的内容，则不会定义该内容。

28.5.18 MAC 地址 2 高寄存器（MAC_ADDR2H）

偏移地址：0x50

复位值：0x0000 FFFF

位/域	名称	R/W	描述
15:0	ADDR2H	R/W	MAC 地址 2 高位[47:32]（MAC Address 2） 包含前 6 字节 MAC 地址 2 的前 16 位(47:32)。
23:16	保留		
29:24	MASKBCTRL	R/W	屏蔽字节控制 (Mask Byte Control) 这些位用于比较每个 MAC 地址 2 字节的屏蔽控制位。当它们设为高电平时，MAC 内核不会将接收到的 DA/SA 的相应字节与 MAC 地址 2 寄存器的内容进行比较。每个位都用于控制字节的屏蔽，如下所示： 位 29：ADDR2H [15:8] 位 28：ADDR2H [7:0] 位 27：ADDR2L [31:24] … 位 24：ADDR2L [7:0]
30	ADDRSEL	R/W	选择地址（Address Select） 0：使用 MAC 地址 2 [47:0]与接收帧的 DA 字段进行比较 1：使用 MAC 地址 2 [47:0]与接收帧的 SA 字段进行比较
31	ADDREN	R/W	使能地址（Address Enable） 0：地址过滤器会忽略用于过滤的地址 1：地址过滤器使用 MAC 地址 2 实现过滤

28.5.19 MAC 地址 2 低寄存器（MAC_ADDR2L）

偏移地址：0x54

复位值：0xFFFF FFFF

位/域	名称	R/W	描述
31:0	ADDR2L	R/W	MAC 地址 2 低位[31:0]（MAC Address 2） 该位域包含前 6 字节 MAC 地址 2 的低 32 位。如果初始化之后，应用程序未加载此位域的内容，则不会定义该内容。

28.5.20 MAC 地址 3 高寄存器（MAC_ADDR3H）

偏移地址：0x58

复位值：0x0000 FFFF

位/域	名称	R/W	描述
15:0	ADDR3H	R/W	MAC 地址 3 高位[47:32]（MAC Address 3） 包含前 6 字节 MAC 地址 3 的前 16 位[47:32]。

位/域	名称	R/W	描述
23:16	保留		
29:24	MASKBCTRL	R/W	屏蔽字节控制 (Mask Byte Control) 这些位用于比较每个 MAC 地址 3 字节的屏蔽控制位。当它们设为高电平时，MAC 内核不会将接收到的 DA/SA 的相应字节与 MAC 地址 3 寄存器的内容进行比较。每个位都用于控制字节的屏蔽，如下所示： 位 29：ADDR3H [15:8] 位 28：ADDR3H [7:0] 位 27：ADDR3L [31:24] … 位 24：ADDR3L [7:0]
30	ADDRSEL	R/W	选择地址（Address Select） 0：使用 MAC 地址 3 [47:0]与接收帧的 DA 字段进行比较 1：使用 MAC 地址 3 [47:0]与接收帧的 SA 字段进行比较
31	ADDREN	R/W	使能地址（Address Enable） 0：地址过滤器会忽略用于过滤的地址 1：地址过滤器使用 MAC 地址 3 实现过滤

28.5.21 MAC 地址 3 低寄存器（MAC_ADDR3L）

偏移地址：0x5C

复位值：0xFFFF FFFF

位/域	名称	R/W	描述
31:0	ADDR3L	R/W	MAC 地址 3 低位[31:0]（MAC Address 3） 该位域包含前 6 字节 MAC 地址 3 的低 32 位。如果初始化之后，应用程序未加载此位域的内容，则不会定义该内容。

28.6 MMC 寄存器地址映射

表格 151 MMC 寄存器地址映射

寄存器名	描述	偏移地址
MMC_CTRL	控制寄存器	0x100
MMC_RXINT	接收中断寄存器	0x104
MMC_TXINT	发送中断寄存器	0x108
MMC_RXINTMASK	屏蔽接收中断寄存器	0x10C
MMC_TXINTMASK	屏蔽发送中断寄存器	0x110
MMC_TXGFSCCNT	单个冲突后发送的良好帧计数器寄存器	0x14C
MMC_TXGFMCCNT	多个冲突后发送的良好帧计数器寄存器	0x150
MMC_TXGFCNT	发送的良好帧计数器寄存器	0x168
MMC_RXFCECNT	接收帧含 CRC 错误计数器寄存器	0x194
MMC_RXFAECNT	接收帧含对齐错误计数器寄存器	0x198
MMC_RXGUNCNT	接收的良好单播帧计数器寄存器	0x1C4

28.7 MMC 寄存器功能描述

28.7.1 控制寄存器（MMC_CTRL）

偏移地址：0x100

复位值：0x0000 0000

位/域	名称	R/W	描述
0	CNTRST	R/W	计数器复位(Counter Reset) 设置此位时，复位所有计数器。该位在 1 个时钟周期后自动清零
1	CNTSTOPRO	R/W	计数器停止翻转 (Counter Stop Rollover) 设置此位时，计数器达到其最大值后不会返回到零。
2	RSTOR	R/W	读取时复位 (Reset on read) 设置此位时，读取 MMC 计数器后，该计数器复位。读取最低有效字节通道后计数器清零。
3	MCNTF	R/W	冻结 MMC 计数器(MMC Counter Freeze) 设置此位时，会冻结所有 MMC 计数器，使其保持为当前值。（该位清零后，才会因存在发送帧或接收帧更新 MMC 计数器）
4	MCNTP	R/W	预设 MMC 计数器(MMC Counter Preset) 设置此位时，所有计数器都将根据上面的位 5 初始化或预设为几乎满值或几乎一半值。该位将在 1 个时钟周期后自动清零。该位连同位 5 用于调试和测试由于 MMC 计数器变为半全值或全值而导致的中断产生。
5	MCNTVALP	R/W	预设 MMC 计数器值(MMC Counter Value Preset) 当 MCNTP 位置 1 时： 当 MCNTVALP 为低电平，所有 MMC 计数器均预设为几乎一半值。所有帧计数器均预设为 0x7FFF_FFF0（一半值-16）。 当 MCNTVALP 为高电平，所有 MMC 计数器均预设为几乎满值。所有帧计数器均预设为 0xFFFF_FFF0（满值-16）。
31:6	保留		

28.7.2 接收中断寄存器（MMC_RXINT）

偏移地址：0x104

复位值：0x0000 0000

位/域	名称	R/W	描述
4:0	保留		
5	RXFCE	RC_R	接收的帧含 CRC 错误(Received Frames CRC Error) 当接收帧计数器存在 CRC 错误且达到其最大值的一半时设置该位。
6	RXFAE	RC_R	接收的帧含对齐错误(Received Frames Alignment Error) 当接收帧计数器存在对齐错误且达到其最大值的一半时设置该位。
16:7	保留		
17	RXGUNF	RC_R	接收的良好单播帧 (Received Good Unicast Frames) 当接收到的良好单播帧计数器达到其最大值的一半时设置该位。
31:18	保留		

28.7.3 发送中断寄存器（MMC_TXINT）

偏移地址：0x108

复位值：0x0000 0000

位/域	名称	R/W	描述
13:0	保留		
14	TXGFSCOL	RC_R	单个冲突后发送的良好帧 (Transmitted Good Frames Single Collision) 当单个冲突后发送的良好帧计数器达到其最大值的一半时设置该位。
15	TXGFMCOL	RC_R	多个冲突后发送的良好帧 (Transmitted Good Frames More Single Collision) 多个冲突后发送的良好帧计数器达到其最大值的一半时设置该位。
20:16	保留		
21	TXGF	RC_R	发送的良好帧 (Transmitted Good Frames) 当发送的良好帧计数器达到其最大值的一半时设置该位。
31:22	保留		

28.7.4 屏蔽接收中断寄存器（MMC_RXINTMASK）

偏移地址：0x10C

复位值：0x0000 0000

位/域	名称	R/W	描述
4:0	保留		
5	RXFCEM	R/W	屏蔽接收的帧 CRC 错误(Received Frames CRC Error Mask) 设置该位时，当接收帧计数器存在 CRC 错误且达到其最大值的一半时屏蔽中断。
6	RXFAEM	R/W	屏蔽接收的帧对齐错误(Received Frames Alignment Error Mask) 设置该位时，当接收帧计数器存在对齐错误且达到其最大值的一半时屏蔽中断。
16:7	保留		
17	RXGUNFM	R/W	屏蔽接收的良好单播帧 (Received Good Unicast Frames Mask) 设置该位时，当接收到的良好单播帧计数器达到其最大值的一半时屏蔽中断。
31:18	保留		

28.7.5 屏蔽发送中断寄存器（MMC_TXINTMASK）

偏移地址：0x110

复位值：0x0000 0000

位/域	名称	R/W	描述
13:0	保留		
14	TXGFSCOLM	R/W	屏蔽单个冲突后发送的良好帧 (Transmitted Good Frames Single Collision Mask) 设置该位时，当单个冲突后发送的良好帧计数器达到其最大值的一半时屏蔽中断。
15	TXGFMCOLM	R/W	屏蔽多个冲突后发送的良好帧 (Transmitted Good Frames More Single Collision Mask) 设置该位时，多个冲突后发送的良好帧计数器达到其最大值的一半时屏蔽中断。

位/域	名称	R/W	描述
20:16	保留		
21	TXGFM	R/W	屏蔽发送的良好帧 (Transmitted Good Frames Mask) 设置该位时，当发送的良好帧计数器达到其最大值的一半时屏蔽中断。
31:22	保留		

28.7.6 单个冲突后发送的良好帧计数器寄存器（MMC_TXGFSCCNT）

偏移地址：0x14C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	TXGFSCCNT	R	单个冲突后发送的良好帧计数器 (Transmitted Good Frames Single Collision Counter) 单个冲突后发送的良好帧计数器。

28.7.7 多个冲突后发送的良好帧计数器寄存器（MMC_TXGFMCCNT）

偏移地址：0x150

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	TXGFMCCNT	R	多个冲突后发送的良好帧计数器 (Transmitted Good Frames More Collision Counter) 多个冲突后发送的良好帧计数器。

28.7.8 发送的良好帧计数器寄存器（MMC_TXGFCNT）

偏移地址：0x168

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	TXGFCNT	R	发送的良好帧计数器 (Transmitted Good Frames Counter) 发送的良好帧计数器。

28.7.9 接收帧含 CRC 错误计数器寄存器（MMC_RXFCECNT）

偏移地址：0x194

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	RXFCECNT	R	接收的帧含 CRC 错误计数器(Received Frames CRC Error Counter) 接收的帧含 CRC 错误计数器。

28.7.10 接收帧含对齐错误计数器寄存器（MMC_RXFAECNT）

偏移地址：0x198

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	RXFAECNT	R	接收的帧含对齐错误计数器 (Received Frames Alignment Error Counter) 接收的帧含对齐错误计数器。

28.7.11 接收的良好单播帧计数器寄存器（MMC_RXGUNCNT）

偏移地址：0x1C4

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	RXGUNCNT	R	接收的良好单播帧计数器 (Received Good Unicast Frames Counter) 接收的良好单播帧计数器。

28.8 PTP 寄存器地址映射

用于支持符合 IEEE 1588 标准的精确网络时钟同步功能的寄存器。

表格 152 PTP 寄存器地址映射

寄存器名	描述	偏移地址
PTP_TSCTRL	时间戳控制寄存器	0x700
PTP_SUBSECI	亚秒增量寄存器	0x704
PTP_TSH	时间戳高位寄存器	0x708
PTP_TSL	时间戳低位寄存器	0x70C
PTP_TSHUD	时间戳高位更新寄存器	0x710
PTP_TSLUD	时间戳低位更新寄存器	0x714
PTP_TSA	时间戳加数寄存器	0x718
PTP_TTSH	目标时间戳高位寄存器	0x71C
PTP_TTSL	目标时间戳低位寄存器	0x720
PTP_TSSTS	时间戳状态寄存器	0x728
PTP_PPSCTRL	PPS 控制寄存器	0x72C

28.9 PTP 寄存器功能描述

28.9.1 时间戳控制寄存器（PTP_TSCTRL）

偏移地址：0x700

复位值：0x0000 2000

位/域	名称	R/W	描述
0	TSEN	R/W	使能时间戳(Time Stamp Enable) 0：禁止 1：使能 由于保持的系统时间处于挂起状态，所以在将此位置为高电平后，始终都需要初始化时间戳功能（系统时间）。
1	TSUDSEL	R/W	选择时间戳更新方式（Time Stamp Update Mode Select） 选择更新系统时间戳的方式 0：粗略更新 1：精密更新
2	TSSTINIT	R/W	初始化时间戳系统时间(Time Stamp System Time Initialize)

位/域	名称	R/W	描述
			设置此位时，在时间戳高位更新寄存器和时间戳低位更新寄存器中指定的值初始化系统时间。在设置此位之前，必须读取为零。初始化完成后，此位清零。
3	TSSTUD	R/W	更新时间戳系统时间(Time Stamp System Time Update) 设置此位时，在时间戳高位更新寄存器和时间戳低位更新寄存器中指定的值更新系统时间。在设置此位之前，TSSTINIT 和 TSSTUD 必须读取为零。更新完成后，此位清零。
4	TSTRGIEN	R/W	使能时间戳触发中断(Time Stamp Trigger Interrupt Enable) 设置此位时，如果目标时间寄存器中写入的值小于系统时间，将产生时间戳中断。产生时间戳触发中断时，此位清零。
5	TSADDUD	R/W	更新时间戳加数寄存器(Time Stamp Addend Register Update) 设置此位时，会将时间戳加数寄存器的内容更新到 PTP 进行精密校准。更新结束时此位清零。在设置此位之前，必须读取为零。
7:6	保留		
8	TSSNEN	R/W	使能接收帧的时间戳快照(Time Stamp Snapshot for Received Frames Enable) 设置此位时，内核接收的全部帧使能时间戳快照。
9	TSSUBRO	R/W	时间戳亚秒翻转 (Time Stamp Subsecond Rollover) 0：亚秒寄存器的翻转值达到 0x7FFF FFFF。亚秒增量根据 PTP 参考时钟频率和此位的值进行编程。 1：若亚秒计数器值达到 0x3B9A C9FF（十进制 999 999 999）且时间戳（高位）秒数递增，则时间戳低位寄存器翻转。
10	LISTVSEL	R/W	选择监听版本（Listening Version Select） 选择监听 PTP 数据包的版本格式 0：版本 1 1：版本 2
11	TSSPTPEN	R/W	使能 PTP 以太网帧时间戳快照（Time Stamp Snapshot for PTP Ethernet Frames Enable） 设置此位时，拍摄在以太网帧中含有 PTP 消息的帧的时间戳快照。默认拍摄 UDP-IPEthernet PTP 数据包的快照。
12	TSS6EN	R/W	使能 Ipv6 帧时间戳快照（Time stamp snapshot for Ipv6 frames Enable） 设置此位时，拍摄 Ipv6 帧的时间戳快照。
13	TSS4EN	R/W	使能 Ipv4 帧时间戳快照（Time Stamp Snapshot for Ipv4 Frames Enable） 设置此位时，拍摄 Ipv4 帧的时间戳快照。
14	TSSMESEL	R/W	选择消息时间戳快照（Time Stamp Snapshot for Message Select） 0：拍摄除 Announce、Management 和 Signaling 以外其它所有消息的快照 1：拍摄事件消息的时间戳快照（SYNC、Delay_Re、Pdelay_Req 或 Pdelay_Resp）
15	TSSMNSEL	R/W	选择节点时间戳快照（Time Stamp Snapshot for Master Node Select） 0：从节点 1：主节点

位/域	名称	R/W	描述
17:16	TSCLKNSEL	R/W	选择时间戳时钟节点（Time stamp Clock Node Select） 00：普通时钟 01：边界时钟 10：端对端透明时钟 11：点对点透明时钟
18	TSSPTPFMACEN	R/W	使能时间戳 PTP 帧过滤 MAC 地址（Time Stamp PTP Frame Filtering MAC Address Enable） 当设置此位时且 PTP 直接通过以太网发送时，此位将使用 MAC 地址过滤 PTP 帧。
31:19	保留		

表格 153 时间戳快照的消息

TSCLKNSEL	TSSMNSEL	TSSMESEL	拍摄快照的消息
0X	无关	0	SYNC, Follow_Up, Delay_Req, Delay_Resp
	1	1	Delay_Req
	0	1	SYNC
10	×	0	SYNC，Follow_Up，Delay_Req，Delay_Resp
		1	SYNC，Follow_Up
11		0	SYNC，Follow_Up，Delay_Req，Delay_Resp, Pdelay_Req，Pdelay_Resp
		1	SYNC，Pdelay_Req，Pdelay_Resp

注意：×=不适用

28.9.2 亚秒增量寄存器（PTP_SUBSECI）

偏移地址：0x704

复位值：0x0000 0000

位/域	名称	R/W	描述
7:0	STSUBSECI	R/W	系统时间亚秒增加值（System Time Subseconds Incremen） 在每次更新时都会被增加到系统时间亚秒值中。
31:8	保留		

28.9.3 时间戳高位寄存器（PTP_TSH）

偏移地址：0x708

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	STSEC	R	系统时间秒值（System Time Second Value） 系统秒时间。

28.9.4 时间戳低位寄存器（PTP_TSL）

偏移地址：0x70C

复位值：0x0000 0000

位/域	名称	R/W	描述
30:0	STSUBSEC	R	系统时间亚秒值（System Time Subseconds Value） 系统亚秒时间，精度为 0.46ns。
31	STSEL	R	选择系统时间（System Time Select） 此位表示系统时间的正负值。 0：正 1：负 由于系统时间始终应为正值，所以一般情况下该位为零。

28.9.5 时间戳高位更新寄存器（PTP_TSHUD）

偏移地址：0x710

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	TSUDSEC	R/W	时间戳更新秒值（Time Stamp Update Second Value） 要初始化或增加到系统时间中的秒时间。

28.9.6 时间戳低位更新寄存器（PTP_TSLUD）

偏移地址：0x714

复位值：0x0000 0000

位/域	名称	R/W	描述
30:0	TSUDSUBSEC	R/W	时间戳更新亚秒值（Time Stamp Update Subseconds Value） 要初始化或增加到系统时间中的亚秒时间。精度为 0.46ns。
31	TSUDSEL	R/W	选择时间戳更新（Time Stamp Update Select） 此位表示系统时间的正负值。 0：正 1：负 当 TSSTINIT 位置位时，该位为 0。当 TSSTUD 位和该位同时置 1 时，则要从系统时间中减去时间戳更新寄存器的值。否则其将被增加到系统时间中。

28.9.7 时间戳加数寄存器（PTP_TSA）

偏移地址：0x718

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	TSA	R/W	时间戳加数值（Time Stamp Addend Value） 要添加到累加器寄存器的 32 位时间值，用来实现时间同步。

28.9.8 目标时间戳高位寄存器（PTP_TTSH）

偏移地址：0x71C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	TTSH	R/W	目标时间戳高位值（Target Time Stamp High Value） 存储秒时间。当时间戳的值匹配或同时超过两个目标时间戳寄存器时，MAC 产生中断。

28.9.9 目标时间戳低位寄存器（PTP_TTSL）

偏移地址：0x720

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	TTSL	R/W	目标时间戳低位值（Target Time Stamp Low Value） 存储纳秒时间。当时间戳的值匹配或同时超过两个目标时间戳寄存器时，MAC 产生中断。

28.9.10 时间戳状态寄存器（PTP_TSSTS）

偏移地址：0x728

复位值：0x0000 0000

位/域	名称	R/W	描述
0	TSSECOVR	R	时间戳秒值上溢（Time Stamp Second Value Overflow） 设置此位时，时间戳的秒值已上溢，超过了 0xFFFF FFFF。
1	TTSRD	R	达到目标时间戳的值（Target Time Stamp Value Reached） 设置此位时，系统时间值大于或等于 PTP_TTS 寄存器的值。
31:2	保留		

28.9.11 PPS 控制寄存器（PTP_PPSCTRL）

偏移地址：0x72C

复位值：0x0000 0000

位/域	名称	R/W	描述
3:0	PPSFSEL	R	PPS 频率选择（PPS Frequency Selection） PPS 输出频率设置为 $2^{PPSFSEL}$Hz 0000：1Hz，二进制翻转脉冲宽度为 125ms，数字翻转脉冲宽度为 100ms 0001：2Hz，二进制翻转，占空比为 50%（不建议使用数字翻转） 0010：4Hz，二进制翻转，占空比为 50%（不建议使用数字翻转） 0011：8Hz，二进制翻转，占空比为 50%（不建议使用数字翻转） 0100：16Hz，二进制翻转，占空比为 50%（不建议使用数字翻转） … 1111：32768Hz，二进制翻转，占空比为 50%（不建议使用数字翻转） 注意：PPS 输出在更高的频率下具有不规则波形，所以使用数字翻转时尽量不要使用频率为 1Hz 以外的 PPS 输出。
31:4	保留		

28.10 DMA 寄存器地址映射

表格 154DMA 寄存器地址映射

寄存器名	描述	偏移地址
ETH_DMABMOD	DMA 模式寄存器	0x1000
ETH_DMATXPD	发送轮询请求寄存器	0x1004
ETH_DMARXPD	接收轮询请求寄存器	0x1008

寄存器名	描述	偏移地址
ETH_DMARXDLADDR	接收描述符列表地址寄存器	0x100C
ETH_DMATXDLADDR	发送描述符列表地址寄存器	0x1010
ETH_DMASTS	状态寄存器	0x1014
ETH_DMAOPMOD	操作模式寄存器	0x1018
ETH_DMAINTEN	中断使能寄存器	0x101C
ETH_DMAMFABOCNT	丢失帧和缓冲区上溢计数寄存器	0x1020
ETH_DMARXFLGWDT	接收中断看门狗定时器寄存器	0x1024
ETH_DMAHTXD	当前主机发送描述符寄存器	0x1048
ETH_DMAHRXD	当前主机接收描述符寄存器	0x104C
ETH_DMAHTXBADDR	当前主机发送缓冲区地址寄存器	0x1050
ETH_DMAHRXBADDR	当前主机接收缓冲区地址寄存器	0x1054

28.11 DMA 寄存器功能描述

28.11.1 DMA 总线模式寄存器（ETH_DMABMOD）

偏移地址：0x1000

复位值：0x0000 2101

位/域	名称	R/W	描述
0	SWR	R/W	软件复位（Software Reset） 当这个位被设置时，MAC DMA 控制器将重置 MAC 的逻辑和所有内部寄存器。在所有时钟域的重置操作完成后，它将被自动清除。在重新编程任何寄存器之前，您应该在这个位中读取一个 0 值。
1	DAS	R/W	DMA 仲裁方案（DMA Arbitration Scheme） 指定通道 0 的发送和接收路径之间的仲裁方案。 0：采用 Rx:Tx 的加权循环调度，在[15:14]给出 1：Rx 优先级高于 Tx
6:2	DSL	R/W	描述符跳过长度（Descriptor Skip Length） 这个位指定在两个未链接的描述符之间跳过的 Word、Dword 或 Lword 的数量。地址跳跃从当前描述符的末尾开始到下一个描述符的开始。当 DSL 值等于 0 时，DMA 在环形模式中将描述符表视为连续的。
7	EDFEN	R/W	使能增强描述符格式（Enhanced Descriptor Format Enable） 设置此位时，使能增强描述符格式，并将描述符大小增加至 32 字节。如果已激活时间戳功能或 Ipv4 校验和减荷，则此位必须置 1。
13:8	PBL	R/W	可编程突发长度（Programmable Burst Length） 这些位指示在一个 DMA 事务中要发送的最大节拍数。这是在单个块读写中使用的最大值。每次在主机总线上启动突发发送时，DMA 总是尝试按照 PBL 中指定的突发。PBL 可以用允许值 1、2、4、8、16 和 32 编程。任何其他值都会导致未定义的行为。当 USP 设置为高电平时，此 PBL 值仅适用于 Tx DMA 事务。 PBL 值有以下限制:最大可能节拍数受到 MTL 层的 Tx FIFO 和 Rx FIFO 的大小和 DMA 上的数据总线宽度的限制。FIFO 有一个限制，即支持的最大节拍是 FIFO 深度的一半，除非指定。

位/域	名称	R/W	描述
15:14	PR	R/W	优先比（Priority Ratio） 这些位控制 Rx 直接存储器存取和 Tx 直接存储器存取之间加权轮循仲裁的优先级比。只有当位[1]复位时，这些位才有效。 00：优先级比为 1:1 01：优先级比为 2:1 10：优先级比为 3:1 11：优先级比为 4:1
16	FB	R/W	固定突发（Fixed Burst） 这个位控制 AHB 主接口是否执行固定突发发送。设置后，在正常突发发送开始时，AHB 接口仅使用 SINGLE、INCR4、INCR8 或 INCR16。当复位时，AHB 接口使用单次和 INCR 突发发送操作。
22:17	RPBL	R/W	接收 DMA 可编程突发长度（Rx DMA PBL） 此字段指示在一个 Rx DMA 事务中要发送的最大节拍数。这是在单个块读写中使用的最大值。 每次在主机总线上开始突发发送时，Rx DMA 总是尝试按照 RPBL 位中指定的突发。您可以用 1、2、4、8、16 和 32 的值编程 RPBL。任何其他值都会导致未定义的行为。 只有 USP 设置为高电平时，该字段才有效。
23	USP	R/W	使用单独的 PBL（Use Separate PBL） 当设置为高电平时，该位配置 Rx DMA 使用在位[22:17]中配置的值作为 PBL。以位[13:8]为单位的 PBL 值仅适用于 Tx DMA 操作。 当重置为低电平时，位[13:8]中的 PBL 值适用于两种 DMA 引擎。
24	PBLx4	R/W	PBLx4 模式（PBLx4 Mode） 当设置为高电平时，该位会将编程的 PBL 值乘以四倍。因此，DMA 根据 PBL 值以最大 4、8、16、32、64 和 128 个节拍发送数据。
25	AAL	R/W	地址对齐的节拍（Address-Aligned Beats） 当此位设置高电平且 FB 位等于 1 时，AHB 接口生成所有与起始地址 LS 位对齐的突发。如果 FB 位等于 0，第一个突发(访问数据缓冲区的起始地址)是不对齐的，但随后的突发是对齐到该地址的。
26	MB	R/W	混合突发（Mixed Burst） 当这个位设置为高电平，FB 位为低电平，AHB 主接口开始所有长度超过 16 的突发 INCR，而它恢复到固定突发发送的突发长度为 16 或更少。
31:27	保留		

28.11.2 发送轮询请求寄存器（ETH_DMATXPD）

偏移地址：0x1004

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	TXPD	R/W	发送轮询请求（Transmit Poll Demand） 当用任何值写入这些位时，DMA 读取 ETH_DMAHTXD 寄存器所指向的当前描述符。如果描述符不可用，发送返回挂起状态，且 ETH_DMASTS 寄存器的位[2]置位。如果描述符可用，则继续发送。

28.11.3 接收轮询请求寄存器（ETH_DMARXPD）

偏移地址：0x1008

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	RXPD	R/W	接收轮询请求（Receive Poll Demand） 当用任何值写入这些位时，DMA 读取 ETH_DMAHRXD 寄存器所指向的当前描述符。如果描述符不可用(由主机拥有)，发送返回挂起状态，且 ETH_DMASTS 寄存器的位[7]置位。如果描述符可用，则 Rx DMA 返回活动状态。

28.11.4 接收描述符列表地址寄存器（ETH_DMARXDLADDR）

偏移地址：0x100C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	RXSTA	R/W	接收列表起始处（Start of Receive List） 该字段包含接收描述符列表中第一个描述符的基地址。32 位、64 位或 128 位总线宽度的 LSB 位[1:0、2:0 或 3:0]被忽略，DMA 内部将其视为全零。因此，这些 LSB 位是只读的。

28.11.5 发送描述符列表地址寄存器（ETH_DMATXDLADDR）

偏移地址：0x1010

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	TXSTA	R/W	发送列表起始处（Start of Transmit List） 该字段包含接收描述符列表中第一个描述符的基地址。32 位、64 位或 128 位总线宽度的 LSB 位[1:0、2:0 或 3:0]被忽略，DMA 内部将其视为全零。因此，这些 LSB 位是只读的。

28.11.6 状态寄存器（ETH_DMASTS）

偏移地址：0x1014

复位值：0x0000 0000

位/域	名称	R/W	描述
0	TXFLG	RC_W1	发送标志（Transmit Flag） 帧发送已完成，且首个描述符中的 TXDES1[31]位置 1。
1	TXSFLG	RC_W1	发送停止标志（Transmit Stopped Flag） 此位在发送停止时设置。
2	TXBU	RC_W1	发送缓冲区不可用（Transmit Buffer Unavailable） 该位表示主机拥有发送列表中的下一个描述符，DMA 无法获取。发送暂停。位[22:20]解释发送进程的状态转换。要恢复处理发送描述符，主机应该通过设置 TXDES0[31]来更改描述符的所有权，然后发出一个发送轮询需求命令。
3	TXJTO	RC_W1	发送 Jabber 超时（Transmit Jabber Timeout） 该位表示发送 Jabber 定时器超时，发送进程将被终止，并处于停止状态。这将导致发送 Jabber 超时 TXDES0[14]标志被置位。
4	RXOVF	RC_W1	接收上溢（Receive Overflow） 此位表示接收缓冲区在帧接收期间发生溢出。如果将部分帧发送给应用程序，则在 RXDES0[11]中设置溢出状态。
5	TXUNF	RC_W1	发送下溢（Transmit Underflow）

位/域	名称	R/W	描述
			这个位表示发送缓冲区在帧发送期间有一个下溢。发送被挂起，并设置了下溢错误 TXDES0[1]。
6	RXFLG	RC_W1	接收标志（Receive Flag） 帧接收完成，特定的帧状态信息被更新在描述符中。接收保持运行状态。
7	RXBU	RC_W1	接收缓冲不可用（Receive Buffer Unavailable） 该位表示主机拥有接收列表中的下一个描述符，DMA 无法获取它。接收进程挂起。要恢复处理接收描述符，主机应该更改描述符的所有权，并发出一个接收轮询请求命令。如果没有发出接收轮询请求，接收进程将在接收到下一个确认的传入帧时恢复。仅当前一个接收描述符为 DMA 所有时才设置此位。
8	RXSFLG	RC_W1	接收停止标志（Receive Stopped Flag） 当接收进程进入停止状态时此位置 1。
9	RXWTOFLG	RC_W1	接收看门狗超时标志（Receive Watchdog Timeout Flag） 当接收到的帧的长度大于 2048 个字节时此位置 1。
10	ETXFLG	RC_W1	提前发送标志（Early Transmit Flag） 要发送的帧已经完全发送到发送 FIFO。
12:11	保留		
13	FBERRFLG	RC_W1	致命的总线错误标志（Fatal Bus Error Flag） 该位表示发生了总线错误，如位[25:23]所述。当设置此位时，相应的 DMA 引擎禁用其所有总线访问。
14	ERXFLG	RC_W1	提前接收标志（Early Receive Flag） 这个位表示 DMA 填充了数据包的第一个数据缓冲区。当软件将 1 写入该位或该寄存器的位[6]被设置时，该位将被清除。
15	AINTS	RC_W1	异常中断汇总（Abnormal Interrupt Summary） 当在 ETH_DMAINTEN 寄存器中启用相应的中断位时，异常中断汇总位的值是以下位的逻辑或运算结果： ETH_DMASTS[1]：发送过程中停止 ETH_DMASTS[3]：发送 Jabber 超时 ETH_DMASTS[4]：接收上溢 ETH_DMASTS[5]：发送下溢 ETH_DMASTS[7]：接收缓冲不可用 ETH_DMASTS[8]：接收过程中停止 ETH_DMASTS[9]：接收看门狗超时 ETH_DMASTS[10]：提前发送中断 ETH_DMASTS[13]：致命的总线错误 只有非屏蔽位影响异常中断汇总位。这是一个粘性位，必须在每次清除导致设置此位的对应位时清除。
16	NINTS	RC_W1	正常中断汇总（Normal Interrupt Summary） 当相应的中断位在 ETH_DMAINTEN 寄存器中启用时，正常中断汇总位的值是以下位的逻辑或运算结果： ETH_DMASTS[0]：发送中断 ETH_DMASTS[2]：发送缓冲不可用 ETH_DMASTS[6]：接收中断 ETH_DMASTS[14]：提前接收中断 只有未屏蔽位影响正常中断汇总位。这是一个粘性位，必须在每次清除导致设置此位的对应位时清除。

位/域	名称	R/W	描述
19:17	RXSTS	R	接收过程状态（Receive Process State） 该字段表示接收 DMA FSM 状态。此字段不产生中断。 000：停止：发出复位或停止接收命令 001：运行：获取接收发送描述符 010：保留 011：运行：等待接收报文 100：挂起：接收描述符不可用 101：运行：关闭接收描述符 110：保留 111：运行：正在将接收包数据从接收缓冲区发送到主机内存
22:20	TXSTS	R	发送过程状态（Transmit Process State） 该字段表示发送 DMA FSM 状态。此字段不产生中断。 000：停止：发出复位或停止发送命令 001：运行：获取发送描述符 010：运行：等待状态 011：运行：从主机内存缓冲区读取数据并排队发送缓冲区(Tx FIFO) 100、101：保留 110：挂起：发送描述符不可用或发送缓冲区下溢 111：运行：关闭发送描述符
25:23	ERRB	R	错误位（Error Bits） 该字段表示引起总线错误的错误类型，例如 AHB 接口的错误响应。该字段仅在位[13]设置时有效。此字段不产生中断。 000：Rx DMA 写数据发送过程中出现错误 011：Tx DMA 读取数据发送过程中出现错误 100：Rx DMA 描述符写访问时出错 101：Tx DMA 描述符写访问时出错 110：Rx DMA 描述符读访问时出错 111：Tx DMA 描述符读访问时出错
26	保留		
27	MMCFLG	R	MMC 标志（MMC Flag） 该位反映了 MAC 的 MMC 模块中的一个中断事件。软件必须在 MAC 中读取相应的寄存器，以获得中断的确切原因，并清除中断源，使该位清 0。当这个位为高电平时，使能后会产生中断。
28	PMTFLG	R	PMT 标志（PMT Flag） 该位表示 MAC 的 PMT 模块中的一个中断事件。软件必须读取 MAC 中的 PMT 控制和状态寄存器来获得中断的确切原因，并清除其源来将这个位清 0。当这个位为高电平时，使能后会产生中断。
29	TSTFLG	R	时间戳触发标志（Timestamp Trigger Flag） 此位表示 MAC 的时间戳发生器块中的一个中断事件。软件必须读取 MAC 中相应的寄存器，以获得中断的确切原因，并清除其源，将该位清 0。当这个位为高电平时，使能后会产生中断。
31:30	保留		

28.11.7 操作模式寄存器（ETH_DMAOPMOD）

偏移地址：0x1018

复位值：0x0000 0000

位/域	名称	R/W	描述
0	保留		
1	STRX	R/W	开始或停止接收（Start or Stop Receive） 当设置此位时，接收进程将处于运行状态。DMA 尝试从接收列表中获取描述符并处理传入的帧。从列表中的当前位置尝试获取描述符，该位置是由 ETH_DMARXDLADDR 寄存器设置的地址，或者在接收进程之前停止时保留的位置。如果 DMA 不拥有该描述符，则接收被挂起，并设置 ETH_DMASTS[7][。“开始接收”命令只有在接收停止后才有效。如果在设置 ETH_DMARXDLADDR 寄存器之前发出命令，DMA 行为是不可预测的。 当这个位被清除时，Rx DMA 操作在当前帧的发送后停止。接收列表中的下一个描述符位置将被保存，并在重新启动接收进程后成为当前位置。停止接收命令只在接收进程处于“运行”或“挂起”状态时有效。
2	OSECF	R/W	操作第二帧（Operate on Second Frame） 当设置此位时，它指示 DMA 处理发送数据的第二帧，甚至在获得第一帧的状态之前。
4:3	RXTHCTRL	R/W	接收阈值控制（Receive Threshold Control） 这两个位控制接收 FIFO 的阈值水平。发送到 DMA 开始时，在接收 FIFO 的帧大小大于阈值。此外，长度小于阈值的全帧将自动发送。 当配置的“接收 FIFO 大小”为 128 字节时，不使用 11。这些位只在 RXSF 位为 0 时有效，当 RXSF 位为 1 时被忽略 00：64 01：32 10：96 11：128
5	保留		
6	FUF	R/W	转发小型正常帧（Forward Undersized Good Frames） 当设置时，Rx FIFO 转发过小的帧，包括填充字节和 CRC。当复位时，Rx FIFO 丢弃所有小于 64 字节的帧，除非一个帧因为接收阈值较低而已经发送，例如 RTC = 01。
7	FERRF	R/W	转发错误帧（Forward Error Frames） 当这个位被重置时，Rx FIFO 丢弃带有错误状态的帧。但是，如果帧的开始字节指针已经转移到读控制器端(在阈值模式)，那么帧不会被丢弃。 如果帧的起始字节没有在 ARI 总线上发送(输出)，Rx FIFO 丢弃错误帧。
12:8	保留		
13	STTX	R/W	启动或停止发送命令（Start or Stop Transmission Command） 当这个位被设置时，发送被放置在运行状态，DMA 检查当前位置的发送列表以获取要发送的帧。描述符获取尝试从列表中的当前位置或从之前发送停止时保留的位置获取。如果 DMA 不拥有当前描述符，发送进入挂起状态，并且 ETH_DMASTS[2]被设置。只有在发送停止时，该命令才会生效。如果在设置 ETH_DMATXDLADDR 寄存器之前发出命令，那么 DMA 行为是不可预测的。 当该位重置时，当前帧完成发送后，发送进程处于停止状态。发送列表中的下一个描述符位置将被保存，当发送重新启动时它将成为当前位置。停止发送命令只有在当前帧发送完成或发送处于“挂起”状态时才有效。

位/域	名称	R/W	描述
16:14	TXTHCTRL	R/W	发送阈值控制（Transmit Threshold Control） 这些位控制发送 FIFO 的阈值水平。发送开始时，发送 FIFO 内的帧大小大于阈值。此外，长度小于阈值的完整帧也被发送。这些位仅在位[21]复位时使用。 000：64 001：128 010：192 011：256 100：40 101：32 110：24 111：16
19:17	保留		
20	FTXF	R/W	刷新发送 FIFO（Flush Transmit FIFO） 当设置此位时，发送 FIFO 控制器逻辑将重置为其默认值，因此 Tx FIFO 中的所有数据将丢失或刷新。当刷新操作完成时，将在内部清除此位。在清除此位之前，不应该写入操作模式寄存器。
21	TXSF	R/W	发送、存储和转发（Transmit Store and Forward） 当设置此位时，如果发送 FIFO 中有一个完整帧，发送会启动。当设置此位时，位[16:14]中指定的 TTC 值将被忽略。只有在发送停止时，才能更换此位。
23:22	保留		
24	DISFRXF	R/W	禁用接收帧的刷新（Disable Flushing of Received Frames） 当该位被设置时，Rx DMA 不会像正常情况下重置该位时那样因为接收描述符或缓冲区不可用而刷新任何帧。
25	RXSF	R/W	接收、存储和转发（Receive Store and Forward） 当这个位被设置时，向 Rx FIFO 写入完整的帧后可以读取帧，且忽略 RTC 位。当这个位被重置时，Rx FIFO 以直通模式运行，受 RTC 位指定的阈值限制。
26	DISDT	R/W	关闭 TCP/IP 校验错误帧的丢弃功能（Disable Dropping of TCP/IP Checksum Error Frames） 当设置此位时，MAC 不会丢弃只有接收校验和卸载引擎检测到的错误帧。这样的帧在 MAC 接收到的以太网帧中没有任何错误，但只有在封装的负载中有错误。当这个位被重置时，如果 FERRF 位被重置，所有的错误帧都会被丢弃。
31:27	保留		

28.11.8 中断使能寄存器（ETH_DMAINTEN）

偏移地址：0x101C

复位值：0x0000 0000

位/域	名称	R/W	描述
0	TXIEN	R/W	使能发送中断（Transmit Interrupt Enable） 当该位通过位[16]置 1 时，使能发送中断。当该位被重置时，发送中断被禁用。
1	TXSEN	R/W	使能发送停止（Transmit Stopped Enable）

位/域	名称	R/W	描述
			当该位通过位[15]置 1 时，使能发送停止中断。当该位被重置时，发送停止中断将被禁用
2	TXBUEN	R/W	使能发送缓冲区不可用（Transmit Buffer Unavailable Enable） 当该位通过位[16]置 1 时，使能发送缓冲区不可用中断。当该位被重置时，发送缓冲区不可用中断将被禁用。
3	TXJTOEN	R/W	使能发送 Jabber 超时（Transmit Jabber Timeout Enable） 当该位通过位[15]置 1 时，使能发送 Jabber 超时中断。当该位被重置时，发送 Jabber 超时中断被禁用。
4	RXOVFEN	R/W	使能接收上溢中断（Receive Overflow Interrupt Enable） 当该位通过位[15]置 1 时，使能接收溢出中断。当该位被重置时，溢出中断将被禁用。
5	TXUNFEN	R/W	使能发送下溢中断（Transmit Underflow Interrupt Enable） 当该位通过位[15]置 1 时，使能发送下溢中断。当该位被重置时，下溢中断将被禁用。
6	RXIEN	R/W	使能接收中断（Receive Interrupt Enable） 当该位通过位[16]置 1 时，使能接收中断。当该位被重置时，接收中断将被禁用。
7	RXBUEN	R/W	使能接收缓冲区不可用（Receive Buffer Unavailable Enable） 当该位通过位[15]置 1 时，使能接收缓冲区不可用中断。当该位重置时，接收缓冲区不可用中断将被禁用。
8	RXSEN	R/W	使能接收停止（Receive Stopped Enable） 当该位通过位[15]置 1 时，使能接收停止中断。当该位被重置时，接收停止中断将被禁用。
9	RXWTOEN	R/W	使能接收看门狗超时（Receive Watchdog Timeout Enable） 当该位通过位[15]置 1 时，使能接收看门狗超时中断。当该位重置时，接收看门狗超时中断将被禁用。
10	ETXIEN	R/W	使能提前发送中断（Early Transmit Interrupt Enable） 当该位通过位[15]置 1 时，使能提前发送中断。当该位被重置时，提前发送中断被禁用。
12:11	保留		
13	FBERREN	R/W	使能致命总线错误（Fatal Bus Error Enable） 当该位通过位[15]置 1 时，使能致命总线错误中断。当该位被重置时，致命总线错误使能中断被禁用。
14	ERXIEN	R/W	使能提前接收中断（Early Receive Interrupt Enable） 当该位通过位[16]置 1 时，使能提前接收中断。当该位被重置时，早期接收中断将被禁用。
15	AINTSEN	R/W	使能异常中断汇总（Abnormal Interrupt Summary Enable） 当设置此位时，使能异常中断汇总。当该位被重置时，异常中断汇总将被禁用。该位使能下列中断： ETH_DMASTS[1]：发送过程中停止 ETH_DMASTS[3]：发送 Jabber 超时 ETH_DMASTS[4]：接收上溢 ETH_DMASTS[5]：发送下溢 ETH_DMASTS[7]：接收缓冲区不可用 ETH_DMASTS[8]：接收过程中停止 ETH_DMASTS[9]：接收看门狗超时 ETH_DMASTS[10]：提前发送中断

位/域	名称	R/W	描述
			ETH_DMASTS[13]：致命总线错误
16	NINTSEN	R/W	使能正常中断汇总（Normal Interrupt Summary Enable） 当设置此位时，将启用正常中断汇总。当该位被重置时，正常中断汇总将被禁用。此位使能下列中断： ETH_DMASTS[0]：发送中断 ETH_DMASTS[2]：发送缓冲区不可用 ETH_DMASTS[6]：接收中断 ETH_DMASTS[14]：提前接收中断
31:17	保留		

28.11.9 丢失帧和缓冲区上溢计数寄存器（ETH_DMAMFABOCNT）

偏移地址：0x1020

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	MISFCNT	RC_R	控制器丢失帧计数器（Controller Missed Frame Counter） 表示由于主机接收缓冲区不可用而被控制器丢失的帧数。这个计数器在 DMA 每次丢弃一个传入帧时增加。
16	MISFCNTOVF	RC_R	丢失帧计数器溢出位（Overflow Bit for Missed Frame Counter）
27:17	AMISFCNT	RC_R	应用程序丢失帧计数器（Application Missed Frame Counter） 表示应用程序丢失的帧数。
28	OVFCNTOVF	RC_R	FIFO 溢出计数器溢出位（Overflow Bit for FIFO Overflow Counter）
31:29	保留		

28.11.10 接收标志看门狗定时器寄存器（ETH_DMARXFLGWDT）

偏移地址：0x1024

复位值：0x0000 0000

位/域	名称	R/W	描述
7:0	RXWDTCNT	R/W	RXFLG 看门狗定时器计数（RXFLG Watchdog Timer Count） 该位表示设置看门狗定时器的系统时钟周期数乘以 256。看门狗定时器在 Rx DMA 完成一个 RXFLG 状态位没有被设置的帧的发送后被程序设定的值触发，因为相应的描述符 RXDES1[31]中的设置。看门狗定时器超时后，设置 RXFLG 位，停止定时器。因为 RXFLG 自动设置接收帧的 RXDES1[31]使得 RXFLG 位设置为高电平，看门狗定时器复位。
31:8	保留		

28.11.11 当前主机发送描述符寄存器（ETH_DMAHTXD）

偏移地址：0x1048

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	HTXDADDRP	R	主机发送描述符地址指针（Host Transmit Descriptor Address Pointer） 在操作期间由 DMA 更新的指针。

28.11.12 当前主机接收描述符寄存器（ETH_DMAHRXD）

偏移地址：0x104C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	HRXDADDRP	R	主机接收描述符地址指针（Host Receive Descriptor Address Pointer） 在操作期间由 DMA 更新的指针。

28.11.13 当前主机发送缓冲区地址寄存器（ETH_DMAHTXBADDR）

偏移地址：0x1050

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	HTXBADDRP	R	主机发送缓冲区地址指针（Host Transmit Buffer Address Pointer） 在操作期间由 DMA 更新的指针。

28.11.14 当前主机接收缓冲区地址寄存器（ETH_DMAHRXBADDR）

偏移地址：0x1054

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	HRXBADDRP	R	主机接收缓冲区地址指针（Host Receive Buffer Address Pointer） 在操作期间由 DMA 更新的指针。

29 模数转换器（ADC）

29.1 术语全称、缩写描述

表格 155 ADC 术语全称、缩写描述

中文全称	英文全称	英文缩写
模拟看门狗	Analog watchdog	AWD
转换	Conversion	C
注入	Injected	INJ
规则	Regular	REG
开始	Start	S
扫描	Scan	SCAN
单个	Single	SINGLE
自动	Automatic	A
组	Group	G
间断	Discontinuous	DISC
计数	Count	CNT
双数	Dual	DUAL
连续	Continuous	C
校准	Calibration	CAL
复位	Reset	RST
对齐	Alignment	ALIGN
外部	External	EXT
事件	Event	E
触发	Trigger	TRG
温度	Temperature	T
传感器	Sensor	S
时间	Time	TIM
采样	Sample	SMP
偏移	Offset	OF
高	High	H
低	Low	L
阈值	Threshold	T
序列	Sequence	SEQ

中文全称	英文全称	英文缩写
长度	Length	LEN
-		
规则通道	Regular Channels	REG
注入通道	Injected Channel	INJ
注入组	Injected Group	INJG
自动	Automatic	A
转换	Conversion	C
模拟看门狗	Analog Watchdog	AWD
间断模式	Discontinuous Mode	DISC
扫描模式	Scan Mode	SCAN
-		
连续转换	Continuous Conversion	CONTC
单次转换	Single Conversion	SINGLEC
外部	External	EXT
外部触发	External Trigger	EXTTRG
采样时间	Sample Time	SMPTIM
序列	Sequence	SEQ
数目	Number	NUM

29.2 简介

系列产品有 3 个 ADC，精度为 12 位，每个 ADC 最多有 16 个外部通道和 3 个内部通道，各通道 A/D 转换模式有单次、连续、扫描或间断，ADC 转换结果可以左对齐或右对齐存储在 16 位数据寄存器中。

29.3 主要特征

（1） ADC 供电要求：全速运行为 2.4V 到 3.6V，慢速运行为 1.8V。

（2） ADC 输入范围：$V_{REF-} \leq V_{IN} \leq V_{REF+}$。

（3） 可配置 12 位、10 位、8 位或 6 位分辨率

（4） ADC 转换时间

- 公式：TCONV=采样时间+12 个周期
- 采样时间由 SMPCYCCFGx[2:0]位控制，最小采样周期为 3 个，当 ADCCLK=30MHz，采样时间为 3 周期：TCONV=3 周期+12 周期=15 周期=0.5μs。

（5） 模式输入通道类别

- 外部 GPIO 输入通道
- 1 个内部温度传感（V_{SENSE}）输入通道
- 1 个内部参考电压（V_{REFINT}）输入通道
- 1 个内部备份电压（V_{BAT}）输入通道

（6） 通道转换模式

- 单个通道转换模式：单次转换模式、连续转换模式
- 输入通道分类：规则通道、注入通道
- 一组通道转换模式：扫描模式、间断模式、注入通道管理
- ADC 模式：独立 ADC 模式、双重/三重 ADC 模式

（7） 触发方式

- 片上定时器信号触发
- 外部引脚

（8） 数据寄存器

- 规则数据寄存器
- 注入数据寄存器
- 通用规则数据寄存器

（9） 中断

- 转换结束中断
- 模拟看门狗中断
- 溢出中断

（10） 支持规则数据转换的 DMA 请求

（11） 数据对齐

- 数据寄存器 ADC_CTRL2 的的 DALIGNCFG 位可配置数据对齐方式为左对齐或右对齐。

29.4 功能描述

29.4.1 ADC 引脚

表格 156 ADC 引脚

名称	说明	信号类型
V_{REF+}	ADC 使用的高端/正极参考电压，1.8V≤V_{REF+}≤V_{DDA}	输入，模拟参考正极
V_{DDA}	等效于 V_{DD} 的模拟电源且：全速运行 2.4V≤V_{DDA}≤V_{DD}(3.6V)，慢速运行 1.8V≤V_{DDA}≤V_{DD}(3.6V)	输入，模拟电源
V_{REF-}	ADC 使用的低端/负极参考电压，V_{REF-} =V_{SSA}	输入，模拟参考负极
V_{SSA}	等效于 V_{SS} 的模拟电源地	输入，模拟电源地

名称	说明	信号类型
ADCx_IN[15:0]	16 个模拟输入通道	模拟输入信号

29.4.2 ADC 转换模式

产品内置多个 ADC、多个通道（具体数量参考数据手册），可以组合出多种转换模式。

内置多个 ADC，依据 ADC 的数量，转换模式可以分为独立 ADC 模式、双重 ADC 模式；内置多个通道，可以将通道 2 类组别，即规则通道、注入通道，在每组内部转换模式分为扫描模式、间断模式；对于每个组内部的通道，转换模式分为单次转换模式、连续转换模式。

在应用中，依据实际应用需求，可结合 ADC 的数量、转换的通道数、每个通道的转换方式设计出满足需求的 ADC 转换方式。

29.4.2.1 单个 ADC 工作、单个通道的转换方式

单 ADC 单通道

单 ADC 单通道不使用外部触发软件开启，转换模式为单次和连续同时禁止扫描，数据转换的结果为右对齐，单 ADC 转换完成后触发中断，在中断服务函数中读取数据，不使用 DMA 传输。

单次转换模式

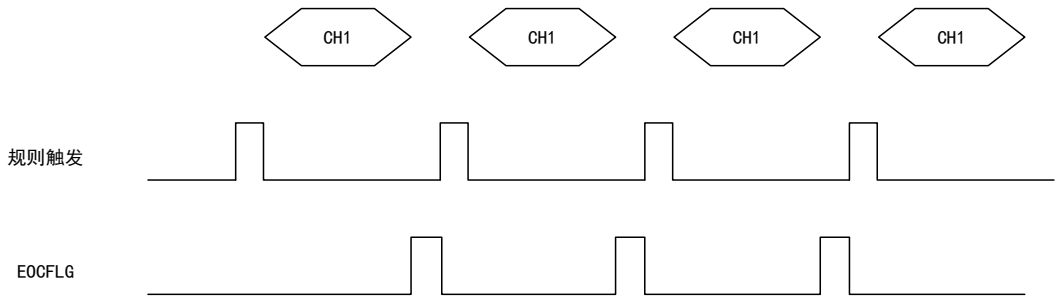
该模式对单个通道而言之只对此通道进行一次转换，对多通道而言只对此组通道进行一次转换。

该模式通过配置寄存器 ADC_CTRL2 的 ADCEN 位启动或外部触发启动。

规则通道一次转换结束，转换数据将存储到 16 位 ADC_REGDATA 寄存器，EOCFLG 位置 1，若配置 EOCIEN 位置 1，则产生中断。

注入通道一次转换结束，转换数据将存储到 16 位 ADC_INJDATA1 寄存器，INJEOCFLG 位置 1，若配置 INJEOCIEN 位置 1，则产生中断。

图 122 单次转换模式时序图



连续转换模式

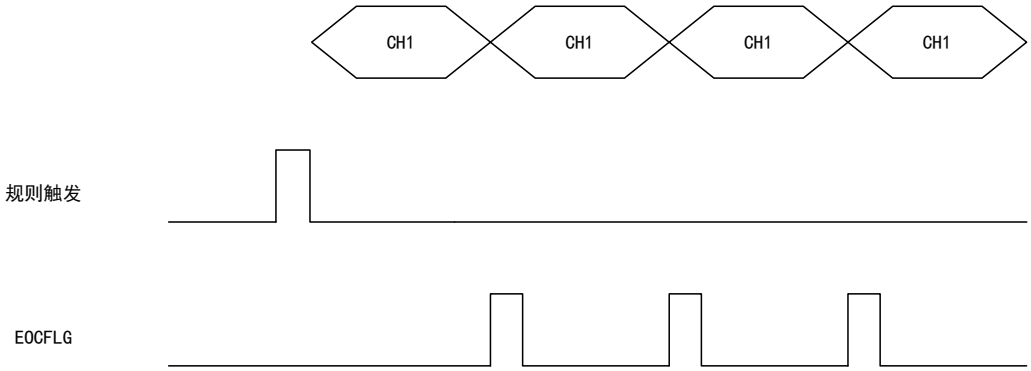
该模式对单通道而言之对此通道进行连续转换。

该模式通过配置寄存器 ADC_CTRL2 的 ADCEN 位启动或外部触发启动。

一个规则通道转换结束，转换数据将存储到 16 位 ADC_REGDATA 寄存器，EOCFLG 位置 1，若配置 EOCIEN 位置 1，则产生中断。

一个注入通道转换结束，转换数据将存储到 16 位 ADC_INJDATA1 寄存器，INJEOCFLG 位置 1，若配置 INJEOCIEN 位置 1，则产生中断。

图 123 连续转换模式时序图



29.4.2.2 单个 ADC、一组通道转换方式

单 ADC 多通道

单 ADC 多通道下开启扫描模式，不使用外部触发转换，软件触发，数据转换结果右对齐，ADC 转换结果数据使用 DMA 传输到存储器。

模拟输入通道分类

规则通道组

- 规则组由 16 个通道组成
- 规则通道转换顺序通过配置寄存器 ADC_REGSEQx 决定
- 规则组转换通道的总数通过配置寄存器 ADC_REGSEQ1 的 REGSEQLEN 位决定

注入通道组

- 注入组由 4 个通道组成
- 注入通道转换顺序通过配置寄存器在 ADC_INJSEQ 决定
- 注入组转换通道的总数通过配置寄存器在 ADC_INJSEQ 的 INJSEQLEN 位决定

内部输入通道

温度传感器：

- 温度传感器用来测量芯片内部的温度
- 温度传感器选择 ADC1_IN16 输入通道

- 通过配置寄存器 ADC_CTRL2 的 TSVREFEN 位启动

内部参考电压 V_{REFINT}：

- 内部参考电压用来提供一个稳定的电压输出给 ADC
- 内部参考电压 V_{REFINT} 选择 ADC1_IN17 输入通道

内部备份电压 V_{BAT}：

- 内部备份电压 V_{BAT} 选择 ADC1_IN18 输入通道

通道转换顺序

规则序列寄存器配置：

- 配置寄存器 ADC_REGSEQ3 的 REGSEQC1~REGSEQC6 位设置第 1~6 个转换通道
- 配置寄存器 ADC_REGSEQ2 的 REGSEQC7~REGSEQC12 位设置第 7~12 个转换通道
- 配置寄存器 ADC_REGSEQ1 的 REGSEQC13~REGSEQC16 位设置第 13~16 个转换通道
- 配置寄存器 ADC_REGSEQ1 的 REGSEQLEN 设置需要转换的通道数目

注入序列寄存器配置：

- 配置寄存器 ADC_INJSEQ 的 INJSEQC1~INJSEQC4 位设置第 1~4 个转换通道
- 配置寄存器 ADC_INJSEQ 的 INJSEQLEN 设置需要转换的通道数目
- 若 INJSEQLEN 的值小于 4，则转换顺序不同，转换顺序从（4-INJSEQLEN）开始。

通道转换模式

扫描模式

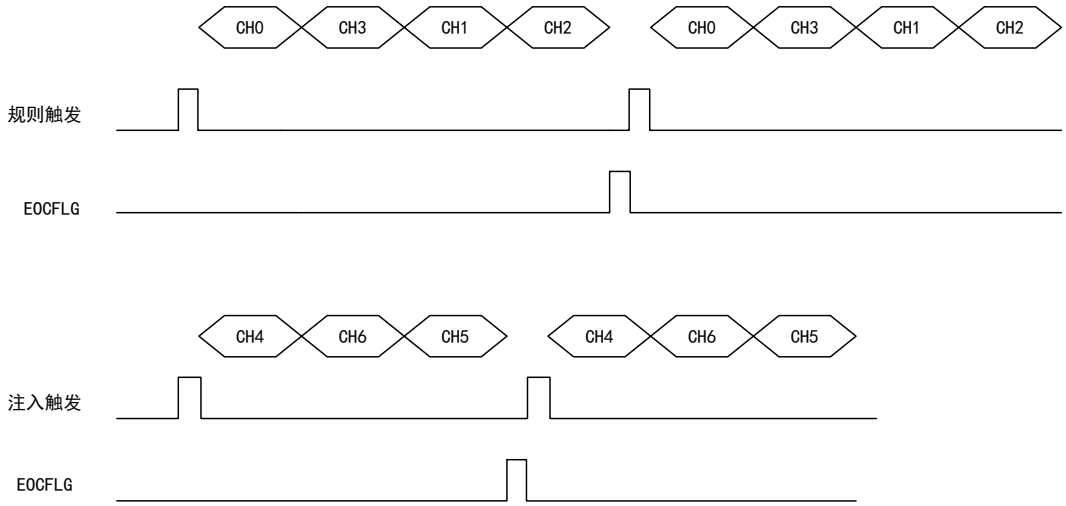
该模式适用于一组通道，相当于在一组通道的每个通道上进行单次转换。

该模式通过配置寄存器 ADC_CTRL1 的 SCANEN 位启动，启动后 ADC 扫描所有的按序列寄存器 ADC_REGSEQ 或 ADC_INJSEQ 排好顺序的通道，每个通道转换完成后将自动转换该组下一个通道。

若配置 CONTCEN 位置 1，当该组最后一个通道转换完成后将继续从该组第一个通道开始转换。

若配置 DMAEN 位置 1，每次通道转换完成后，DMA 控制器将规则通道的转换数据传输到 SRAM。

图 124 扫描模式时序图



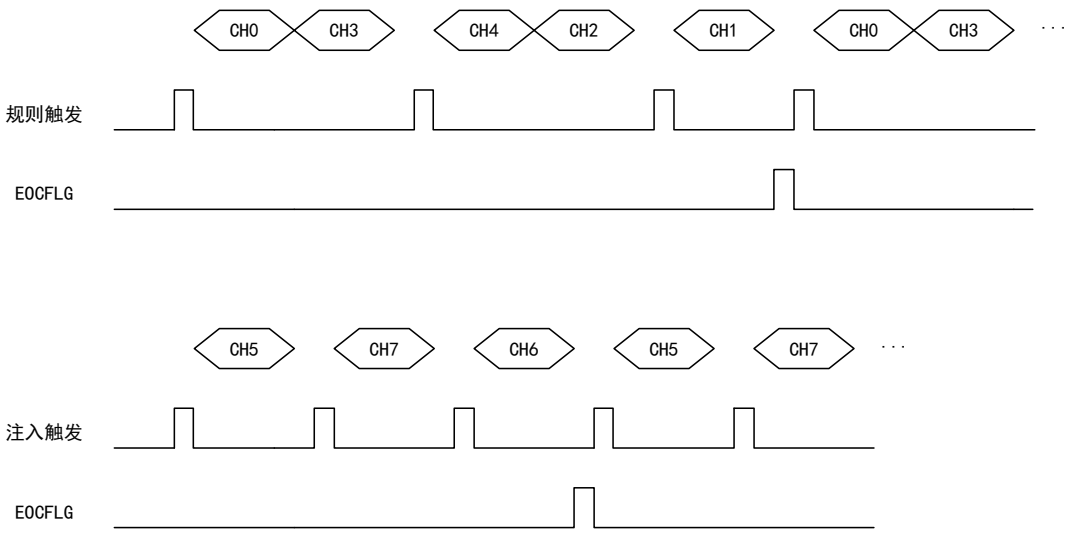
间断模式

该模式适用于一组通道，相当于对一组通道里的多个通道进行连续转换。

对于规则组，该模式通过配置寄存器 ADC_CTRL1 的 REGDISCEN 位启动，启动后进行一次 n 个通道的短序列转换（n<=8），n 通过配置寄存器 ADC_CTRL1 的 DISCNUMCFG[2:0]决定；通过软件控制或外部触发源可以启动下一轮 n 个通道的转换，直到该组通道全部转换完成，EOCFLG 位置 1。

对于注入组，该模式通过配置寄存器 ADC_CTRL1 的 INJDISCEN 位启动，启动后按序列寄存器配置顺序进行一个通道的转换，通过软件控制或外部触发源可以按顺序启动下一个通道的转换，直到该组通道全部转换完成，EOCFLG 位和 INJEOCFLG 位置 1。

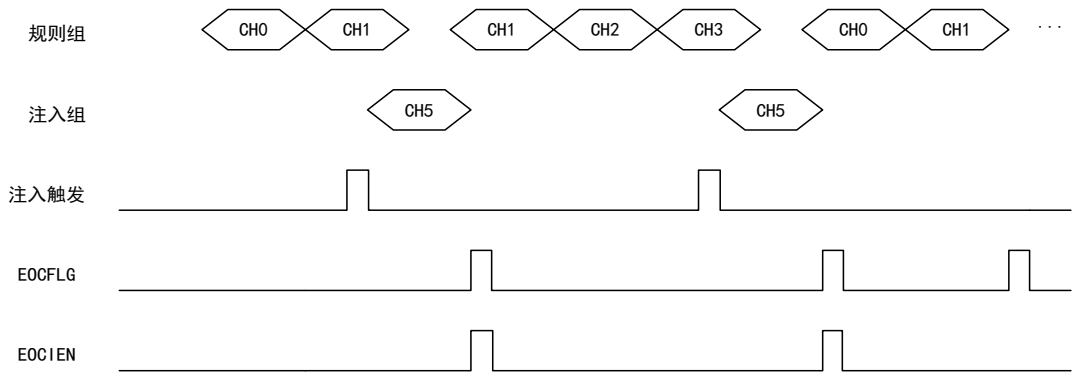
图 125 间断模式时序图



注入通道管理

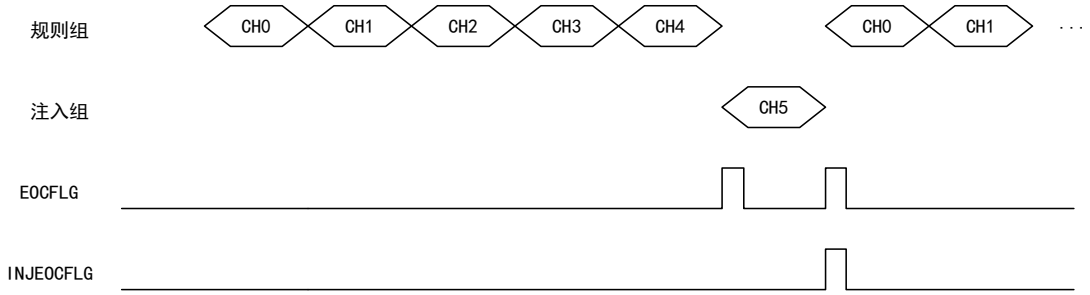
触发注入：通过清除寄存器 ADC_CTRL1 的 INJGACEN 位并配置 SCANEN 位启动，在规则组通道转换期间若产生一个软件触发或外部触发将启动触发注入转换，此时规则通道转换停止，注入通道序列开始转换，在注入组通道转换完成后恢复规则组通道转换。

图 126 触发注入时序图



自动注入：需要配置寄存器 ADC_CTRL1 的 INJGACEN 位启动，在规则组通道转换完成后，注入组通道自动开始转换，自动注入模式下，注入组通道的外部触发必须禁止；若还配置了寄存器 ADC_CTRL2 的 CONTCEN 位，规则组和注入组的所有通道按序列进行连续转换。

图 127 自动注入时序图



29.4.2.3 双重或三重 ADC 模式、一组通道转换模式

两个或两个以上 ADC 模块的产品，使用双重或三重 ADC 模式，ADC1 默认为主 ADC，其他默认为从 ADC，通过配置 ADC1_CCTRL 寄存器中 ADCMSEL 位设置 ADC 模式。

当配置由外部事件触发时，需要设置为仅触发主 ADC，然后配置从 ADC 为软件触发。（主和从的外部触发必须同时发生）

双重或三重 ADC 有以下 6 种可能的模式：

（1） 同时规则模式

同时规则模式即多个 ADC 同时转换一个规则通道组。两个 ADC 不能同时转换一个通道。外部触发事件由寄存器 ADC1_CTRL2 的 REGEXTTRGSEL 决定。

所有 ADC 规则通道转换完后，产生 EOCFLG 中断。双重 ADC 模式：转换结束产生一个 DMA 传输请求，ADC1 转换数据放在寄存器 ADC1_REGDATA 的低 16 位，ADC2 转换数据放在寄存器 ADC_REGDATA 的高 16 位。三重 ADC 模式：转换结束后产生三个 DMA 请求，依此将 ADC1、ADC2、ADC3 转换数据传输到存储器。

（2） **同时注入模式**

同时注入模式即多个 ADC 同时转换一个注入通道组。两个 ADC 不能同时转换一个通道。外部触发事件由寄存器 ADC1_CTRL2 的 INJGEXTTRGSEL 决定。

ADC 转换结束，转换数据存储在各个 ADC 接口的寄存器 ADC_INJDATAx。

所有 ADC 注入通道转换完成后，产生 INJEOCFLG 中断。

（3） **交替模式**

交替模式即多个 ADC 交替转换一个规则通道组。外部触发事件由寄存器 ADC1_CTRL2 的 REGEXTTRGSEL 决定。

双重 ADC 模式：出现触发后，ADC1 先启动，经过延迟后 ADC2 启动，延迟通过寄存器 ADC_CCTRL 的 SMPDEL2 位配置。转换完成后生成 EOCFLG 中断，然后生成一个 DMA 请求，通过 DMA 模式 2 的方式进行数据传输。三重 ADC 模式：出现触发后，ADC1 先启动，经过延迟后 ADC2 启动，ADC2 转换经过延迟后 ADC3 启动，延迟通过寄存器 ADC_CCTRL 的 SMPDEL2 位配置。每进行两次转换就生成一个 DMA 请求，通过 DMA 模式 2 的方式进行数据传输。

（4） **交替触发模式**

交替触发模式即多个 ADC 交替触发转换一个注入通道组。外部触发事件由寄存器 ADC1_CTRL2 的 INJGEXTTRGSEL 决定。

双重 ADC 模式：产生第一次触发，转换 ADC1 中注入组所有通道，产生第二次触发，转换 ADC2 中注入组所有通道，每个 ADC 转换完成后都产生一个 INJEOCFLG 中断。三重 ADC 模式：产生第一次触发，转换 ADC1 中注入组所有通道，产生第二次触发，转换 ADC2 中注入组所有通道，产生第三次触发，转换 ADC3 中注入组所有通道，每个 ADC 转换完成后都产生一个 INJEOCFLG 中断。

（5） **混合的同时规则/注入模式**

混合同时规则/注入模式即同时规则模式被中断后启动同时注入模式。

该模式中，必须转换相同长度的序列或设置触发间隔时间能够转换完成较长序列。

（6） **混合的同时规则+交替触发模式**

混合的同时规则+交替触发模式即同时规则模式被中断后启动交替触发模式。

该模式中，必须转换相同长度的序列或设置触发间隔时间能够转换完成较长序列。

29.4.3 外部触发

外部触发的寄存器配置如下：

- 规则组通道的外部事件触发通过配置寄存器 ADC_CTRL2 的 REGEXTTRGSEL 位启动
- 注入组通道的外部事件触发通过配置寄存器 ADC_CTRL2 的 INJGEXTTRGSEL 位启动

表格 157 规则通道的外部触发

触发源	REGEXTTRGSEL[3:0]	触发类型
TMR1_CC1	0000	来自片上定时器的内部信号
TMR1_CC2	0001	
TMR1_CC3	0010	
TMR2_CC2	0011	
TMR2_CC3	0100	
TMR2_CC4	0101	
TMR2_TRGO	0110	
TMR3_CC1	0111	
TMR3_TRGO	1000	
TMR4_CC4	1001	
TMR5_CC1	1010	
TMR5_CC2	1011	
TMR5_CC3	1100	
TMR8_CC1	1101	
TMR8_TRGO	1110	
EINT 线 11	1111	外部引脚

表格 158 注入通道的外部触发

触发源	INJGEXTTRGSEL[3:0]	触发类型
TMR1_CC4	0000	来自片上定时器的内部信号
TMR1_TRGO	0001	
TMR2_CC1	0010	
TMR2_TRGO	0011	
TMR3_CC2	0100	
TMR3_CC4	0101	
TMR4_CC1	0110	
TMR4_CC2	0111	

触发源	INJGEXTTRGSEL[3:0]	触发类型
TMR4_CC3	1000	
TMR4_TRGO	1001	
TMR5_CC4	1010	
TMR5_TRGO	1011	
TMR8_CC2	1100	
TMR8_CC3	1101	
TMR8_CC4	1110	
EINT 线 15	1111	外部引脚

29.4.4 数据寄存器

29.4.4.1 规则数据寄存器

ADC_REGDATA 是一个 32 位的 ADC 规则数据寄存器，单 ADC 模式下只使用低 16 位存储转换数据，双 ADC 模式下低 16 位存储 ADC1 的转换数据，高 16 位存储 ADC2 的转换数据，数据对齐方式为左对齐和右对齐。

通过配置寄存器 ADC_CTRL2 的 DALIGNCFG 位决定是否使用 DMA 传输，其中规则通道最多有 16 个，但规则数据寄存器只有 1 个，所以在多通道转换时将产生数据覆盖问题，此时就需要使用 DMA 传输。

29.4.4.2 注入数据存储器

ADC_INJDATAx（x=1,2,3,4）是 ADC 注入数据寄存器，有四个 32 位的寄存器，其低 16 位有效，高 16 位保留。注入通道最多有 4 个，注入数据寄存器也有四个，在多通道转换时不会发生数据覆盖问题，数据对齐方式为左对齐和右对齐。

29.4.4.3 通用规则数据存储器

ADC_CDATA 是 ADC 通用规则数据寄存器，仅适用于双重或三重模式，在双重或三重模式下一般需要 DMA 来配合传输数据。

29.4.5 中断

29.4.5.1 转换结束中断

规则组通道转换结束中断

规则通道转换结束后产生中断，在中断函数中读取规则数据寄存器的值。

通过配置寄存器 ADC_STS 的 EOCFLG 位决定。

注入组通道转换结束中断

注入通道转换结束后产生中断，在中断函数中读取规则数据寄存器的值。

通过配置寄存器 ADC_STS 的 INJEOCFLG 位决定。

29.4.5.2 模拟看门狗中断

若输入的模拟电压不在阈值范围内将产生模拟看门狗中断。

通过配置存器 ADC_STS 的 AWDFLG 位决定。

29.4.5.3 溢出中断

当转换数据丢失（溢出）将产生一个溢出中断。

通过配置寄存器 ADC_STS 的 OVRFLG 位决定。

29.4.6 DMA

规则通道转换结束后产生 DMA 请求，可以将转换的数据结果从 ADC_REGDATA 寄存器传输到存储器中。

29.5 寄存器地址映射

表格 159 ADC 寄存器地址映射

寄存器名	描述	偏移地址
ADC_STS	ADC 状态寄存器	0x00
ADC_CTRL1	ADC 控制寄存器 1	0x04
ADC_CTRL2	ADC 控制寄存器 2	0x08
ADC_SMPTIM1	ADC 采样时间寄存器 1	0x0C
ADC_SMPTIM2	ADC 采样时间寄存器 2	0x10
ADC_INJDOFx	ADC 注入通道数据偏移寄存器 x	0x14-0x20
ADC_AWDHT	模拟看门狗高阀值寄存器	0x24
ADC_AWDLT	模拟看门狗低阀值寄存器	0x28
ADC_REGSEQ1	ADC 规则序列寄存器 1	0x2C
ADC_REGSEQ2	ADC 规则序列寄存器 2	0x30
ADC_REGSEQ3	ADC 规则序列寄存器 3	0x34
ADC_INJSEQ	ADC 注入序列寄存器	0x38
ADC_INJDATAx	ADC 注入数据寄存器 x	0x3C–0x48
ADC_REGDATA	ADC 规则数据寄存器	0x4C
ADC_CSTS	ADC 通用状态寄存器	0x00
ADC_CCTRL	ADC 通用控制寄存器	0x04
ADC_CDATA	适用于双重和三重模式的 ADC 通用规则数据寄存器	0x08

29.6 寄存器功能描述

29.6.1 ADC 状态寄存器（ADC_STS）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
0	AWDFLG	RC_W0	发生模拟看门狗事件标志位（Analog Watchdog Occur Flag） 该位由硬件置 1，软件清 0，表示是否发生模拟看门狗事件。 0：没有发生 1：发生
1	EOCFLG	RC_W0	规则通道转换结束标志（Regular Channel End Of Conversion Flag） 0：未完成 1：完成
2	INJEOCFLG	RC_W0	注入通道转换结束标志（Injected Channel End Of Conversion Flag） 0：未完成 1：完成
3	INJCSFLG	RC_W0	注入通道转换开始标志（Injected Channel Conversion Start Flag） 0：未开始 1：开始
4	REGCSFLG	RC_W0	规则通道转换开始标志（Regular Channel Conversion Start Flag） 0：未开始 1：开始
5	OVRFLG	RC_W0	溢出标志（Overrun Flag） 0：未发生 1：发生
31:6	保留		

29.6.2 ADC 控制寄存器 1（ADC_CTRL1）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
4:0	AWDCHSEL	R/W	选择模拟看门狗通道（Analog Watchdog Channel Select） 00000：ADC 模拟输入通道 0 00001：ADC 模拟输入通道 1 …… 01111：ADC 模拟输入通道 15 10000：ADC 模拟输入通道 16 10001：ADC 模拟输入通道 17 10010：ADC 模拟输入通道 18 其它值：保留
5	EOCIEN	R/W	使能 EOC 中断（EOC Interrupt Enable） 用于使能转换结束后产生中断。 0：禁止

位/域	名称	R/W	描述
			1：使能
6	AWDIEN	R/W	使能模拟看门狗中断（Analog Watchdog Interrupt Enable） 若该位被设置且处于扫描模式下，当看门狗检测到数值超过阈值时，产生中断并中止扫描。 0：禁止 1：使能
7	INJEOCIEN	R/W	使能注入通道转换结束中断（Interrupt Enable For Injected Channels End Of Conversion Flag） 0：禁止 1：使能
8	SCANEN	R/W	使能扫描模式（Scan Mode Enable） 在扫描模式中，转换由 ADC_REGSEQX 或 ADC_INJSEQX 寄存器选中的通道。 0：禁止 1：使能 注：如果分别设置了 EOCIEN 或 INJEOCIEN 位，只在最后一个通道转换完毕后才会产生 EOC 或 INJEOC 中断。
9	AWDSGLEN	R/W	扫描模式下，在单一通道上使能看门狗（Enable The Watchdog On A Single Channel In Scan Mode） 该通道由 AWDCHSEL[4:0]位指定。 0：在所有的通道上使能 1：在单一通道上使能
10	INJGACEN	R/W	使能注入通道组自动转换（Automatic Injected Group Conversion Enable） 用于使能规则通道组转换结束后注入通道组自动转换。 0：禁止 1：使能
11	REGDISCEN	R/W	使能规则通道上的间断模式（Discontinuous Mode On Regular Channels Enable） 0：禁止 1：使能
12	INJDISCEN	R/W	使能注入通道上的间断模式（Discontinuous Mode On Injected Channels Enable） 0：禁止 1：使能
15:13	DISCNUMCFG	R/W	配置间断模式通道计数（Discontinuous Mode Channel Number Configure） 000：1 个通道 001：2 个通道 …… 111：8 个通道
21:16	保留		
22	INJAWDEN	R/W	使能注入通道的模拟看门狗功能（Enable the Analog Watchdog Function On the Injected Channels） 0：禁止 1：使能

位/域	名称	R/W	描述
23	REGAWDEN	R/W	使能规则通道上的模拟看门狗功能（Enable the Analog Watchdog Function On the Regular Channels） 0：禁止 1：使能
25:24	RESSEL	R/W	选择分辨率（Resolution Selection） 00：12 位 01：10 位 10：8 位 11：6 位
26	OVRIEN	R/W	溢出中断使能（Overrun Interrupt Enable） 0：禁止 1：使能
31:27	保留		

29.6.3 ADC 控制寄存器 2（ADC_CTRL2）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
0	ADCEN	R/W	使能 ADC（ADC Enable） 0：禁止进行 ADC 转换，进入掉电模式 1：启用 ADC 并且开始转换
1	CONTCEN	R/W	使能连续转换模式（Continuous Conversion Mode Enable） 0：单次转换模式 1：连续转换模式
7:2	保留		
8	DMAEN	R/W	使能 DMA 模式（DMA Mode Enable） 0：禁止 1：使能
9	DMADISSEL	R/W	DMA 禁止选择（DMA disable selection） 0：最后一次传输后不发出新的 DMA 请求 1：只要发生数据转换且使能 DMA，会发出 DMA 请求
10	EOCSEL	R/W	结束转换选择（End of conversion selection） 0：每个规则转换序列结束 EOCFLG 位置 1 1：每个规则转换结束 EOCFLG 位置 1
11	DALIGNCFG	R/W	配置数据对齐方式（Data Alignment Mode Configure） 0：右对齐 1：左对齐
15:12	保留		
19:16	INJGEXTTRGSEL	R/W	选择启动注入组转换的外部事件（Select the External Trigger Event to Start the Injected Group Conversion） 0000：定时器 1 的 CC4 事件 0001：定时器 1 的 TRGO 事件 0010：定时器 2 的 CC1 事件 0011：定时器 2 的 TRGO 事件 0100：定时器 3 的 CC2 事件

位/域	名称	R/W	描述
			0101：定时器 3 的 CC4 事件 0110：定时器 4 的 CC1 事件 0111：定时器 4 的 CC2 事件 1000：定时器 4 的 CC3 事件 1001：定时器 4 的 TRGO 事件 1010：定时器 5 的 CC4 事件 1011：定时器 5 的 TRGO 事件 1100：定时器 8 的 CC2 事件 1101：定时器 8 的 CC3 事件 1110：定时器 8 的 CC4 事件 1111：EINT 线 15
21:20	INJEXTTRGEN	R/W	使能注入通道的外部触发（Enable the External Trigger for Injected Channels） 00：禁止触发检测 01：上升沿上的触发检测 10：下降沿上的触发检测 11：上升沿和下降沿上的触发检测
22	INJSWSC	R/W	软件启动转换注入通道（Software Start Conversion Injected Channels） 0：复位状态 1：开始转换注入通道
23	保留		
27:24	REGEXTTRGSEL	R/W	选择启动规则组转换的外部事件（Select the External Trigger Event to Start the Regular Group Conversion） 0000：定时器 1 的 CC1 事件 0001：定时器 1 的 CC2 事件 0010：定时器 1 的 CC3 事件 0011：定时器 2 的 CC2 事件 0100：定时器 2 的 CC3 事件 0101：定时器 2 的 CC4 事件 0110：定时器 2 的 TRGO 事件 0111：定时器 3 的 CC1 事件 1000：定时器 3 的 TRGO 事件 1001：定时器 4 的 CC4 事件 1010：定时器 5 的 CC1 事件 1011：定时器 5 的 CC2 事件 1100：定时器 5 的 CC3 事件 1101：定时器 8 的 CC1 事件 1110：定时器 8 的 TRGO 事件 1111：EINT 线 11
29:28	REGEXTTRGEN	R/W	使能规则通道的外部触发（Enable the External Trigger for Regular Channels） 00：禁止触发检测 01：上升沿上的触发检测 10：下降沿上的触发检测 11：上升沿和下降沿上的触发检测
30	REGSWSC	R/W	软件启动转换规则通道（Software Start Conversion Regular Channels） 0：复位状态 1：开始转换规则通道

位/域	名称	R/W	描述
31	保留		

29.6.4 ADC 采样时间寄存器 1（ADC_SMPTIM1）

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
26:0	SMPCYCCFGx[2:0]	R/W	配置通道 x 的采样周期（Channel x Sample Cycles Configure） 000：3 周期 001：15 周期 010：28 周期 011：56 周期 100：84 周期 101：112 周期 110：144 周期 111：480 周期
31:27	保留		

29.6.5 ADC 采样时间寄存器 2（ADC_SMPTIM2）

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
29:0	SMPCYCCFGx[2:0]	R/W	配置通道 x 的采样周期（Channel x Sample Cycles Configure） 000：3 周期 001：15 周期 010：28 周期 011：56 周期 100：84 周期 101：112 周期 110：144 周期 111：480 周期
31:30	保留		

29.6.6 ADC 注入通道数据偏移寄存器 x（ADC_INJDOFx）（x=1..4）

偏移地址：0x14-0x20

复位值：0x0000 0000

位/域	名称	R/W	描述
11:0	INJDOFx	R/W	注入通道 x 的数据偏移（Data Offset For Injected Channel x） 当转换注入通道时，这些位定义了用于从原始转换数据中减去的数值，转换的结果可以在 ADC_INJDATAx 寄存器中读出。
31:12	保留		

29.6.7 模拟看门狗高阀值寄存器（ADC_AWDHT）

偏移地址：0x24

复位值：0x0000 0FFF

位/域	名称	R/W	描述
11:0	AWDHT[11:0]	R/W	模拟看门狗高阀值（Analog Watchdog High Threshold）
31:12	保留		

29.6.8 模拟看门狗低阀值寄存器（ADC_AWDLT）

偏移地址：0x28

复位值：0x0000 0000

位/域	名称	R/W	描述
11:10	AWDLT[11:0]	R/W	模拟看门狗低阀值（Analog Watchdog Low Threshold）
31:12	保留		

29.6.9 ADC 规则序列寄存器 1（ADC_REGSEQ1）

偏移地址：0x2C

复位值：0x0000 0000

位/域	名称	R/W	描述
4:0	REGSEQC13	R/W	规则序列中的第 13 个转换（13th Conversion In Regular Sequence） 定义规则序列中第 13 个转换的通道编号（0~17）
9:5	REGSEQC14	R/W	规则序列中的第 14 个转换（14th Conversion In Regular Sequence） 参考 REGSEQC13 的描述
14:10	REGSEQC15	R/W	规则序列中的第 15 个转换（15th Conversion In Regular Sequence） 参考 REGSEQC13 的描述
19:15	REGSEQC16	R/W	规则序列中的第 16 个转换（16th Conversion In Regular Sequence） 参考 REGSEQC13 的描述
23:20	REGSEQLEN	R/W	规则通道序列长度（Regular Channel Sequence Length） 这些位由软件定义在规则通道转换序列中的通道数目。 0000：1 个转换 0001：2 个转换 …… 1111：16 个转换
31:24	保留		

29.6.10 ADC 规则序列寄存器 2（ADC_REGSEQ2）

偏移地址：0x30

复位值：0x0000 000

位/域	名称	R/W	描述
4:0	REGSEQC7	R/W	规则序列中的第 7 个转换（7th Conversion In Regular Sequence） 参考 REGSEQC13 的描述
9:5	REGSEQC8	R/W	规则序列中的第 8 个转换（82th Conversion In Regular Sequence） 参考 REGSEQC13 的描述
14:10	REGSEQC9	R/W	规则序列中的第 9 个转换（9th Conversion In Regular Sequence） 参考 REGSEQC13 的描述

位/域	名称	R/W	描述
19:15	REGSEQC10	R/W	规则序列中的第 10 个转换（10th Conversion In Regular Sequence） 参考 REGSEQC13 的描述
24:20	REGSEQC11	R/W	规则序列中的第 11 个转换（11th Conversion In Regular Sequence） 参考 REGSEQC13 的描述
29:25	REGSEQC12	R/W	规则序列中的第 12 个转换（12th Conversion In Regular Sequence） 参考 REGSEQC13 的描述
31:30	保留		

29.6.11 ADC 规则序列寄存器 3（ADC_REGSEQ3）

偏移地址：0x34

复位值：0x0000 0000

位/域	名称	R/W	描述
4:0	REGSEQC1	R/W	规则序列中的第 1 个转换（1st Conversion In Regular Sequence） 参考 REGSEQC13 的描述
9:5	REGSEQC2	R/W	规则序列中的第 2 个转换（2nd Conversion In Regular Sequence） 参考 REGSEQC13 的描述
14:10	REGSEQC3	R/W	规则序列中的第 3 个转换（3rd Conversion In Regular Sequence） 参考 REGSEQC13 的描述
19:15	REGSEQC4	R/W	规则序列中的第 4 个转换（4th Conversion In Regular Sequence） 参考 REGSEQC13 的描述
24:20	REGSEQC5	R/W	规则序列中的第 5 个转换（5th Conversion In Regular Sequence） 参考 REGSEQC13 的描述
29:25	REGSEQC6	R/W	规则序列中的第 6 个转换（6th Conversion In Regular Sequence） 参考 REGSEQC13 的描述
31:30	保留		

29.6.12 ADC 注入序列寄存器（ADC_INJSEQ）

偏移地址：0x38

复位值：0x0000 0000

位/域	名称	R/W	描述
4:0	INJSEQC1	R/W	注入序列中的第 1 个转换（1st Conversion In Injected Sequence） 定义注入序列中第 1 个转换的通道编号（0~17）
9:5	INJSEQC2	R/W	注入序列中的第 2 个转换（2nd Conversion In Injected Sequence）
14:10	INJSEQC3	R/W	注入序列中的第 3 个转换（3rd Conversion In Injected Sequence）
19:15	INJSEQC4	R/W	注入序列中的第 4 个转换（4th Conversion In Injected Sequence）

位/域	名称	R/W	描述
21:20	INJSEQLEN	R/W	注入通道序列长度（Injected Channel Sequence Length） 这些位由软件定义在注入通道转换序列中的通道数目，其转换序列是： INJSEQC(4-INJSEQLEN) →INJSEQ (5-INJSEQLEN) →INJSEQC(6-INJSEQLEN) →INJSEQC(7-INJSEQLEN)，具体情况如下： 00：1 个转换，只转换 INJSEQC4 01：2 个转换，转换顺序是 INJSEQC3→INJSEQC4 10：3 个转换，转换序列是 INJSEQC2→INJSEQC3→INJSEQC4 11：4 个转换，转换序列是 INJSEQC1→INJSEQC2→INJSEQC3→INJSEQC4
31:22	保留		

29.6.13 ADC 注入数据寄存器 x（ADC_INJDATAx）（x= 1..4）

偏移地址：0x3C–0x48

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	INJDATA	R	注入转换的数据（Injected Conversion Data） 注入通道的转换结果，只读。
31:16	保留		

29.6.14 ADC 规则数据寄存器（ADC_REGDATA）

偏移地址：0x4C

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	REGDATA	R	规则转换的数据（Regular Conversion Data） 规则通道的转换结果，只读。
31:16	保留		

29.6.15 ADC 通用状态寄存器（ADC_CSTS）

偏移地址：0x00（该偏移地址只与 ADC1 基地址+0x300 相关）

复位值：0x0000 0000

位/域	名称	R/W	描述
0	AWDFLG1	R	ADC1 的模拟看门狗标志（Analog Watchdog Flag of ADC1）
1	EOCFLG1	R	ADC1 的转换结束标志（End of Conversion Flag of ADC1）
2	INJEOCFLG1	R	ADC1 的注入通道转换结束标志（Injected Channel End Of Conversion Flag of ADC1）
3	INJCSFLG1	R	ADC1 的注入通道开始标志（Injected Channel Start Flag of ADC1）
4	REGCSFLG1	R	ADC1 的规则通道开始标志（Regular Channel Start Flag of ADC1）
5	OVRFLG1	R	ADC1 的溢出标志（Overrun Flag of ADC1）
7:6	保留		

位/域	名称	R/W	描述
8	AWDFLG2	R	ADC2 的模拟看门狗标志（Analog Watchdog Flag of ADC2）
9	EOCFLG2	R	ADC2 的转换结束标志（End of Conversion Flag of ADC2）
10	INJEOCFLG2	R	ADC2 的注入通道转换结束标志（Injected Channel End Of Conversion Flag of ADC2）
11	INJCSFLG2	R	ADC2 的注入通道开始标志（Injected Channel Start Flag of ADC2）
12	REGCSFLG2	R	ADC2 的规则通道开始标志（Regular Channel Start Flag of ADC2）
13	OVRFLG2	R	ADC2 的溢出标志（Overrun Flag of ADC2）
15:14	保留		
16	AWDFLG3	R	ADC3 的模拟看门狗标志（Analog Watchdog Flag of ADC3）
17	EOCFLG3	R	ADC3 的转换结束标志（End of Conversion Flag of ADC3）
18	INJEOCFLG3	R	ADC3 的注入通道转换结束标志（Injected Channel End Of Conversion Flag of ADC3）
19	INJCSFLG3	R	ADC3 的注入通道开始标志（Injected Channel Start Flag of ADC3）
20	REGCSFLG3	R	ADC3 的规则通道开始标志（Regular Channel Start Flag of ADC3）
21	OVRFLG3	R	ADC3 的溢出标志（Overrun Flag of ADC3）
31:22	保留		

29.6.16 ADC 通用控制寄存器（ADC_CCTRL）

偏移地址：0x04（该偏移地址只与 ADC1 基地址+0x300 相关）

复位值：0x0000 0000

位/域	名称	R/W	描述
4:0	ADCMSEL	R/W	选择 ADC 模式（ADC mode selection） 所有 ADC 都独立 00000：独立模式 双重模式：ADC1 和 ADC2 一起工作，ADC3 独立 00001：规则同时+注入同时组合模式 00010：规则同时+交替触发组合模式 00011：保留 00101：仅注入同时模式 00110：仅规则同时模式 00111：仅交替模式 01001：仅交替触发模式 三重模式：ADC1、ADC2 和 ADC3 一起工作 10001：规则同时+注入同时组合模式 10010：规则同时+交替触发组合模式 10011：保留 10101：仅注入同时模式 10110：仅规则同时模式 10111：仅交替模式 11001：仅交替触发模式
7:5	保留		

位/域	名称	R/W	描述
11:8	SMPDEL2	R/W	2 个采样阶段之间的延迟(Delay Between 2 Sampling Phases) 这些位在双重或三重交错模式下使用。 0000：5*T_{ADCCLK} 0001：6*T_{ADCCLK} 0010：7*T_{ADCCLK} … 1111：20*T_{ADCCLK}
12	保留		
13	DMADISSEL	R/W	DMA 禁止选择（DMA Disable Selection） 0：最后一次传输后不发出新的 DMA 请求 1：只要数据发生转换且 DMAMODE=01、10 或 11，便会发出 DMA 请求
15:14	DMAMODE	R/W	DMA 模式（DMA Mode） 00：禁止 DMA 模式 01：使能 DMA 模式 1 10：使能 DMA 模式 2 11：使能 DMA 模式 3
17:16	ADCPRE	R/W	ADC 预分频器（ADC Prescaler） 00：PCLK2 2 分频 01：PCLK2 4 分频 10：PCLK2 6 分频 11：PCLK2 8 分频
21:18	保留		
22	VBATEN	R/W	使能 V_{BAT}（V_{BAT} Enable） 0：禁止 1：使能
23	TSVREFEN	R/W	使能温度传感器和 V_{REFINT}（Temperature Sensor And V_{REFINT} Enable） 0：禁止 1：使能
31:24	保留		

29.6.17 适用于双重和三重模式的 ADC 通用规则数据寄存器（ADC_CDATA）

偏移地址：0x08（该偏移地址只与 ADC1 基地址+0x300 相关）

复位值：0x0000 0000

位/域	名称	R/W	描述
15:0	DATA1	R	规则转换对中的第一个数据项(1st Data Item Of A Pair Of Regular Conversions) 在双重模式下，这些位包含 ADC1 的规则数据 在三重模式下，这些位包含 ADC1、ADC3 和 ADC2 的规则数据
31:16	DATA2	R	规则转换对中的第二个数据项(2nd Data Item Of A Pair Of Regular Conversions) 在双重模式下，这些位包含 ADC2 的规则数据 在三重模式下，这些位包含 ADC1、ADC3 和 ADC2 的规则数据

30 数模转换器（DAC）

30.1 术语全称、缩写描述

表格 160 DAC 术语全称、缩写描述

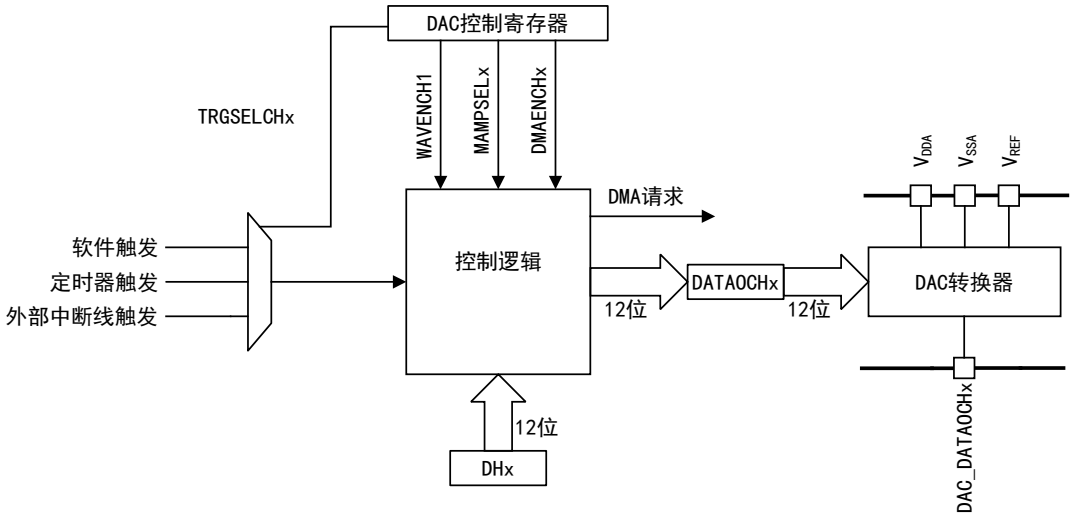
中文全称	英文全称	英文缩写
线性反馈移位寄存器	Linear Feedback Shift Register	LFSR

30.2 简介

DAC 是一个可配置为输入 8 位或 12 位数据，输出电压的数字/模拟转换器，在输入 12 位数据时，可以将数据设置为左对齐或右对齐。具有两路 DAC 输出通道，两路通道互不影响；每路通道有多个触发源可触发转换，可单路触发转换输出，也可以两路同时触发转换输出。两路通道都可独立生成噪声波形和三角波形。

30.3 结构框图

图 128 DAC 结构框图



30.4 功能描述

30.4.1 DAC 转换及触发源

DAC 的输出是通过对 DAC_DATAOCHx 寄存器中的数据进行计算得到相应电压值，但是无法对 DAC_DATAOCHx 寄存器直接写入数据，需要写入 DAC_DHx 寄存器之后通过相应的触发从而使 DAC_DHx 中的数据加载到 DAC_DATAOCHx 中。

当关闭通道触发时（寄存器 DAC_CTRL 中的 TRGENCHx 位置 0），写入 DAC_DHx 寄存器中的值会在一个 APB1 时钟周期后自动传入 DAC_DATAOCHx

中。

当打开通道触发时（寄存器 DAC_CTRL 中的 TRGENCHx 位置 1），写入 DAC_DHx 寄存器中的值会根据选择的触发源不同而经过不同的时钟周期后传入 DAC_DATAOCHx 中。可供选择的触发源有三类：

- 定时器的更新事件
- 外部中断触发
- 软件触发

当选择定时器的更新事件和外部中断作为触发源时，会经过三个 APB1 时钟周期后完成传输；当选择软件触发时，经过一个 APB1 时钟周期便完成传输。

当数据传输到 DAC_DATAOCHx 寄存器中时，经过一段时间之后，数字量便被线性的转换成为模拟电压输出。中间的转换时间会根据电源电压和模拟输出负载的不同而不同。

30.4.2 DAC 参考电压及输出

DAC 使用 V_{REF} 作为参考电压，将 V_{SSA} 接地，可得到 DAC 的输出电压范围为：0-V_{REF}。

DAC 输出计算公式为：DAC 输出=V_{REF} * （DATAOCHx/4095）。

30.4.3 DAC 数据格式

单通道 DAC

三种模式下对应写入的寄存器分别如下

- 8 位数据右对齐：DAC_DH8Rx[7:0]
- 12 位数据左对齐：DAC_DH12Lx[15:4]
- 12 位数据右对齐：DAC_DH12Rx[11:0]

双通道 DAC

三种模式下对应写入的寄存器分别如下

- 8 位数据右对齐：DAC_DH8RD[15:0]
- 12 位数据左对齐：DAC_DH12LDUAL[15:4]、DAC_DH12LDUAL[31:20]
- 12 位数据右对齐：DAC_DH12RDUAL[11:0]、DAC_DH12RDUAL[27:16]

30.4.4 DAC 波形生成

DAC 每个通道都可以单独生成噪声和三角波。

30.4.5 DAC 双通道转换

当两路通道同时工作时，为了有效的利用总线带宽，写入的数据可以写入到共用寄存器：DH8RDUAL、DH12RDUAL 和 DH12LDUAL。

对于双通道转换，可以分为独立转换和同步转换两大类，具体配置及描述如下。

30.4.5.1 独立触发

禁用波形发生器

（1） 使能两个通道的触发模式；

（2） 配置两个通道使用不同的触发源。

使用相同 LFSR

（1） 使能两个通道的触发模式；

（2） 配置两个通道使用不同的触发源；

（3） 使能两个通道的噪声生成功能，设置相同的 LFSR 屏蔽值。

使用不同 LFSR

（1） 使能两个通道的触发模式；

（2） 配置两个通道使用不同的触发源；

（3） 使能两个通道的噪声生成功能，设置不同的 LFSR 屏蔽值。

产生相同三角波

（1） 使能两个通道的触发模式；

（2） 配置两个通道使用不同的触发源；

（3） 使能两个通道的三角波生成功能，设置相同的三角波幅值。

产生不同三角波

（1） 使能两个通道的触发模式；

（2） 配置两个通道使用不同的触发源；

（3） 使能两个通道的三角波生成功能，设置不同的三角波幅值。

30.4.5.2 同步触发

同步软件启动

失能两个通道的触发模式，写入数据后等待一个 APB1 时钟周期之后分别同时传入 DAC_DATAOCH1 和 DAC_DATAOCH2 寄存器。

禁用波形发生器

（1） 使能两个通道的触发模式；

（2） 配置两个通道使用相同的触发源。

使用相同 LFSR

（1） 使能两个通道的触发模式；

（2） 配置两个通道使用相同的触发源；

（3） 使能两个通道的噪声生成功能，设置相同的 LFSR 屏蔽值。

使用不同 LFSR

（1） 使能两个通道的触发模式；

（2） 配置两个通道使用相同的触发源；

（3） 使能两个通道的噪声生成功能，设置不同的 LFSR 屏蔽值。

产生相同三角波

（1） 使能两个通道的触发模式；

（2） 配置两个通道使用相同的触发源；

（3） 使能两个通道的三角波生成功能，设置相同的三角波幅值。

使用不同三角波

（1） 使能两个通道的触发模式；

（2） 配置两个通道使用相同的触发源；

（3） 使能两个通道的三角波生成功能，设置不同的三角波幅值。

30.5 寄存器地址映射

表格 161 DAC 寄存器地址映射

寄存器名	描述	偏移地址
DAC_CTRL	DAC 控制寄存器	0x00
DAC_SWTRG	DAC 软件触发寄存器	0x04
DAC_DH12R1	DAC 通道 1 的 12 位右对齐数据保持寄存器	0x08
DAC_DH12L1	DAC 通道 1 的 12 位左对齐数据保持寄存器	0x0C
DAC_DH8R1	DAC 通道 1 的 8 位右对齐数据保持寄存器	0x10
DAC_DH12R2	DAC 通道 2 的 12 位右对齐数据保持寄存器	0x14
DAC_DH12L2	DAC 通道 2 的 12 位左对齐数据保持寄存器	0x18
DAC_DH8R2	DAC 通道 2 的 8 位右对齐数据保持寄存器	0x1C
DAC_DH12RDUAL	双 DAC 的 12 位右对齐数据保持寄存器	0x20
DAC_DH12LDUAL	双 DAC 的 12 位左对齐数据保持寄存器	0x24

寄存器名	描述	偏移地址
DAC_DH8RDUAL	双 DAC 的 8 位右对齐数据保持寄存器	0x28
DAC_DATAOCH1	DAC 通道 1 数据输出寄存器	0x2C
DAC_DATAOCH2	DAC 通道 2 数据输出寄存器	0x30
DAC_STS	DAC 状态寄存器	0x34

30.6 寄存器功能描述

30.6.1 DAC 控制寄存器（DAC_CTRL）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
0	ENCH1	R/W	使能 DAC 通道 1（DAC Channel1 Enable） 0：禁止 1：使能
1	BUFFDCH1	R/W	禁止 DAC 通道 1 输出缓存（DAC Channel1 Output Buffer Disable） 0：使能 1：禁止
2	TRGENCH1	R/W	使能 DAC 通道 1 触发（DAC Channel1 Trigger Enable） 0：禁止 1：使能
5:3	TRGSELCH1	R/W	选择 DAC 通道 1 触发源（DAC Channel1 Trigger Source Select） 在通道 1 触发使能（TRGENCH1=1）的情况下，可通过该寄存器选择触发源。 000：TMR6 TRGO 事件 001：TMR8 TRGO 事件 010：TMR7 TRGO 事件 011：TMR5 TRGO 事件 100：TMR2TRGO 事件 101：TMR4 TRGO 事件 110：外部中断线 9 111：软件触发
7:6	WAVENCH1	R/W	使能 DAC 通道 1 产成噪声/三角波（DAC Channel1 Noise/Triangle Wave Generation Enable） 00：不产生波形 01：产生噪声波形 1x：产生三角波波形
11:8	MAMPSELCH1	R/W	选择 DAC 通道 1 屏蔽的 LFSR 位/三角波幅值（Select DAC Channel1 LFSR Bit Mask/Triangle Wave Amplitude Selector） 在“产生 LFSR 噪声”模式下，通过该位选择屏蔽 LFSR 的位； 在“产生三角波”模式下通过该位选择三角波的幅值。 0000：不屏蔽 LFSR 位 0/ 三角波幅值等于 1 0001：不屏蔽 LFSR 位[1:0] / 三角波幅值等于 3 0010：不屏蔽 LFSR 位[2:0] / 三角波幅值等于 7 0011：不屏蔽 LFSR 位[3:0] / 三角波幅值等于 15

位/域	名称	R/W	描述
			0100：不屏蔽 LFSR 位[4:0] / 三角波幅值等于 31 0101：不屏蔽 LFSR 位[5:0]/ 三角波幅值等于 63 0110：不屏蔽 LFSR 位[6:0] / 三角波幅值等于 127 0111：不屏蔽 LFSR 位[7:0] / 三角波幅值等于 255 1000：不屏蔽 LFSR 位[8:0] / 三角波幅值等于 511 1001：不屏蔽 LFSR 位[9:0] / 三角波幅值等于 1023 1010：不屏蔽 LFSR 位[10:0]/ 三角波幅值等于 2047 ≥1011：不屏蔽 LFSR 位[11:0] / 三角波幅值等于 4095
12	DMAENCH1	R/W	使能 DAC 通道 1DMA（DAC Channel1 DMA Enable） 0：禁止 1：使能
13	DMAUDIEN1	R/W	使能 DAC 通道 1DMA 下溢中断（DAC Channel1 DMA Underrun Interrupt Enable） 0：禁止 1：使能
15:14	保留		
16	ENCH2	R/W	使能 DAC 通道 2（DAC Channel2 Enable） 0：禁止 1：使能
17	BUFFDCH2	R/W	禁止 DAC 通道 2 输出缓存（DAC Channel2 Output Buffer Disable） 0：使能 1：禁止
18	TRGENCH2	R/W	使能 DAC 通道 2 触发（DAC Channel2 Trigger Enable） 0：禁止 1：使能
21:19	TRGSELCH2	R/W	选择 DAC 通道 2 触发源（DAC Channel2 Trigger Source Select） 在通道 2 触发使能（TRGENCH2=1）的情况下，可通过该寄存器选择触发源 000：TMR6 TRGO 事件 001：TMR8 TRGO 事件 010：TMR7 TRGO 事件 011：TMR5 TRGO 事件 100：TMR2TRGO 事件 101：TMR4 TRGO 事件 110：外部中断线 9 111：软件触发
23:22	WAVENCH2	R/W	使能 DAC 通道 2 噪声/三角波生成（DAC Channel2 Noise/Triangle Wave Generation Enable） 00：不产生波形 01：产生噪声波形 1x：产生三角波波形
27:24	MAMPSELCH2	R/W	选择 DAC 通道 2 屏蔽的 LFSR 位/三角波幅值（Select DAC Channel2 LFSR Bit Mask/Triangle Wave Amplitude Selector） 在“产生 LFSR 噪声”模式下，通过该位选择屏蔽 LFSR 的位； 在“产生三角波”模式下通过该位选择三角波的幅值。 0000：不屏蔽 LFSR 位 0/ 三角波幅值等于 1

位/域	名称	R/W	描述
			0001：不屏蔽 LFSR 位[1:0] / 三角波幅值等于 3 0010：不屏蔽 LFSR 位[2:0] / 三角波幅值等于 7 0011：不屏蔽 LFSR 位[3:0] / 三角波幅值等于 15 0100：不屏蔽 LFSR 位[4:0] / 三角波幅值等于 31 0101：不屏蔽 LFSR 位[5:0]/ 三角波幅值等于 63 0110：不屏蔽 LFSR 位[6:0] / 三角波幅值等于 127 0111：不屏蔽 LFSR 位[7:0] / 三角波幅值等于 255 1000：不屏蔽 LFSR 位[8:0] / 三角波幅值等于 511 1001：不屏蔽 LFSR 位[9:0] / 三角波幅值等于 1023 1010：不屏蔽 LFSR 位[10:0]/ 三角波幅值等于 2047 ≥1011：不屏蔽 LFSR 位[11:0] / 三角波幅值等于 4095
28	DMAENCH2	R/W	使能 DAC 通道 2DMA（DAC channel2DMA enable） 0：禁止 1：使能
29	DMAUDIEN2	R/W	使能 DAC 通道 2DMA 下溢中断（DAC Channel2 DMA Underrun Interrupt Enable） 0：禁止 1：使能
31:30	保留		

30.6.2 DAC 软件触发寄存器（DAC_SWTRG）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
0	SWTRG1	W	使能 DAC 通道 1 软件触发（DAC Channel1 Software Trigger Enable） 该位可由软件置 1、清 0；一旦寄存器 DAC_DH1 的数据传入寄存器 DAC_DATAOCH1，该位由硬件清 0。 0：禁止 1：使能
1	SWTRG2	W	使能 DAC 通道 2 软件触发（DAC Channel2 Software Trigger Enable） 该位可由软件置 1、清 0；一旦寄存器 DAC_DH2 的数据传入寄存器 DAC_DATAOCH2，该位由硬件清 0。 0：禁止 1：使能
31:2	保留		

30.6.3 DAC 通道 1 的 12 位右对齐数据保持寄存器（DAC_DH12R1）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
11:0	DATA	R/W	DAC 通道 1 的 12 位右对齐数据（DAC Channel1 12-Bit Right-Aligned Data） 该位由软件写入，表示 12 位 DAC 通道 1 的数据。
31:12	保留		

30.6.4 DAC 通道 1 的 12 位左对齐数据保持寄存器（DAC_DH12L1）

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
3:0	保留		
15:4	DATA	R/W	DAC 通道 1 的 12 位左对齐数据（DAC Channel1 12-Bit Left-Aligned Data）
31:16	保留		

30.6.5 DAC 通道 1 的 8 位右对齐数据保持寄存器（DAC_DH8R1）

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
7:0	DATA	R/W	DAC 通道 1 的 8 位右对齐数据（DAC Channel1 8-bit Right-Aligned Data）
31:8	保留		

30.6.6 DAC 通道 2 的 12 位右对齐数据保持寄存器（DAC_DH12R2）

偏移地址：0x14

复位值：0x0000 0000

位/域	名称	R/W	描述
11:0	DATA	R/W	DAC 通道 2 的 12 位右对齐数据（DAC Channel2 12-bit Right-Aligned Data）
31:12	保留		

30.6.7 DAC 通道 2 的 12 位左对齐数据保持寄存器（DAC_DH12L2）

偏移地址：0x18

复位值：0x0000 0000

位/域	名称	R/W	描述
3:0	保留		
15:4	DATA	R/W	DAC 通道 2 的 12 位左对齐数据（DAC Channel2 12-Bit Left-Aligned Data）
31:16	保留		

30.6.8 DAC 通道 2 的 8 位右对齐数据保持寄存器（DAC_DH8R2）

偏移地址：0x1C

复位值：0x0000 0000

位/域	名称	R/W	描述
7:0	DATA	R/W	DAC 通道 2 的 8 位右对齐数据（DAC Channel2 8-bit Right-Aligned Data）
31:8	保留		

30.6.9 双 DAC 的 12 位右对齐数据保持寄存器（DAC_DH12RDUAL）

偏移地址：0x20

复位值：0x0000 0000

位/域	名称	R/W	描述
11:0	DATACH1	R/W	DAC 通道 1 的 12 位右对齐数据（DAC Channel1 12-Bit Right-Aligned Data）
15:12	保留		
27:16	DATACH2	R/W	DAC 通道 2 的 12 位右对齐数据（DAC Channel2 12-Bit Right-Aligned Data）
31:28	保留		

30.6.10 双 DAC 的 12 位左对齐数据保持寄存器（DAC_DH12LDUAL）

偏移地址：0x24

复位值：0x0000 0000

位/域	名称	R/W	描述
3:0	保留		
15:4	DATACH1	R/W	DAC 通道 1 的 12 位左对齐数据（DAC Channel1 12-Bit Left-Aligned Data）
19:16	保留		
31:20	DATACH2	R/W	DAC 通道 2 的 12 位左对齐数据（DAC Channel212-Bit Left-Aligned Data）

30.6.11 双 DAC 的 8 位右对齐数据保持寄存器（DAC_DH8RDUAL）

偏移地址：0x28

复位值：0x0000 0000

位/域	名称	R/W	描述
7:0	DATACH1	R/W	DAC 通道 1 的 8 位右对齐数据（DAC Channel1 8-Bit Right-Aligned Data）
15:8	DATACH2	R/W	DAC 通道 2 的 8 位右对齐数据（DAC Channel2 8-Bit Right-Aligned Data）
31:16	保留		

30.6.12 DAC 通道 1 数据输出寄存器（DAC_DATAOCH1）

偏移地址：0x2C

复位值：0x0000 0000

位/域	名称	R/W	描述
11:0	DATA	R	DAC 通道 1 输出数据（DAC Channel1 Data Output）
31:12	保留		

30.6.13 DAC 通道 2 数据输出寄存器（DAC_DATAOCH2）

偏移地址：0x30

复位值：0x0000 0000

位/域	名称	R/W	描述
11:0	DATA	R	DAC 通道 2 输出数据（DAC Channel2 Data Output）
31:12	保留		

30.6.14 DAC 状态寄存器（DAC_STS）

偏移地址：0x34

复位值：0x0000 0000

位/域	名称	R/W	描述
12:0	保留		
13	DMAUDFLG1	RC_W1	DAC 通道 1DMA 下溢标志（DAC Channel1 DMA Underrun Flag） 0：未发生 1：发生
28:14	保留		
29	DMAUDFLG2	RC_W1	DAC 通道 2DMA 下溢标志（DAC Channel2 DMA Underrun Flag） 0：未发生 1：发生
31:30	保留		

31 随机数（RNG）

31.1 简介

RNG 是一个随机数发生器，以连续模拟噪声为基础，在主机读数为其提供一个 32 位的随机数。

31.2 主要特征

（1） 提供由模拟发生器产生的 32 位随机数

（2） 两个相连的随机数之间的间隔为 40 个 PLLCLK48 时钟信号周期

（3） 监控 RNG 熵来标记异常行为

（4） 禁止 RNG 可以降低功耗

31.3 功能描述

随机数发生器由模拟电路实现。这个电路为线性反馈移位寄存器生成 32 位随机数提供种子。

多个环形振荡器组成模拟电路，种子通过振荡器输出的频率进行异或运算而产生。PLLCLK48 为 RNG_LFSR 的专用时钟，按恒定频率为其提供时钟信息，所以随机数的质量与 HCLK 的频率没有关系。当 RNG_LFSR 引入大量种子后，其内容转移到 RNG_DATA 寄存器。同时，系统会监视种子和 PLLCLK48。RNG_STS 寄存器中的状态位表明在种子上出现异常序列或 PLLCLK48 时钟频率过低的时间。检测到错误时生成中断。

31.3.1 使能 RNG

使能 RNG 的设置顺序如下：

（1） 使能中断，在随机数准备好或出现错误时产生中断。

（2） 当 RNG_CTRL[RNGEN]=1 时产生随机数。这时激活模拟部分、RNG_LFSR 和错误检测器。

（3） 每次中断时，当 RNG_STS 寄存器的 CLKERINT 位和 FSINT 设置为 0 且 DATARDY=1 时，可以对 RNG_DATA 寄存器进行读操作。

不使用设置 RNGEN 位后产生的第一个随机数，应保存起来与下一个随机数比较。每个随机数都需要与上一个随机数比较，如果任何一对相等，连续随机数发生器测试失败。

31.3.2 错误状态

31.3.2.1 时钟错误

因为 PLLCLK48 时钟不正确而出现时钟错误时，RNG 无法再产生随机数。检查是否正确配置时钟控制器以提供 RNG 时钟和清除 CLKERINT 位。当 CLKERCSTS=0 时，RNG 正常工作。时钟错误不影响上一个随机数，所以可以使用 RNG_DATA 寄存器中的随机数。

31.3.2.2 种子错误

出现种子错误时，只要 FSCSTS=1 就会产生中断随机数。由于熵可能不够，在 RNG_DATA 寄存器中已有数据时不能使用产生的中断随机数。

应清除 FSINT 位并清除后设置 RNGEN 位，以便重新初始化和重启 RNG。

31.4 寄存器地址映射

表格 162 RNG 寄存器地址映射

寄存器名	描述	偏移地址
RNG_CTRL	RNG 控制寄存器	0x00
RNG_STS	RNG 状态寄存器	0x04
RNG_DATA	RNG 数据寄存器	0x08

31.5 寄存器功能描述

31.5.1 RNG 控制寄存器（RNG_CTRL）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
1:0	保留		
2	RNGEN	R/W	使能 RNG（RNG Enable） 0：禁止 1：使能
3	INTEN	R/W	使能中断（Interrupt Enable） 0：禁止 1：使能，当 RNG_STS 寄存器中的 DATARDY 位、CLKERINT 位和 FSINT 位中任意一位置 1 时，中断挂起
31:4	保留		

31.5.2 RNG 状态寄存器（RNG_STS）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
0	DATARDY	R	数据准备（Data Ready） 0：RNG_DATA 寄存器未准备就绪，随机数据不可用 1：RNG_DATA 寄存器已准备就绪，随机数据可用 当 INTEN=1 时，中断挂起。对 RNG_DATA 寄存器进行读操作后此位清零，直到算出新的有效值。
1	CLKERCSTS	R	RNG 时钟错误纠正状态（RNGCLK Error Current Status） 0：检测到 PLLCLK48 时钟。如果 CLKERINT 位置 1，表明检测到时钟错误并已恢复正常。 1：未检测到 PLLCLK48 时钟
2	FSCSTS	R	错误序列纠正状态（Faulty Sequence Current Status） 0：未检测到序列错误。如果 FSINT 位置 1，表明检测到错误序列并已恢复正常。 1：检测到 64 个以上的 0/1 或 32 个以上的交替的 0 和 1
4:3	保留		
5	CLKERINT	RC_W0	RNG 时钟错误中断状态（RNGCLK Error Interrupt Status） 0：检测到 PLLCLK48 时钟 1：未检测到 PLLCLK48 时钟 此位与 CLKERCSTS 位同时设置，写 0 清除。当 INTEN=1 时，中断挂起。
6	FSINT	RC_W0	错误序列中断状态（Faulty Sequence Interrupt Status） 0：未检测到错误序列 1：检测到 64 个以上的 0/1 或 32 个以上的交替的 0 和 1 此位与 FSCSTS 位同时设置，写 0 清除。当 INTEN=1 时，中断挂起。
31:7	保留		

31.5.3 RNG 数据寄存器（RNG_DATA）

偏移地址：0x08

复位值：0x0000 0000

此寄存器为只读寄存器，在读取时提供 32 位随机数值。DATARDY 位需置 1 才能对此寄存器进行读操作，读取后此寄存器在 40 个 PLLCLK48 时钟周期之内提供新的随机数值。

位/域	名称	R/W	描述
31:0	DATA	R	随机数（Random Data） 32 位随机数。

32 CRYP

注意：仅 APM32F415xG/APM32F417xExG 系列产品有此模块

32.1 简介

加密处理器可使用 DES、三重 DES 或 AES 算法对需要传输的数据进行加密和解密。

32.2 主要特性

（1） 支持 DES、TDES 和 AES 加密和解密操作

（2） DES/TDES
- 支持 ECB 和 CBC 链接算法
- 支持 64 位、128 位和 92 位密钥
- 支持在 CBC 模式下使用 2×32 位初始化向量(IV)

（3） AES
- 支持 ECB、CBC 和 CTR 链接算法
- 支持 128 位、192 位和 256 位密钥
- 支持在 CBC 模式下使用 4×32 位初始化向量(IV)

（4） DES/TDES 和 AES 的共同点
- 采用 IN 和 OUT FIFO
- 采用自动数据流控制，支持 DMA
- 采用数据交换逻辑，支持 1 位、8 位、16 位或 32 位数据

32.3 中断

32.3.1 输出 FIFO 服务中断

当输出 FIFO 中有一个或多个数据项时，将产生输出 FIFO 服务中断，对输出 FIFO 执行读操作直到读完所有有效字后，可将此中断清除。

CRYP_MINTSTS 寄存器 OUTMISTS 位置 1，产生输出 FIFO 服务中断。

32.3.2 输入 FIFO 服务中断

当输入 FIFO 中少于四个字时，将产生输入 FIFO 服务中断，对输入 FIFO 执行写操作直到 FIFO 中不少于四个字后，可将此中断清除。

CRYP_MINTSTS 寄存器 INMISTS 位置 1 且 CRYP_CTRL 寄存器 CRYPEN 位也置 1 的情况下，产生输入 FIFO 服务中断。

32.4 DMA

DMA 用于存储器数据传输时，数据传输均在突发模式下进行，AES 的突发长度

为 4 个字，DES/TDES 的突发长度为 2 个字和 4 个字。

通过配置 CRYP_DMACTRL 寄存器的 INEN 位和 OUTEN 位置 1 来使能 DMA 请求，所有传输和处理均由 DMA 和加密处理器管理，DMA 中断表示处理过程结束。

32.5 寄存器地址映射

表格 163 CRYP 寄存器地址映射

寄存器名	描述	偏移地址
CRYP_CTRL	CRYP 控制寄存器	0x00
CRYP_STS	CRYP 状态寄存器	0x04
CRYP_DATAIN	CRYP 数据输入寄存器	0x08
CRYP_DATAOUT	CRYP 数据输出寄存器	0x0C
CRYP_DMACTRL	CRYP DMA 控制寄存器	0x10
CRYP_INTMASK	CRYP 中断屏蔽寄存器	0x14
CRYP_INTSTS	CRYP 原始中断状态寄存器	0x18
CRYP_MINTSTS	CRYP 屏蔽中断状态寄存器	0x1C
CRYP_K0…3（L/R）	CRYP 密钥寄存器	0x20-0x3C
CRYP_IV0…1（L/R）	CRYP 初始化向量寄存器	0x40-0x4C

32.6 寄存器功能描述

32.6.1 CRYP 控制寄存器（CRYP_CTRL）

偏移地址：0x00

复位值：0x00 0000

位/域	名称	R/W	描述
1:0	保留		
2	ALGODIRSEL	R/W	选择算法方向（Algorithm Direction Select） 0：加密 1：解密
5:3	ALGOMSEL	R/W	选择算法模式（Algorithm Mode Select） 000：TDES-ECB 001：TDES-CBC 010：DES-ECB 011：DES-CBC 100：AES-ECB 101：AES-CBC 110：AES-CTR 111：根据解密的模式决定 AES 密钥

位/域	名称	R/W	描述
7:6	DTSEL	R/W	选择数据类型（Data Type Select） 00：32 位数据 01：16 位数据或半字 10：8 位数据或字节 11：位数据或位串
9:8	KSIZESEL	R/W	选择密钥大小（Key Size Select） 00：128 位密钥长度 01：192 位密钥长度 10：256 位密钥长度 11：保留
13:10	保留		
14	FFLUSH	R/W	FIFO 刷新（FIFO Flush） CRYPEN 位为 0 时，该位写 1 可刷新 IN 和 OUT FIFO，写 0 无效。 CRYPEN 位为 1 时，该位写 0 或 1 都无效。
15	CRYPEN	R/W	使能加密处理器（Cryptographic Processor Enable） 0：禁止 1：使能
31:16	保留		

32.6.2 CRYP 状态寄存器（CRYP_STS）

偏移地址：0x04

复位值：0x00 0003

位/域	名称	R/W	描述
0	IFEMPT	R	输入 FIFO 为空（Input FIFO Empty）） 0：非空 1：空
1	IFFULL	R	输入 FIFO 未满（Input FIFO not Full） 0：已满 1：未满
2	OFEMPT	R	输出 FIFO 非空（Output FIFO not Empty） 0：空 1：非空
3	OFFULL	R	输出 FIFO 已满（Output FIFO Full） 0：未满 1：已满
4	BUSY	R	忙碌位（Busy Bit） 0：CRYP 内核目前没有处理数据 1：CRYP 内核目前正在处理一个数据块或准备密钥
31:5			

32.6.3 CRYP 数据输入寄存器（CRYP_DATAIN）

偏移地址：0x08

复位值：0x00 0000

位/域	名称	R/W	描述
31:0	DATAIN	R/W	数据输入（Data Input） 读取=当 CRYP 位为 0 时返回输入 FIFO 的内容，否则返回不确定值 写入=写入输入 FIFO 的内容

32.6.4 CRYP 数据输出寄存器（CRYP_DATAOUT）

偏移地址：0x0C

复位值：0x00 0000

位/域	名称	R/W	描述
31:0	DATAOUT	R	数据输出（Data Output） 读取=返回输出 FIFO 中的内容 写入=误操作

32.6.5 CRYP DMA 控制寄存器（CRYP_DMACTRL）

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
0	INEN	R/W	使能 DMA 输入（DMA Input Enable） 0：禁止 1：使能
1	OUTEN	R/W	使能 DMA 输出（DMA Output Enable） 0：禁止 1：使能
31:2	保留		

32.6.6 CRYP 中断屏蔽寄存器（CRYP_INTMASK）

偏移地址：0x14

复位值：0x0000 0000

位/域	名称	R/W	描述
0	INIMASK	R/W	输入 FIFO 服务中断屏蔽（Input FIFO Service Interrupt Mask） 0：屏蔽输入 FIFO 服务中断 1：不屏蔽输入 FIFO 服务中断
1	OUTIMASK	R/W	输出 FIFO 服务中断屏蔽（Output FIFO Service Interrupt Mask） 0：屏蔽输出 FIFO 服务中断 1：不屏蔽输出 FIFO 服务中断
31:2	保留		

32.6.7 CRYP 原始中断状态寄存器（CRYP_INTSTS）

偏移地址：0x18

复位值：0x0000 0001

位/域	名称	R/W	描述
0	INISTS	R	输入 FIFO 服务原始中断状态（Input FIFO Service Raw Interrupt Status） 0：未挂起 1：挂起

位/域	名称	R/W	描述
1	OUTISTS	R	输出 FIFO 服务原始中断状态（Output FIFO Service Raw Interrupt Status） 0：未挂起 1：挂起
31:2	保留		

32.6.8 CRYP 屏蔽中断状态寄存器（CRYP_MINTSTS）

偏移地址：0x1C

复位值：0x0000 0000

位/域	名称	R/W	描述
0	INMISTS	R	输入 FIFO 服务屏蔽中断状态（Input FIFO Service Masked Interrupt Status） 0：未挂起 1：CRYPEN 位置 1 时中断挂起
1	OUTMISTS	R	输出 FIFO 服务屏蔽中断状态（Output FIFO Service Masked Interrupt Status） 0：未挂起 1：挂起
31:2	保留		

32.6.9 CRYP 密钥寄存器（CRYP_K0…3（L/R））

偏移地址：0x20-0x3C

复位值：0x0000 0000

CRYP_K0L（偏移地址：0x20）

位/域	名称	R/W	描述
31:0	Bx	W	x=224-255

CRYP_K0R（偏移地址：0x24）

位/域	名称	R/W	描述
31:0	Bx	W	x=192-223

CRYP_K1L（偏移地址：0x28）

位/域	名称	R/W	描述
31:0	Ky Bx	W	x=160-191，y=1.32-1.1

CRYP_K1R（偏移地址：0x2C）

位/域	名称	R/W	描述
31:0	Ky Bx	W	x=128-159，y=1.64-1.33

CRYP_K2L（偏移地址：0x2C）

位/域	名称	R/W	描述
31:0	Ky Bx	W	x=96-127，y=2.32-2.1

CRYP_K2R（偏移地址：0x34）

位/域	名称	R/W	描述
31:0	Ky Bx	W	x=64-95，y=2.64-2.33

CRYP_K3L（偏移地址：0x38）

位/域	名称	R/W	描述
31:0	Ky Bx	W	x=32-63，y=3.32-3.1

CRYP_K3R（偏移地址：0x3C）

位/域	名称	R/W	描述
31:0	Ky Bx	W	x=0-31，y=3.64-3.33

32.6.10 CRYP 初始化向量寄存器（CRYP_IV0…1（L/R））

偏移地址：0x40-0x4C

复位值：0x0000 0000

CRYP_IV0L（偏移地址：0x40）

位/域	名称	R/W	描述
31:0	Ivx	R/W	x=31-0

CRYP_IV0R（偏移地址：0x44）

位/域	名称	R/W	描述
31:0	Ivx	R/W	x=63-32

CRYP_IV1L（偏移地址：0x48）

位/域	名称	R/W	描述
31:0	Ivx	R/W	x=95-64

CRYP_IV1R（偏移地址：0x4C）

位/域	名称	R/W	描述
31:0	Ivx	R/W	x=127-96

33 循环冗余校验计算单元（CRC）

33.1 简介

循环冗余校验（CRC）计算单元可将输入数据经过固定的生成多项式计算得到32 位的 CRC 计算结果，主要用来检测或校验数据传输或者保存后的正确性与完整性。

33.2 功能描述

33.2.1 计算方式

使用 CRC-32（以太网）多项式：0x4C11DB7

（$X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^{8}+X^{7}+X^{5}+X^{4}+X^{2}+X+1$）

33.2.2 计算时间

其计算时间为 4 个 AHB 时钟周期。

每写入一次新数据，其结果是上一次的计算结果和新的计算结果的组合。（对整个字进行运算）。在计算期间，会暂停 CPU 的写操作，因此可以对寄存器CRC_DATA 进行“背靠背”写入或连续地“读-写”操作。

33.3 寄存器地址映射

表格 164 CRC 寄存器地址映射

寄存器名	描述	偏移地址
CRC_DATA	数据寄存器	0x00
CRC_INDATA	独立数据寄存器	0x04
CRC_CTRL	控制寄存器	0x08

33.4 寄存器功能描述

33.4.1 数据寄存器（CRC_DATA）

偏移地址：0x00

复位值：0xFFFF FFFF

位/域	名称	R/W	描述
31:0	DATA	R/W	32 位数据（32bit Data） 作为输入寄存器：写入时存储 CRC 计算器的新数据。 作为输出寄存器：读取时返回 CRC 计算的结果。

33.4.2 独立数据寄存器（CRC_INDATA）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
7:0	INDATA	R/W	独立 8 位数据（Independent 8bit Data） 可用于临时存放 1 字节的数据。 寄存器 CRC_CTRL 的 RST 位产生的 CRC 复位对本寄存器没有影响。
31:8	保留。		

注：此寄存器不参与 CRC 计算，可以存放任何数据。

33.4.3 控制寄存器（CRC_CTRL）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
0	RST	W	复位 CRC 计算单元（Reset CRC Calculation Unit） 设置 CRC_DATA 寄存器为 0xFFFF FFFF。只能对该位置位，它由硬件自动清 0。
31:1	保留		

34 芯片电子签名

34.1 简介

芯片电子签名用来匹配固件或外部设备。

34.2 寄存器功能描述

34.2.1 唯一设备 96 位唯一芯片 ID

基地址：0x1FFF 7A10

偏移地址：0x00

位/域	名称	R/W	描述
31:0	U_ID[31:0]	R	唯一身份标志 31:0 位

偏移地址：0x04

只读，其值在出厂时编写

位/域	名称	R/W	描述
31:0	U_ID[63:32]	R	唯一身份标志 63:32 位

偏移地址：0x08

只读，其值在出厂时编写

位/域	名称	R/W	描述
31:0	U_ID[95:64]	R	唯一身份标志 95:64 位

34.2.2 闪存容量寄存器

基地址：0x1FFF 7A22

偏移地址：0x00

位/域	名称	R/W	描述
15:0	F_SIZE	R	闪存存储器容量 表示产品的主存储区的容量（以 K 字节为单位）。 例：0x0400=1024KB

35 版本历史

表格 165 文版本历史记录

日期	版本	变更历史
2021.9	V1.0	新建
2022.4.1	V1.1	（1）将“SCLKSWSTS”改为“SCLKSELSTS” （2）修改 DMC 引脚 （3）增加 APM32F405/415xG 型号
2022.6.17	V1.2	（1）修改 Arm 商标 （2）增加“声明” （3）在章节“3.5.3.1 擦/写选项字节”中增加擦/写选项字节注意点 （4）修改了 4.11.2 章节的 配置例子
2022.6.21	V1.3	（1）修改 DMC 模块配置举例和偏移地址 （2）修改 SMC 模块有关时序参数的内容和偏移地址
2022.7.22	V1.4	（1）修正 Flash 章节：Flash 单元必须经过擦除变为 1 才可以写入。 （2）修改第 3.5.3.1 章节“擦/写选项字节”的说明。
2022.8.10	V1.5	（1） 增加 3.5.2.3 章节：“锁定/解锁” （2） 修改时钟树 （3） 增加对系统框图的描述
2023.2.13	V1.6	（1） 在 NVIC 章节中，说明 A 版本产品、C 版本产品的优先级可编程位数 （2） 增加 DMC_CKE 的映射引脚说明 （3） 修改 CAN 寄存器描述 （4） 修改 USB OTG 寄存器描述 （5） 增加 DBGMCU 模块中“调试 MCU 设备 ID 寄存器”的版本识别内容 （6） 修改“Flash 选项控制寄存器”的 WDTSEL 描述 （7） 修改 RCM 模块“时钟配置寄存器（RCM_CFG）”位域名 （8） 修改 TMR2/3/4/5“自动装载寄存器”的复位值 （9） 修改 RCM 章节 LSI CLK 低速内部时钟信号、RTC 时钟源选择、MCO 时钟源选择的内容 （10） 修改捕获/比较模式寄存器 1（TMRx_CCM1）的 CC2SEL 描述 （11） 删除 RCM_AHB1CLKEN 和 RCM_LPAHB1CLKEN 寄存器 bit 28:26 保留位描述。 （12） 修改 RCM_AHB3CLKEN 和 RCM_LPAPB2CLKEN 寄存器偏移地址

声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“™”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，除非在极海销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户

未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等各国有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及／或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”（as is）提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册的任何第三方均不承担损害赔偿责任，包括任何一般、特殊因使用或无法使用本手册相关信息而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失）。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

©2021-2023 珠海极海半导体有限公司 – 保留所有权利